

모듈형 멀티레벨 전압형 HVDC 시스템을 위한 시간 지연을 고려한 디지털 제어기의 설계

송지완¹, 구남준¹, 김래영[†]

A Design Methodology of Digital Controller Considering Time Delay Effect for a Modular Multilevel Converter VSC HVDC System

Ji-Wan Song¹, Nam-Joon Ku¹, and Rae-Young Kim[†]

Abstract

A modular multilevel converter is widely adapted for a high-voltage direct current power transmission system. This study proposes a design methodology for a novel digital control that mitigates the negative effects caused by time delay, including communication transport delay for a modular multilevel converter. The modeling and negative effect of time delay are analyzed theoretically in a frequency domain, and its compensation methodology based on an inverse model is described fully with practical considerations. The proposed methodology is verified through several simulation results using a modular 21-level converter system.

Key words: Time delay effect, Modular multilevel converter, Digital control, High voltage direct current

1. 서 론

최근 석유, 천연가스 등 기존 에너지원을 대체하기 위한 신재생에너지원에 대한 관심이 증가함에 따라 기존의 전력계통에 영향을 주지 않으면서 대용량의 전력전송이 가능한 고압 직류 송전 시스템 (High Voltage Direct Current, 이하 HVDC)에 대한 연구가 활발히 진행되고 있다. 이 중 동일한 형태의 서브모듈 (Submodule)을 직렬 연결하는 구조를 가진 모듈형 멀티레벨 컨버터 (Modular Multilevel Converter, 이하 MMC) 전압형 HVDC 시스템은 낮은 고조파의 출력전압, 고압 대용량의 확장 용이성, 고 신뢰성 등 다양한 장점으로 인해 적용이 빠르게 진행되고 있다^{[1],[2]}.

일반적인 MMC 전압형 HVDC 시스템의 제어는 그림 1과 같이 유/무효 전력 제어, 계통 상전류 제어, 순환전류 제어 등 시스템 제어를 담당하는 주 제어기 (Main

controller), 서브모듈 커패시터 전압 균등 제어를 위한 상 제어기 (Phase controller), 능동 스위칭 소자의 스위칭 신호 생성하는 서브모듈 제어기 (Submodule controller) 등 다수의 제어기로 구성되게 된다. 제어기의 구현은 주로 고속의 DSP (Digital Signal Processor) 또는 FPGA (Field-programmable Gate Array) 등의 디지털 제어 방식이 채용되며 각 제어기 상호간에 필요한 제어 정보는 이더넷 또는 산업용 프로토콜과 같은 통신 방식을 통해 계층적으로 교환하는 것이 일반적이다^{[2],[3]}.

이와 같이 다수의 디지털 제어기로 구성되는 MMC 전압형 HVDC 시스템은 적절한 제어 성능과 안정성을 확보하기 위해 시간 지연 (Time delay) 요소에 대한 해석이 반드시 요구된다. 시스템 제어 시 고려되는 시간 지연 요소는 크게 연산 시간 지연 (Computational time delay), 샘플링 지연 (Sampling delay), 통신 전송 지연 (Communication Transport delay) 요소로 구분될 수 있다. 특히 많은 수의 서브모듈로 이루어진 MMC 전압형 HVDC 시스템의 경우, 각 제어기간의 통신 데이터의 증가에 따라 통신 전송 지연 요소가 우세하게 나타나며, 시스템의 비선형성 증가 및 시스템 전달 함수의 고차화를 유발하며, 그 결과 제어 과도 특성을 저하시키고 신뢰성 및 안정성을 약화시키는 원인이 된다.

본 논문에서는 이와 같은 문제점을 극복하고자 MMC 전압형 HVDC 시스템의 시간 지연에 따른 영향을 분석

Paper number: TKPE-2016-21-1-7

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: rykim@hanyang.ac.kr, Dept. of Electrical and Biomedical Eng., Hanyang University
Tel: +82-2-2220-4341 Fax: +82-2-2220-4825

¹ Dept. of Electrical Eng., EECS Lab., Hanyang University
Manuscript received Mar. 4, 2014; revised Mar. 28, 2014;
accepted Dec. 28, 2015

— 본 논문은 2013년 추계학술대회 외부장학금 수혜논문임

하고, 시간 지연 요소에 대한 역모델을 유도함으로써 제어 성능을 보강하기 위한 디지털 제어기 설계 방법을 제안한다. 모듈형 멀티레벨 컨버터의 수학적 모델링을 통한 시스템의 특성 방정식을 유도하고 시간 지연 요소에 대한 주파수 영역 모델을 통해 시스템 불안정성을 해석적으로 분석한다. 또한 시간 지연 요소의 역모델에 따른 문제점 및 이에 대한 해결 방안도 함께 제안한다. 제안한 디지털 제어기 설계 방법의 유용성 및 타당성을 검증하기 위하여 다양한 컴퓨터 시뮬레이션 결과를 제시한다.

2. 모듈형 멀티레벨 컨버터 모델링

3상 모듈형 멀티레벨 컨버터는 그림 2와 같이 3개의 상 레그 (Phase Leg)로 구성되어 있다. 각 상 레그는 상단 및 하단 암 (Arm)으로 구성되며, 각 암은 다시 하프 브릿지 (Half-bridge)로 구성된 n 개의 서브모듈 및 암 인덕터 (L_{arm})를 직렬연결되어 구성된다. 각 상 레그의 출력전압은 계통 인덕터 (L_g)를 통해 계통전압 ($v_{a,b,c}$)의 계통전류($i_{a,b,c}$)를 제어한다.

모듈형 멀티레벨 컨버터의 특성 방정식을 구하기 위해 그림 2의 3상 모듈형 멀티레벨 컨버터 회로를 그림 3과 같은 단상 등가회로로 등가화한다. 그림 3에서 V_{dc} 는 DC측 전압, $v_{arm_upper/lower_j}$ 는 상/하단 암 전압, i_{arm_up/low_j} 는 상/하단 암 전류, v_j 는 계통 상전압, i_j 는 계통 상전류, R_{loss} 는 손실 등가 저항, i_{cir_j} 는 순환 전류 (Circulating current)를 나타내며, j 는 각 상 a, b, c 를 의미한다. 모듈형 멀티레벨 컨버터의 상/하단 암에 키르히호프의 전압법칙 (Kichhoff's Voltage Law, 이하 KVL)을 적용을 통해 식 (1) 및 (2)를 유도할 수 있다. 유사하게 키르히호프의 전류법칙 (Kichhoff's Current Law, 이하 KCL)의 적용을 통해 계통 상전류와 순환 전류를 유도하면 식 (3), (4)와 같다.

$$\begin{aligned} v_j & \\ &= \frac{V_{dc}}{2} - V_{arm_up_j} - L_{arm} \frac{d}{dt} i_{arm_up_j} \\ &\quad - R_{loss} i_{arm_up_j} - L_g \frac{d}{dt} i_j \end{aligned} \quad (1)$$

$$\begin{aligned} v_j & \\ &= -\frac{V_{dc}}{2} + V_{arm_low_j} + L_{arm} \frac{d}{dt} i_{arm_low_j} \\ &\quad + R_{loss} i_{arm_low_j} - L_g \frac{d}{dt} i_j \end{aligned} \quad (2)$$

$$i_j = i_{arm_up_j} - i_{arm_low_j} \quad (3)$$

$$i_{cir_j} = (i_{arm_up_j} + i_{arm_low_j})/2 \quad (4)$$

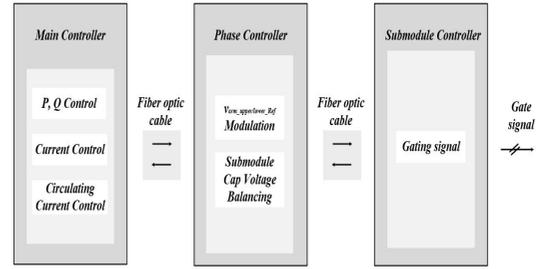


Fig. 1. The control architecture of MMC.

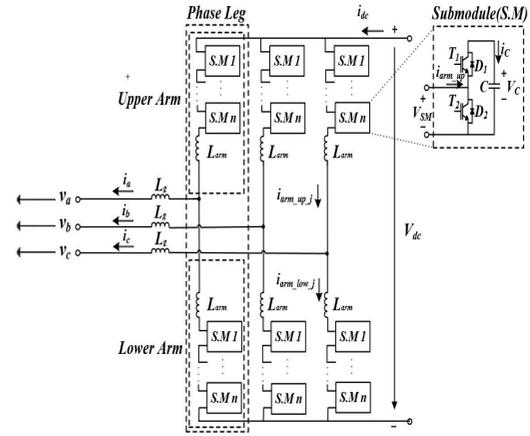


Fig. 2. Modular multilevel converter diagram.

식 (1)과 (2)를 더한 후 정리하면 식 (5)를 구할 수 있다. 여기서 L_{eq} 은 등가 리액터, R_{eq} 은 등가 저항을 의미하며, e_j 는 각 상의 상단 및 하단 암 전압 차이에 의해 생성되는 전압으로 등가 상전압으로 정의한다.

$$\begin{aligned} v_j &= e_j - L_{eq} \frac{di_j}{dt} - R_{eq} i_j \\ (e_j &= \frac{V_{arm_low_j} - V_{arm_up_j}}{2}, L_{eq} = L_g + \frac{L_{arm}}{2}, R_{eq} = \frac{R_{loss}}{2}) \end{aligned} \quad (5)$$

식 (5)로부터 모듈형 멀티레벨 컨버터의 삼상 좌표계 상의 전압 방정식은 식 (6)과 같이 유도되며 이를 동기 좌표계로 변환하면 식 (7)과 같이 나타낼수 있다. 이때 ω 는 계통전압의 각속도이며, v_{dq} 은 d, q축 계통 전압, i_{dq} 은 d, q축 계통 상전류, e_{dq} 는 등가 상전압이다.

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} - L_{eq} \frac{d}{dt} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} - R_{eq} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (6)$$

$$L_{eq} \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + R_{eq} \begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} e_d \\ e_q \end{bmatrix} - \begin{bmatrix} v_d \\ v_q \end{bmatrix} - L_{eq} \begin{bmatrix} -\omega i_q \\ \omega i_d \end{bmatrix} \quad (7)$$

최종적으로 등가 상전압에 대한 계통 상전류의 d, q축 전달 함수인 $G_d(s)$ 및 $G_q(s)$ 를 유도하기 위해 식 (7)에

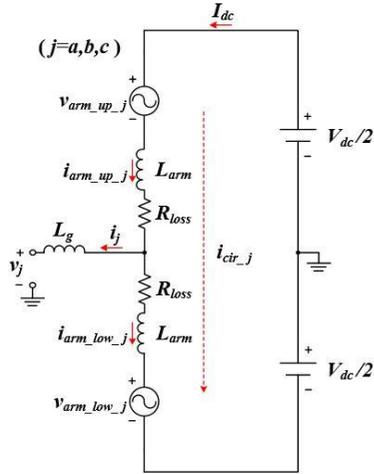


Fig. 3. MMC single-phase equivalent circuit.

라플라스 변환을 적용한 후 그림 4처럼 전류 교차결합 (Cross-coupling) 항과 계통전압 항은 전향 (Feed-forward)을 통해 정리하면, 식 (8) 과 같이 유도 될 수 있다. 식 (8)에서 알 수 있는 바와 같이 d, q축 계 통 상전류는 d, q축 등가 상전압에 대하여 L_{eq} 및 R_{eq} 로 규정되어지는 1차 시스템으로 간주할 수 있다.

$$G_{d,q}(s) = \frac{i_d}{e_d} = \frac{i_q}{e_q} = \frac{1}{(L_{eq}s + R_{eq})} \quad (8)$$

이와 유사하게 순환 전류에 대한 전달 함수는 식 (1) 과 식 (2)의 차로부터 유도할 수 있으며, 이는 식 (9)와 같으며 이를 3상 시스템에 적용하면 식 (10)과 같이 된 다. 이때 순환 전류는 계통 전류에 대하여 2배 주파수를 갖는 역상분 성분으로 나타나므로^[4], 식 (10)과같이 a-c-b의 역상 순으로 표현되게 된다.

$$\begin{aligned} v_{cir-j} & \quad (9) \\ &= \frac{1}{2}[V_{dc} - (v_{arm_up-j} + v_{arm_low-j})] \\ &= L_{arm} \frac{di_{cir-j}}{dt} + R_{loss} i_{cir-j} \end{aligned}$$

$$\begin{bmatrix} v_{cir-a} \\ v_{cir-c} \\ v_{cir-b} \end{bmatrix} = L_{eq} \frac{d}{dt} \begin{bmatrix} i_{cir-a} \\ i_{cir-c} \\ i_{cir-b} \end{bmatrix} - R_{eq} \begin{bmatrix} i_{cir-a} \\ i_{cir-c} \\ i_{cir-b} \end{bmatrix} \quad (10)$$

식 (10)을 동기 좌표계상의 d, q-좌표계상의 식으로 정 리하면 식 (11)과 같이 표현된다. 여기서 v_{cir-dq} 은 d, q축 불평형 전압, i_{cir-dq} 은 d, q축 순환 전류를 나타낸다.

$$L_{eq} \frac{d}{dt} \begin{bmatrix} i_{cir-d} \\ i_{cir-q} \end{bmatrix} + R_{eq} \begin{bmatrix} i_{cir-d} \\ i_{cir-q} \end{bmatrix} = \begin{bmatrix} v_{cir-d} \\ v_{cir-q} \end{bmatrix} - L_{eq} \begin{bmatrix} -2\omega i_{cir-q} \\ 2\omega i_{cir-d} \end{bmatrix} \quad (11)$$

식 (11)를 라플라스 변환 한 후 정리하면 최종적인 불 평형 전압에 대한 순환 전류의 d, q축 전달 함수인 $G_{cir-d}(s)$, $G_{cir-q}(s)$ 가 유도되며 이를 식 (12)에 나타내었 다 그림 5와 같이. $G_{cir-d}(s)$, $G_{cir-q}(s)$ 도 $G_d(s)$ 및 $G_q(s)$ 와 유사하게 전류 교차결합 항을 전향보상 처리하면^{[4][5]} L_{eq} 및 R_{eq} 로 규정되어지는 1차 시스템으로 간주할 수 있음을 알 수 있다.

$$G_{cir-d,cir-q}(s) = \frac{i_{cir-d}}{v_{cir-d}} = \frac{i_{cir-q}}{v_{cir-q}} = \frac{1}{(L_{arm}s + R_{loss})} \quad (12)$$

3. 제어기 설계 및 해석

3.1 제어기 설계

아날로그 계통 상전류 제어기와 순환전류 제어기는 일반적으로 식 (8), (12)인 각 각의 전달함수로부터 적절 한 위상여유(Phase Margin)와 교차점 주파수(Crossover frequency)를 갖도록 PI 제어기를 설계한다. 식 (13)인 d, q축 계통 상전류제어기 $C_{d,q}(s)$ 은 이득 값(K_c), 극점 (0) 1개, 영점(ω_{cz}) 1개를 가진다. 그리고 설계한 d, q 순 환전류 제어기는 식 (14)이며, 이득 값(K_{cir}), 극점(0)이 1개, 영점(ω_{cirz})이 1개를 가진다. 그림 6은 모듈형 멀티 레벨 컨버터의 전체 제어 흐름도를 표현 했으며, 이 때 사용한 제어기들은 각각 식 (13), (14)이다.

$$C_d(s) = C_q(s) = K_c \frac{(1 + \frac{s}{\omega_{cz}})}{s} \quad (13)$$

$$C_{cir-d}(s) = C_{cir-q}(s) = K_{cir} \frac{(1 + \frac{s}{\omega_{cirz}})}{s} \quad (14)$$

3.2 시간지연의 영향분석

디지털 제어기는 식 (15), (16)와 같다. 이 식은 식 (13), (14)을 통해 쌍선형 근사(Bilinear approximation 또는 Tustin 근사)를 사용하여 s-영역을 z-영역으로 등 가 변환해 설계한 것이다^[6]. 하지만 모듈형 멀티레벨 컨 버터의 디지털 제어 시스템은 아날로그 제어 시스템과 달리 DSP를 사용하고 제어기 간의 데이터를 통신으로 구성되기 때문에 그림 4, 5인 아날로그 계통 상전류, 순 환전류 제어 블록도는 그림 7, 8과 같이 바뀐다.

이는 그림 4, 5와 비교했을 때 제어기만 바뀐 것이 아 니라 영차홀더(Zero-order-hold)항 ($G_{ZOH}(s)$)과 계산지연 및 전송지연 항($G_{delay}(s)$)이 추가된 것을 확인 할 수 있 다. 식 (17)은 시간 지연에 관한 항들을 하나의 항 ($G'_{delay}(s)$)으로 합한 것이다^{[6][7][8]}. T_c 는 계산 지연시간, T_t 는 전송 지연시간, T_z 는 영차홀더 인한 지연시간, T_d

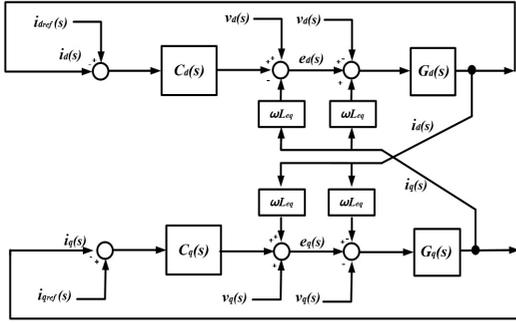


Fig. 4. Block diagram of the analog current control.

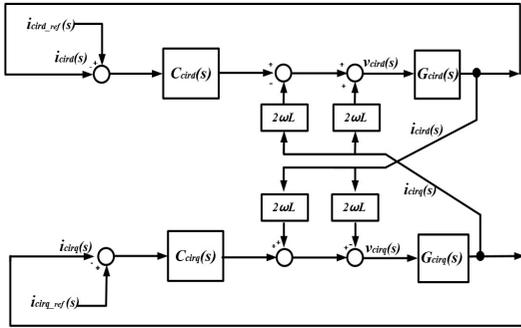


Fig. 5. Block diagram of the analog circulating current control.

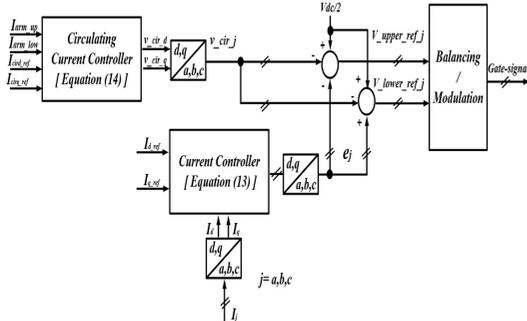


Fig. 6. Overall control flow of the MMC system.

는 총 지연시간(Total delay time)이다. 따라서 새롭게 시간지연으로 인해 추가된 항으로 인한 영향이 무엇인지 살펴보자.

$$C_{d,q}(z) = z[C_{d,q}(s)] \quad (15)$$

$$C_{cir,d,cir,q}(z) = z[C_{cir,d,cir,q}(s)] \quad (16)$$

$$G'_{delay}(s) = G_{ZOH}(s)G_{delay}(s) = e^{-s(t_s + T_c + T_l)} = e^{-sT_d} \quad (17)$$

식 (17)은 비선형이므로 보드선도 등 주파수 영역에서 분석할 수가 없기 때문에 이 식의 영향을 파악할 수 없다. 그래서 파데 근사법(Pade approximation)을 사용하여 식 (18)과 같이 근사적으로 선형화를 하여 분석한다.^[7]

$$G'_{delay}(s) = e^{-sT_d} \approx \frac{1}{(1 + T_d s)} = \frac{1}{(1 + s/w_{dp})} \quad (18)$$

시간 지연으로 인해 추가된 식 (18)으로 인하여 계통 상전류에 대한 전달 함수는 식 (8)에서 식(19)로, 순환 전류에 대한 전달함수도 식 (12)에서 식 (20)과 같이 변경된다. 수정된 전달함수의 주파수 응답특성을 살펴보기 위해 표1의 시스템 파라미터를 사용하였다. 그 결과 계통 상전류의 전달함수의 주파수 응답 특성은 그림 9와 같다. $200[Hz] \leq f \leq 20[kHz]$ 구간동안 특히 위상 여유(Phase margin)가 -90 도만큼 감소되는 것을 그림 9를 통해 확인할 수 있다^[6]. 이것은 수정된 시스템 전달함수가 식 (8)과 다르게 $2[kHz]$ 지점에서 극점이 추가되기 때문이다. 따라서 식 (15)인 디지털 제어기의 성능이 기존 전달함수 식 (8)로부터 감소하는 구간에 속해 있는 대역폭으로 설계한 아날로그 제어기의 성능과 유사할 수 없음을 유추할 수 있다. 여기서 그림 10과 같이 총 지연시간이 커질수록 위상 여유를 감소하는 구간의 영향이 증가하므로, 시스템의 적절한 위상여유를 더욱 확보하기 어렵다. 이로 인해 시간 지연이 커질수록 제어 시스템의 신뢰성과 안정성은 더 악화된다.

$$G'_{d,q}(s) = G_{d,q}(s) * G'_{delay}(s) \approx \frac{1}{(L_{eq}s + R_{eq})} \frac{1}{(1 + s/w_{dp})} \quad (19)$$

$$G'_{cir,d,cir,q}(s) = G_{cir,d,cir,q}(s) * G'_{delay}(s) \approx \frac{1}{(L_{arm}s + R_{loss})} \frac{1}{(1 + s/w_{dp})} \quad (20)$$

4. 시간지연을 고려한 제어기 설계

디지털 제어시스템으로 인해 생기는 시간지연 성분을 고려하고, 기존의 아날로그 제어기와 동일한 성능을 내는 디지털 제어기 설계기법을 제안한다. 제안하는 기법은 지연시간이 일정하다고 가정한다면, 식 (22), (23)과 같이 시간 지연성분을 선형근사 시킨 식(18)의 역수 항을 곱해주는 것이다. 이 역수 항은 시간지연성분과 유사한 크기의 성분들이기 때문에 시간지연성분이 상쇄된다, 따라서 앞에서 설계했던 아날로그 제어기의 추가적인 재설계 없이 그대로 사용할 수 있다. 하지만 이 역수 항은 미분기와 같은 역할을 하므로 고 주파수 대역에서 큰 게인 값이므로 지령 값 변화나 외란 혹은 노이즈(Nosie)의해 시스템 안정도가 민감하다는 문제점이 있다. 따라서 실제 응용에서는 미분기를 그대로 사용하다가 위험하므로 전체 시스템의 안정도 문제가 발생하지 않는 조건인 식 (21)을 만족하는 극점(w_{fp})을 가진 항을 곱해준다. 이 극점을 가진 항으로 인하여 고 주파수 대역에서 제어기의 게인 값을 감소시키므로 미분기로 생기는 문제점을 해결할 수 있다.

$$2w_{dp} < w_{fp} \quad (21)$$

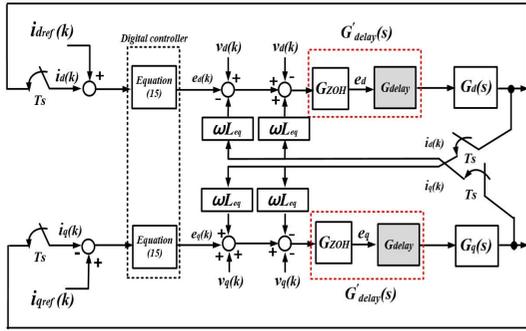


Fig. 7. Block diagram of the digital current control with time delay.

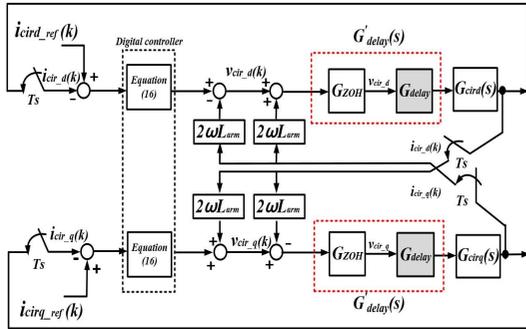


Fig. 8. Block diagram of the digital circulating current control with time delay.

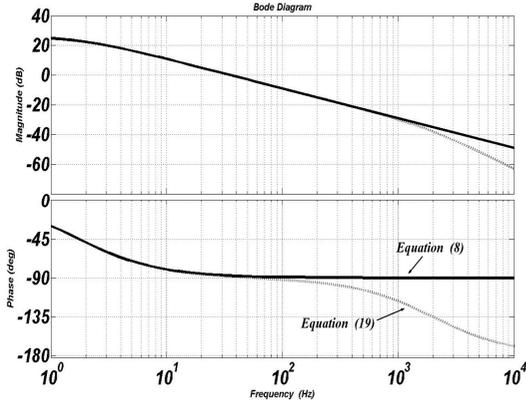


Fig. 9. Frequency response of equation (8) and (19) with time delay (500 [us]).

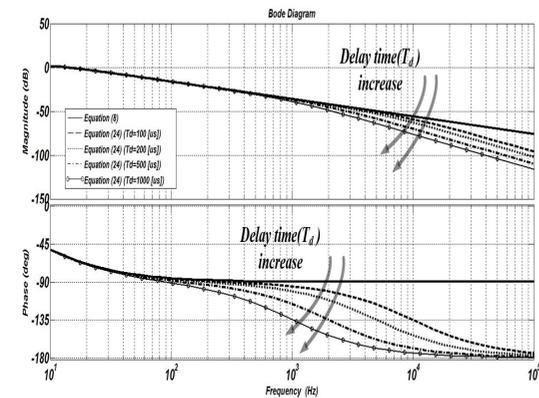


Fig. 10. Frequency response of equation (8) and (19) with different the time delay.

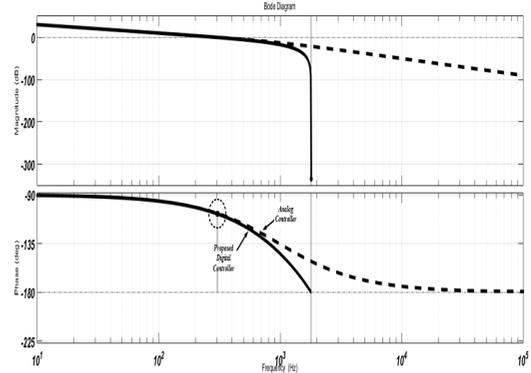


Fig. 11. Loop gain response of analog control and propose digital control.

$$C'_{d,q}(s) = C_{d,q}(s) C_{additional}(s) \quad (22)$$

$$= K_c \frac{(1 + 1/w_{cz}) (1 + s/w_{dp})}{s (1 + s/w_{fp})}$$

$$C'_{cird,cirq}(s) = C_{cird,cirq}(s) C_{additional}(s) \quad (23)$$

$$= K_{cir} \frac{(1 + s/w_{cirz}) (1 + s/w_{dp})}{s (1 + s/w_{fp})}$$

식 (22), (23)을 Tustin 근사를 사용하여 s-영역을 z-영역으로 등가 변환해 디지털 제어기 설계를 한다. 식 (24),(25)는 본 논문에서 제안한 디지털 제어기 식이며, 그림 11을 통해 이렇게 설계한 디지털 제어기의 성능이 아날로그 제어기의 성능과 비교하여 유사한 것을 확인할 수 있다.

$$C'_{d,q}(z) = z[C'_{d,q}(s)] \quad (24)$$

$$= z \left[K_c \frac{\left(\frac{1}{w_{cz} w_{dp}} \right) s^2 + \left(\frac{w_{cz} + w_{dp}}{w_{cz} w_{fp}} \right) s + 1}{\left(\frac{1}{w_{fp}} \right) s^2 + s} \right]$$

$$C'_{cird,cirq}(z) = z[C'_{cird,cirq}(s)] \quad (25)$$

$$= z \left[K_{cir} \frac{\left(\frac{1}{w_{cirz} w_{dp}} \right) s^2 + \left(\frac{w_{cirz} + w_{dp}}{w_{cirz} w_{dp}} \right) s + 1}{\left(\frac{1}{w_{fp}} \right) s^2 + s} \right]$$

그림 12, 13은 본 논문에서 제안한 기법으로 설계된 디지털 전류/순환전류 제어블록도 이다.

5. 시뮬레이션 결과

5.1 시뮬레이션 시스템

이 장에서는 Psim 이용해 본문에서 제안한 디지털 제

TABLE I
SIMULATION PARAMETERS OF MODULAR
MULTILEVEL CONVERTER SYSTEM

Parameter	Values[Unit]
DC link Voltage (V_{dc})	30 [kV]
Active Power (P)	30 [MW]
Reactive Power (Q)	0 [MVA]
Y- Δ Transformer Voltage Ratio	1 :
	1.05889
Number of Submodule in Arm (N)	20 [EA]
Submodule CAP Voltage (V_c)	1.5 [kV]
Submodule Capacitor (C)	10 [mF]
Arm inductor (L_{arm})	13 [mH]
Grid equivalent inductor (L_g)	1 [mH]
Equivalent loss resistor (R_{loss})	0.5 [Ω]
Sampling Freq (f_s)	3.6 [kHz]
Total delay time (T_d)	500 [us]
Grid phase voltage(v_{abc})	22.9 [kV]
Grid frequency (f_{grid})	60 [Hz]

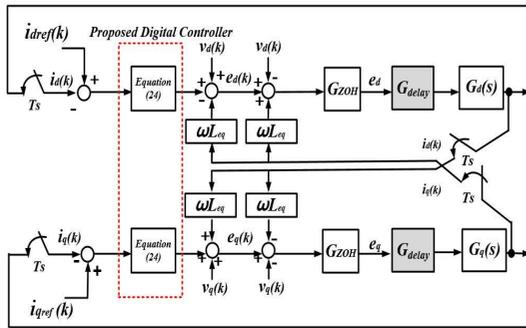


Fig. 12. Block diagram of the proposed digital current control with time delay.

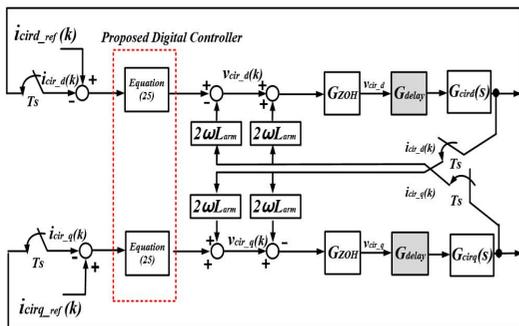


Fig. 13. Block diagram of the proposed digital circulating current control with time delay.

여기를 DLL로 구현하여 21-레벨 모듈형 멀티레벨 컨버터 시스템 시뮬레이션을 수행하였다. 시뮬레이션 회로 모델은 그림 14이며, 모듈형 멀티레벨 컨버터 시뮬레이션 시스템의 파라미터(parameter)는 표 1에 정리하였다.^{[9][10]} 본 논문에서 제안한 디지털 제어 설계 기법을 검증하기 전에 통신 주기가 400 [us]이며, 다른 시간 지연 성분

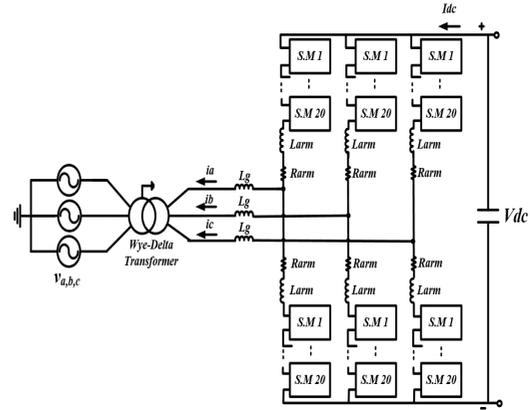


Fig. 14. Schematic diagram of the 21-level MMC simulation system.

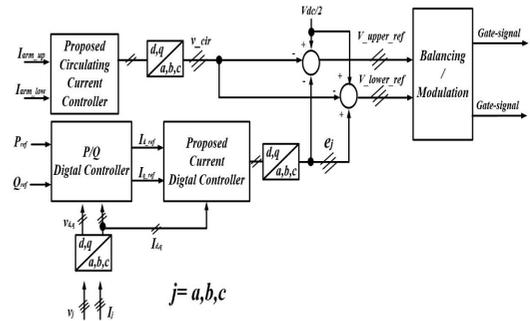


Fig. 15. Proposed digital control diagram of the 21-level MMC simulation system.

까지 있다고 포함한 총 지연시간(T_d)은 대략 500 [us]로 추정할 수 있다. 21-레벨 모듈형 멀티레벨 컨버터 시뮬레이션 시스템의 제어구조는 그림 15와 같이 유효(P)/무효(Q) 전력 제어(Outer control), 전류제어(Inner control) 및 순환전류 제어기로 구성하였으며^[4], 적용한 모듈레이션 기법은 Nearest Level Control(NLC) 기법을 사용하였다^[11].

5.2 시뮬레이션 결과

시간영역에서 시스템의 전류 제어의 정상 상태 응답을 확인하기 위하여 유효전력 지령(P_{ref})값을 30 [MW] 주고, 무효전력지령(Q_{ref})값은 0 [MVA]로 하였다. 그림 16과 17은 유/무효전력 지령(P_{ref} , Q_{ref})과 유/무효전력(P, Q), 계통 상전류의 d/q축 전류 지령($I_{dref, qref}$), 계통 상전류의 d/q축 전류($I_{d, q}$)와 A상 상단의 암 전압(V_{uppera}), 계통 상전류($I_{a, b, c}$)의 관한 각각의 정상상태 파형들이다. 그림 16은 시간 지연의 영향을 보상하지 않는 디지털 제어기를 사용한 것이고 그림 17은 본 논문에서 제안한 기법으로 설계한 디지털 제어기를 사용한 것이다. 그림 17(a),(b),(c)와 그림 16(a),(b),(c)의 비교를 통해 유효전력 값이 30 [MW], 무효전력 값이 0 [MVA]로 리플(Ripple)이 적으면서 계통 상전류의 d,q축 전류도 잘 추종하므로 계통 상전류 제어가 잘 되는 것을 확인할 수

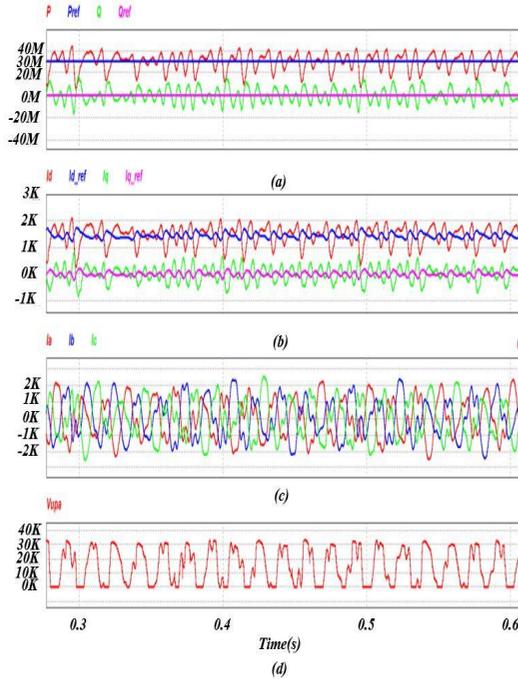


Fig. 16. Steady-state response of digital controller that designed without considering time delay. (a) active and reactive power components of MMC, (b) output phase d/q-axis current components of MMC, (c) output phase current components of MMC, (d) phase A arm voltage of upper.

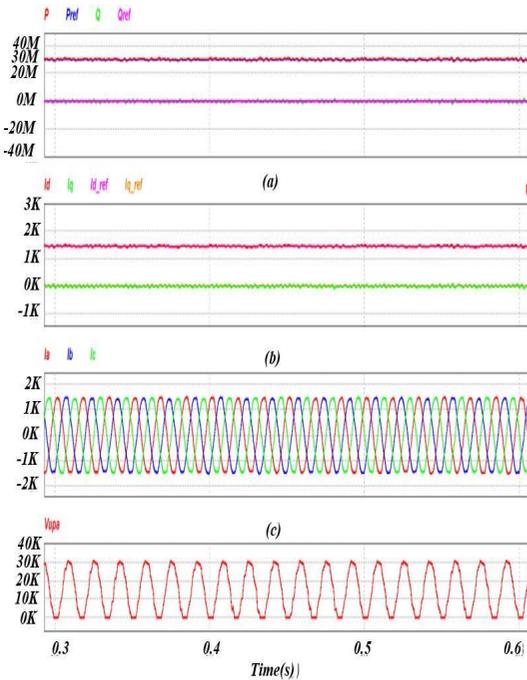


Fig. 17. Steady-state response of proposed digital controller. (a) active and reactive power components of MMC, (b) output phase d,q-axis current components of MMC, (c) output phase current components of MMC, (d) phase A arm voltage of upper.

있다. 그리고 그림 16(d)와 비교하여 그림 17(d)인 A상 상단 암 전압의 계단 파형이 무너지지 않고 출력되는

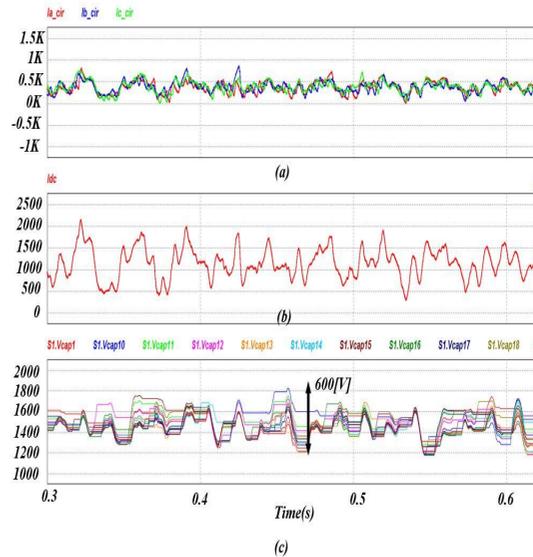


Fig. 18. Steady-state response of digital controller that designed without considering time delay. (a) circulating current components of MMC, (b) dc current components of MMC, (c) Phase A Submodule Cap voltages components of upper.

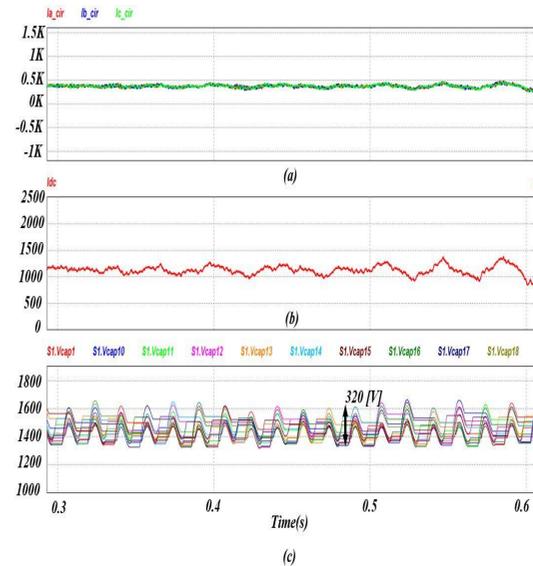


Fig. 19. Steady-state response of proposed digital controller. (a) circulating current components of MMC, (b) dc current components of MMC, (c) Phase A Submodule Cap voltages components of upper.

것을 확인 할 수 있다.

그림 18과 19는 순환전류($I_{cir,a,b,c}$), DC단 전류(I_{dc})와 A 상 상단 암의 서브모듈 커패시터 전압들($V_{upaS, Mcap}$)의 관한 각각의 정상상태에 대한 시뮬레이션 결과이다. 그림 18(a)(b)와 그림 19(a)(b)의 비교를 통해 순환전류 제어기는 지연시간을 고려해서 설계된 디지털제어기가 시간 지연의 영향을 보상하지 않는 디지털 제어기를 사용하는 것보다 순환전류의 맥동이 줄어든 형태로 나타나는 것을 확인할 수 있으며, 이와 같은 이유로 DC단 전류의

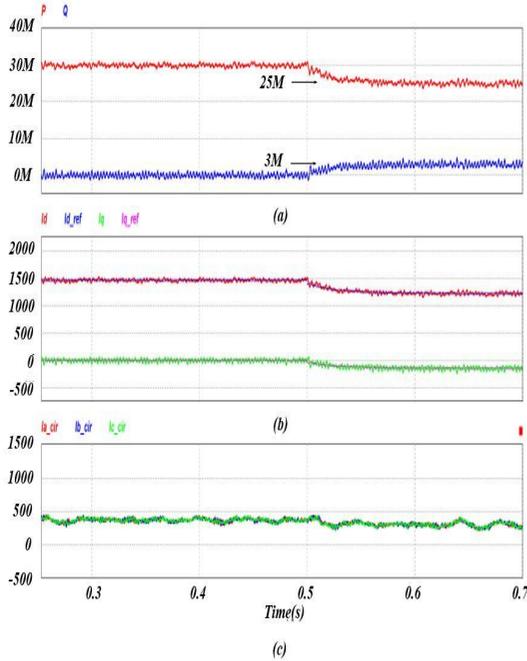


Fig. 20. Dynamic response of proposed digital controller. (a) active and reactive power components of MMC, (b) output phase d/q-axis current components of MMC, (c) circulating current components of MMC.

맥동도 줄어든 파형으로 나오는 것을 확인할 수 있다. 또한 서브모듈 커패시터 균등 제어도 각각의 서브모듈 커패시터 전압이 기준 전압인 1500[V]에 가깝게 더 균등 제어하는 것을 그림19(c)로 확인할 수 있다.

한편 시간영역에서 제안한 기법으로 설계된 디지털 제어기 대한 시스템의 전류 제어의 성능을 확인하기 위하여 0.5초 지점에서 유효전력 지령(P_{ref})값을 30 [MW] → 25 [MW]로, 무효전력지령(Q_{ref})값도 0 [MVA] → 3 [MVA]로 지령하였다. 그림 20은 유효/무효전력(P, Q), 계통 상전류의 d/q축 전류 지령(I_{dref}, I_{qref}), 계통 상전류의 d/q축 전류(I_d, I_q), 순환전류($I_{cira, b, c}$)의 관한 각각의 응답 파형들이다. 그림 20(a)(b)를 통해 유효전력 값이 30 [MW]에서 25 [MW], 무효전력 값이 0 [MVA]에서 3 [MVA]로 리플(Ripple)이 적으면서 지령치를 잘 추종되고, 그에 따라 계통 상전류의 d,q축 전류도 마찬가지로 상전류 제어가 잘되는 것을 확인할 수 있다. 또한 순환전류 제어도 잘되어 순환전류의 맥동이 줄어든 형태로 나타나는 것을 그림 20(c)로 확인할 수 있다.

6. 결 론

모듈형 멀티레벨 컨버터 시스템의 제어기 구조는 단일 제어기가 아니라 주 제어기(Main Controller), 상 제어기(Phase Controller), 서브모듈 제어기(Submodule Controller)로 구성된다. 이러한 제어기 간의 연결은 통신으로 이루어져 이므로 제어기는 아날로그 제어기보다

디지털 제어기가 적합하다. 하지만 모듈형 멀티레벨 컨버터 시스템에서 통신으로 인한 전송 지연이 발생하므로 그것은 시스템 전달함수의 차수를 높여주므로 제어 시스템이 복잡하게 되며 시스템의 신뢰성 및 안정성이 악화하는 문제점을 발생시킨다.

따라서 본 논문은 시간 지연 특히 통신 시스템에서 내재 되어 있는 전송 지연 대한 시스템 영향과 그것을 고려한 모듈형 멀티레벨 컨버터 시스템의 디지털 제어기의 설계방법을 제안하였다. 각각 지연시간을 고려하지 않고 설계한 디지털 제어기와 본 논문에 제안한 방법으로 설계된 디지털 제어기를 사용한 21-레벨로 구현된 모듈형 멀티레벨 컨버터 시뮬레이션 시스템을 통해 시뮬레이션을 수행하였다. 시뮬레이션 결과인 유효/무효전력 지령 (P_{ref}, Q_{ref})와 유효/무효전력(P, Q), 계통 상전류의 d/q축 전류 지령(I_{dref}, I_{qref}), 계통 상전류의 d/q축 전류(I_d, I_q)와 A상 상단의 압 전압(V_{uppera}), DC단 전류(I_{dc}), 순환전류($I_{cira, b, c}$)와 A상 상단 압의 서브모듈 커패시터 전압($V_{upaS, Map}$) 대한 응답파형들을 비교하여 제어기 설계가 잘 이루어졌음을 보였다. 결론적으로 본 논문에서 제안한 디지털 제어기는 시간 지연성분에 대한 선형 근사화된 값의 역수 항이 포함된 추가적인 항을 곱한 결과, 기존에 설계했던 아날로그 제어기의 추가적인 재설계 없이 지연시간의 영향으로 발생하는 모듈형 멀티레벨 컨버터 시스템의 안정성 및 신뢰성 저하를 개선한 부분의 대해 시뮬레이션 결과로 증명하였다.

이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초 연구 사업입니다. (No. NRF-2014R1A1A1007258)

References

- [1] S. Allebrod, R. Hamerski, and R. Marquardt, "New transformerless, scalable modular multilevel converters for HVDC-transmission," in *Power Electronics Specialists Conference, PESC 2008. IEEE*, pp. 174-179, 2008.
- [2] A. Lesnicar and R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power range," in *Power Tech Conference Proceedings, 2003 IEEE Bologna*, Vol. 3, pp. 6, 2003.
- [3] P. Murphy, M. Xie, Y. Li, M. Ferdowsi, N. Patel, and F. Fatehi, et al., "Study of digital vs analog control," in *Power Electronics Seminar Proceedings(CPES Center for Power Electronics Systems)*, pp. 203-206, 2002.
- [4] Q. R. Tu, Z. Xu, and L. Xu, "Reduced switching-frequency modulation and circulating current suppression for modular multilevel converters," *IEEE*

Transactions on Power Delivery, Vol. 26, pp. 2009–2017, Jul. 2011.

- [5] M. Guan, Z. Xu, and H. Chen, "Control and modulation strategies for modular multilevel converter based HVDC system," in *IECON 2011-37th Annual Conference on IEEE Industrial Electronics Society*, pp. 849–854, 2011.
- [6] G. F. Franklin, J. D. Powell, A. Emami-Naeini, and J. D. Powell, *Feedback control of dynamic systems Vol. 3: Addison-Wesley Reading*, 1994.
- [7] R. C. Dorf, *Modern control systems: Addison-Wesley Longman Publishing Co., Inc.*, 1995.
- [8] G. F. Franklin, M. L. Workman, and D. Powell, *Digital control of dynamic systems: Addison-Wesley Longman Publishing Co., Inc.*, 1997.
- [9] T. Qingrui, X. Zheng, H. Hongyang, and Z. Jing, "Parameter design principle of the arm inductor in modular multilevel converter based HVDC," in *Power System Technology (POWERCON), 2010 International Conference on*, pp. 1–6, 2010.
- [10] S. Zhandong, Y. H. Li, P. Wang, Z. X. Li, Y. J. Luo, and P. Qu, "Parameter design principle of the capacitors and inductors in the power electronic transformer based on MMC," in *Electrical Machines and Systems (ICEMS), 2014 17th International Conference on*, pp. 2445–2448, 2014.
- [11] Q. Tu and Z. Xu, "Impact of sampling frequency on harmonic distortion for modular multilevel converter," *IEEE Transactions on Power Delivery*, Vol. 26, pp. 298–306, 2011.



송지완(宋知完)

1988년 4월 13일생. 2012년 서울과학기술대 전기공학과 졸업. 2012년~현재 한양대 대학원 전기공학과 석박 통합과정.



구남준(具楠逵)

1987년 8월 10일생. 2010년 한양대 전기제어공학부 졸업. 2012년 동 대학원 전기공학과 졸업(석사). 2012년~현재 동 대학원 전기공학과 박사과정.



김래영(金來瑛)

1974년 6월 6일생. 1977년 한양대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2009년 미국 버지니아 공대 (Virginia Tech) 대학원 전기공학과 졸업(공학박). 1999년~2004년 효성중공업 연구소 선임연구원. 2009년~2010년 미국 National Semiconductor Post Doc. Researcher. 2010년~현재 한양대 전기생체공학부 조교수. 당 학회 JPE 편집위원, 학술위원.