

논문 2016-53-11-17

무기체계 오류 검증을 위한 실시간 시스템 병렬시험 기법

(Real-Time System Parallel Testing Techniques for Weapon System Error Verification)

김 동 준*

(Dong-Jun Kim[Ⓞ])

요 약

본 논문은 무기체계의 오류를 검증할 때 필요한 실시간 시스템 병렬시험 기법에 대해서 제안한다. 이전에 국방분야에서 사용되는 야전시험장비는 무기체계를 순차적으로 검증하는 방식을 사용하였다. 오류를 순차적으로 검증하는 방식은 내부유닛간의 상호 간섭에 의한 부분의 오류검증은 할 수 없었다. 이러한 이유로 인해 본 논문에는 기존에 무기체계 오류 검증 시 사용되는 순차적 시험기법이 아닌 임베디드 장치를 이용한 실시간 시스템 병렬시험 기법을 제안한다. 임베디드 모듈이 탑재된 스위칭 제어카드를 병렬시험을 수행하고 그 결과를 사용자의 제어장치로 전달한다. 이러한 방식은 기존의 방식에 비해 좀 더 정확하게 무기체계 내부의 상호 간섭에 대한 오류 검증을 할 수 있다.

Abstract

In this paper present the real-time system parallel testing techniques for weapon systems error verification. Previously field testing equipment in the military field was using the sequential testing method to maintain. This method could not check the error verification of interference. For this reason, in this paper propose the real-time system parallel testing techniques using an embedded module instead of the sequential testing techniques which is used in the weapon system error verification. Using the embedded module mounted switching control card conduct the parallel testing and then send the result to the PC. This method is possible to increase the reliability in the weapon system error verification.

Keywords : 오류검증, 병렬시험, 시험장비, 상호 간섭

I. 서 론

우주 및 국방 분야는 점차 고기능화 되어감에 따라 신호처리의 중요성이 커지고 병렬처리 시스템(Parallel Processing System)구현이 이슈화 되고 있다. 이에 따라 시험장비분야에서도 신호처리의 병렬점검방법에 대한 연구가 활발히 이루어지고 있다. 특히 최근 국방 분야에서는 포맷이 다른 다양한 신호를 동시에 병렬로 처리하는 시스템으로 변화되고 있다. 병렬처리 시스템이

란 입출력 채널 또는 처리기와 같은 장치에서 둘 이상의 프로세스를 동시에 수행하는 방식을 의미한다.

본 논문에서는 국방 분야에서 사용되는 야전시험장비에 개발한 병렬시험 기법을 제안한다. 야전시험장비는 무기체계가 제 기능을 발휘할 수 없을 때 야전에서 사용하는 시험장비를 말한다. 기존에 사용되는 방식은 순차적 시험기법을 적용하였다. 즉, 하나의 태스크가 수행되고 결과 값을 받은 뒤 태스크를 종료하고 다음 태스크를 수행하는 방식을 사용하였다^[1]. 기존의 순차적 방식의 예를 들면 시험대상품을 시험할 때 단선점검을 종료한 후 전원점검을 수행하고, 전원점검이 종료된 후 통신점검을 수행하는 방식을 말한다. 이러한 방식은 시험시간이 많이 소요가 되는 문제가 있었고, 내부 유닛간 상호 간섭에 대한 부분은 검증할 수 없는 문제가 있

* 정회원, 한화시스템(Hanwha Systems), 경북대학교 전자공학과(Electronics Engineering, Kyungpook National University)

Ⓞ Corresponding Author (E-mail : dj0227.kim@hanwha.com)

Received ; August 23, 2016 Revised ; November 8, 2016

Accepted ; November 9, 2016

었다. 이러한 문제점을 해결하기 위해 하나씩 태스크를 수행하는 것이 아닌 태스크를 동시에 병렬로 시험하는 병렬 시험기법을 야전시험장비에 적용하였다. 병렬시험기법을 적용하면 처리 능력을 높일 수 있고, 내부 유닛 간 상호 간섭에 대한 부분도 검증할 수 있다. 병렬시험기법의 예를 들면 시험대상품 통신시험을 수행할 때 사용되는 포트를 열어 통신점검을 동시에 수행한다. 이렇게 동시에 수행된 결과치가 전송되어 정상유무를 판별하게 되는 방식이다. 이러한 방식은 실용적인 측면에서 소프트웨어 부분만을 수정하여 타 분야에서도 쉽게 적용할 수 있다^[2].

본 논문에서는 병렬시험 기법을 적용하기 위해 하드웨어는 스위칭 제어카드(Switching Control Card, SCC)에 임베디드 모듈을 이용하였고, 소프트웨어는 관련 새로운 타입의 API함수를 실시간 시스템을 적용한 것을 제안한다. 본 논문의 구성은 총 4장으로 구성되어 있다. 2장에서는 관련연구 및 시스템 요구사항 및 개요에 대해서 설명하고, 3장에서는 구현 환경 및 시스템의 검증 및 성능 평가 결과를 보이고, 마지막으로 4장에는 결론을 맺는다.

II. 본 론

1. 야전시험장비 정의

야전시험장비는 무기체계가 제 기능을 발휘할 수 없을 때 야전에서 무기체계의 정상유무를 판단하고 정비할 수 있는 기능을 제공하기 위한 시험장비다^[3]. 무기체계의 정비를 위해서 유닛 및 보드단위의 고장탐지 및 고장위치 분석용 정비 지원장비로 운용되고 있다. 일반적으로 정비개념 및 정비계단을 설정하여 부대정비, 야전정비, 창정비로 구분하고, 각 단계에 맞는 시험장비를 그림1과 같이 개발하게 된다. 부대정비는 간단한 Bit 점검을 수행하여 무기체계의 정상유무를 판단한다. 야전정비는 부대정비에서 걸러진 불량인 무기체계를 야전시험장비를 이용하여 시험하고, 불량인 회로카드를 식별할 수 있게 된다. 창정비는 야전정비에서 걸러낸 불량인 회로카드를 점검하고, 소자단위로 불량을 찾아낼 수 있는 기능을 탑재하고 있다.

야전시험장비는 형상에 따라 크게 데스크형 시험장비, 이동형 시험장비, 랙형 시험장비로 나눌 수 있다. 본 논문에서는 데스크형 시험장비를 기준으로 설명한다.

야전시험장비는 시험장비본체, 케이블, 기구물 등으로 구성된다, 여기서 시험장비본체는 JIG(치구), 계측기,

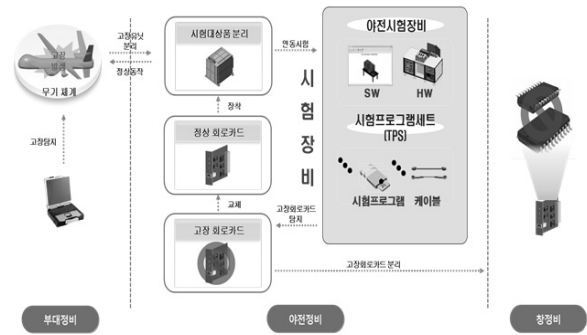


그림 1. 무기체계 정비절차
Fig. 1. Weapon System Maintenance Procedure.

스위칭장치, 제어장치, 소프트웨어 등으로 구성된다, 각 구성품의 역할은 다음과 같다.

JIG(치구)는 무기체계와 시험장비본체간에 서로 물리적인 인터페이스를 제공하는 역할을 수행한다.

계측기는 무기체계를 점검하기 위해 필요한 신호를 만들어주거나, 무기체계에서 나오는 신호를 측정하고 분석하기 위해 사용된다.

스위칭장치는 시험장비가 점검해야 하는 경로가 많이 필요하여 사용되는 장치이다. 스위칭장치는 스위칭 제어카드(SCC), 채널스위칭카드(CSC), 디지털인터페이스카드(DIC) 등으로 구성된다.

제어장치는 PC형태이고, 시험 소프트웨어가 탑재되어 계측기(리소스)와 스위칭장치에 명령을 주거나 획득된 값을 분석하는 사용된다.

시험 소프트웨어는 운용자가 GUI를 제공하는 운용프로그램, 계측기(리소스)를 제어하는 리소스프로그램, 각 무기체계별 점검을 할 수 있는 시험프로그램으로 구성된다.

데스크형 야전시험장비의 구성은 그림2와 같다.

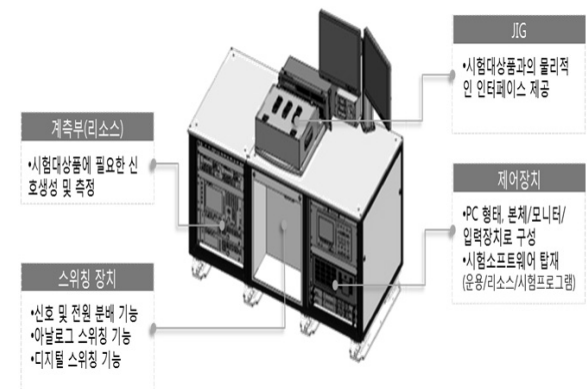


그림 2. 야전시험장비 구성
Fig. 2. Field Test Equipment Configurations.

2. 관련 연구

최근 다양한 기술의 발달로 고성능 실시간 병렬 제어 시스템이 많이 나오는 추세이다. 이러한 실시간 병렬 제어 시스템은 안정성 및 신뢰성이 중요하기에 오류에 대한 검증 및 해결방안이 중요시되고 있다. 여기에서 신뢰성이란 임의의 시스템이 주어진 사용조건 아래에서 의도된 임무기간 동안 고유의 기능을 고장발생 없이 성공적으로 수행할 수 있는 능력 또는 확률을 의미한다^[4]. 이와 같이 다양한 분야에서 오류를 검증하는 방식과 해결하는 방식, 그리고, 병렬시험기법에 대해 대해서 알아본다.

(1) 페트리 넷(Petri Net) 모델링 기법

페트리 넷 모델링 기법은 철도분야에서 가장 많이 사용되는 기법이다. 병렬로 동시에 발생하는 시스템을 모델링하는데 유용한 방식이고, 그래픽한 패턴으로 나타내며 이는 모델링 관점에서 추상화 할 수 있어 시스템을 분석하는데 유용하다^[5].

페트리 넷은 크게 전방 추론 방식과 후방 추론 방식으로 구분할 수 있다. 전방 추론 방식은 고장의 진단을 할 수 있고, 후방 추론 방식은 고장 진단 시스템에서 인과관계를 규명하는데 유용하게 적용된다. 이러한 페트리 넷 모델링 기법은 시스템의 오류 검증 및 오류 원인을 분석할 수 있어 시스템 안정화에 기여한다.

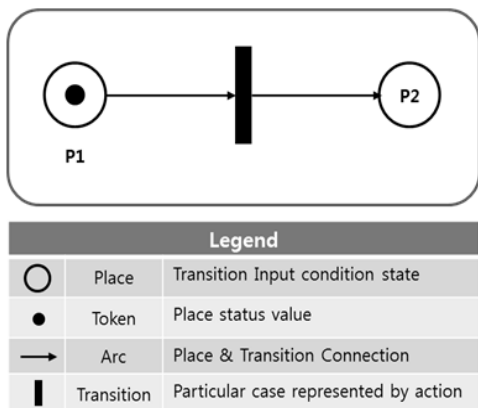


그림 3. 페트리 넷 정의
Fig. 3. Petri Net Definition.

(2) 정적분석(Static Analysis) 기법

소프트웨어는 형체가 없어서 사람이 코드의 오류를 찾는 것은 힘들다. 그래서 많은 시간과 인력이 요구되는 소프트웨어 검증 과정을 정확하고 신속하게 하는 기법들이 연구되고 있다. 그 중에서 군사용 소프트웨어를

검증할 때는 정적분석 기법을 사용한다. 정적분석 기법은 컴퓨터 소프트웨어 검증방법 중 하나로 코드 실행 없이 문법적 오류가 있는지에 대한 여부를 검증하는 방법이다. 예를 들어 쓰레드를 제대로 종료하지 않고 프로그램을 종료하는 소스코드가 있다면 정적분석 기법으로 걸러진다. 즉, 소스코드 또는 프로그램을 실행시키지 않고 자동화된 도구로 프로그램이 가진 Divided by Zero, Arithmetic Overflow, Buffer under/overflow, Dead Code/Data 또는 Incomplete code등의 실행시간 오류를 확인 가능하다^[6]. 이러한 정적분석 기법은 기본적인 시스템의 오동작을 미연에 방지할 수 있다.

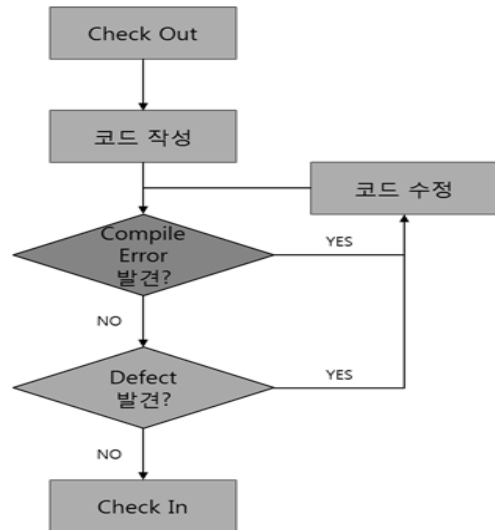


그림 4. 정적분석 코딩 과정
Fig. 4. Static Analysis Coding Process.

(3) 체크포인트링(Checkpointing) 기법

실시간 제어 시스템은 작업을 수행하는 데 있어 열악한 환경에서 지속적으로 동작하도록 요구되기 때문에 오류가 없는 안정적인 시스템이 요구되고 있다.

시스템은 순간적 결함이 유발하는 오류로 인하여 오동작할 수 있다. 이러한 오류로 인한 오동작을 해결하기 위하여 제안된 방법이 체크포인트링 기법이다^[7]. 체크포인트링 기법은 시스템의 상태를 신뢰성이 높은 메모리에 주기적으로 저장하는 것을 말한다, 예를 들어 만약 순간적인 결함으로 인해 오류가 발생이 되면 체크포인트를 이용해 시스템을 오류 이전상태로 되돌린다. 이렇게 하면 오류로 인한 오동작을 막을 수 있다.

(4) 병렬처리 소프트웨어

현재 대부분의 PC사양은 듀얼코어등 다수의 CPU를

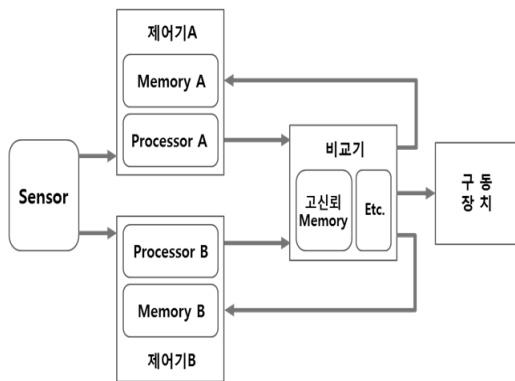


그림 5. 체크포인팅 기법
Fig. 5. Checkpointing Technique.

가지는 멀티프로세서 환경을 제공한다. 그러나 멀티프로세서 시스템이 곧 자원의 병렬 사용을 의미하는 것은 아니고 개발자가 이를 이용하는 소프트웨어를 개발해 시스템의 성능을 최대한 이용하는 것이라 할 수 있다^[8]. 예를 들어 기존의 수상 전투체계 개체생성기 구조에서는 각 스텝이 끝난 후 순서대로 진행되는 직렬적 구조를 가지고 있었다. 하지만, 이러한 방식은 하드웨어의 장점을 최대한 살리지 못해 처리시간이 많이 소요되는 문제점이 있었다. 그래서 최근의 수상 전투체계 개체생성기 구조는 많은 수의 개체처리 동기화를 고려하여 최대한 소프트웨어적으로 병렬처리 함으로써 주어진 시간을 단축하고, 멀티프로세서 시스템 환경을 최대한 이용하여 성능을 향상시키고 있다.

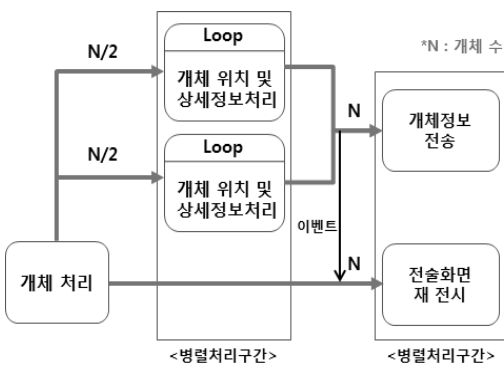


그림 6. 수상 전투체계 병렬처리 소프트웨어 구조
Fig. 6. Surface Combat System Parallel Processing Software Architecture.

3. 시스템 요구사항 및 개요

(1) 시스템 설계 요구사항

본 논문에서는 실시간 시스템을 이용하여 무기체계 내부 유닛간 상호 간섭으로 인한 오류를 검증하여 시스

템 안정성 구현을 목표로 한다. 따라서 이와 같은 구현을 위해 다음과 같은 요구사항을 충족해야 한다.

첫째, 제안된 시스템은 IEEE 802.3 이더넷 인터페이스를 지원하여야 한다. 이전에 순차적 시험방식에서 사용하던 PCI카드를 이용한 SCSI(Small Computer System Interface)는 신호선의 길이 제약으로 원거리 제어에 한계가 있었다. 제안된 시스템은 이더넷 인터페이스를 사용하여 다양한 형태의 제어장치 및 계측기 제어가 가능하고 원거리 제어가 가능하여야 한다.

둘째, 제안된 시스템은 실시간 시스템을 이용하여 병렬 인터페이스를 지원하여야 한다. 기존의 야전시험장비는 순차적인 인터페이스로 제어가 가능한 반면, 제안된 시스템은 병렬 인터페이스로 제어가 가능하여야 한다.

셋째, 제안된 시스템의 태스크는 독립적으로 수행되며 우선순위를 줄 수 있어야 한다. 야전시험장비를 사용하여 Ethernet, UART, I2C통신 등 다양한 점검을 수행한다. 이때 우선순위가 높은 태스크를 먼저 수행할 수 있는 기능이 있어 상호간에 충돌을 피할 수 있어야 하고, 각 태스크 오류로 인해 생기는 에러가 다른 태스크에 영향 없이 독립적으로 수행할 수 있어야 한다.

(2) 제안된 시스템 개요

기존의 시험 구조는 컴퓨터 내에 설계된 PCI to SCSI카드를 장착하여 스위칭장치를 제어하였다. PCI to SCSI카는 PLX PCI9054칩을 사용하여 32Bit Data와 Address를 가지며 이를 이용하여 PCI통신을 할 수 있도록 설계하였다. 설계된 PCI to SCSI카드는 원거리 제어에 한계가 있고, 하나의 프로그램이 수행되고 끝나야 다음 프로그램이 수행되는 순차적 방식을 채택할 수밖에 없는 단점이 있었다. 이는 무기체계 내부의 상호 간섭에 대한 영향성을 점검하는데 한계가 있는 방식이다.

제안된 시험 구조는 별도의 카드가 필요하지 않고, 제어장치의 Ethernet인터페이스를 사용하였다. 기존 시험 기법에 비해 원거리 제어에도 유용하며, 다양한 형태의 제어장치 및 계측기 제어도 가능하다. 또한 실시간 시스템을 사용하여 각각의 태스크가 독립적으로 병렬로 수행되고 우선순위가 높은 태스크가 먼저 수행할 수 있다. 이렇게 하면 무기체계 내부의 상호 간섭에 오류를 검증할 수 있는 장점을 가지고, 태스크 오류로 인해 생기는 에러에도 다른 태스크에 영향 없이 적절히 대응할 수 있게 된다.

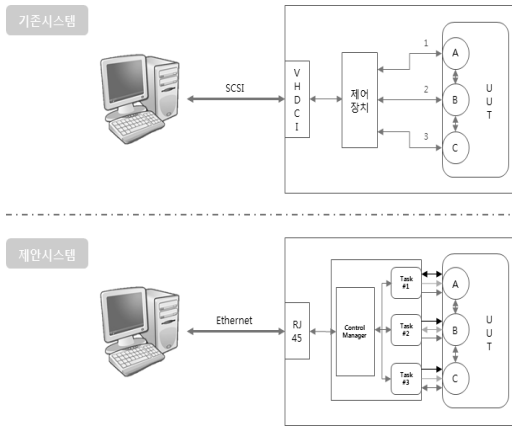


그림 7. 기존 시험과 제안 시험 구조
Fig. 7. Existing Test and the Proposed Test Architecture.

III. 실험

(1) 하드웨어 설계

제안된 시스템은 스위칭 제어카드로 야전시험장비에 적용되고 크게, CPU, CPU_PLD, CTRL_PLD로 구성된다. CPU는 ARM926EJ-S프로세서를 탑재한 임베디드 모듈을 적용하였고, 제어장치와 Ethernet으로 연동하여 신호를 주고받는 역할을 수행한다. CPU_PLD는 EPM 1270T144I5를 적용하였고, CPU와 External Bus를 통하여 Data와 Address를 주고받는다. CTRL_PLD는 CPU_PLD와 동일한 칩을 적용하였고, External Bus를 통해서 Data와 Address로 보드내부의 릴레이를 제어한다^[9]. CPU, CPU_PLD, CTRL_PLD는 각각의 Task를 독립적으로 수행할 수 있도록 하고, 그 결과를 취합해서 병렬 시험이 가능하도록 구현되어 있다.

아래는 CPU, CPU_PLD, CTRL_PLD의 입출력 신호 명과 설명이다.

CPU는 CPU_PLD에게 Data와 Address신호 16bit, nRD, nWR, USER_RST, EDDY_nCS신호 1bit의 신호를 주고받는다. 그리고 CPU_PLD는 이 신호를 처리 받아 Data와 Address신호 32bit, nRD_Buf, nWR_Buf, nRST_Buf, SysClk_Buf신호로 출력이 나간다.

모체기판을 지나 Buffer를 통해 CTRL_PLD에게 Data신호 32bit와 Address신호 20bit, SW_nRD, SW_nWR, SW_SysClk신호 1bit의 신호를 준다. 그리고 CTRL_PLD는 이 신호를 처리 받아 RDB신호 32bit, RSTB신호 10bit, RCLEAR, nRENABLE신호로 출력이 나간다.

그림 8과 그림 9에서 설명하는 스위칭 제어카드는 기존과 동일한 기능을 수행하도록 설계되었다. 하지만 이전의 순차적 시험방식에서 벗어난 병렬시험 기법을 야

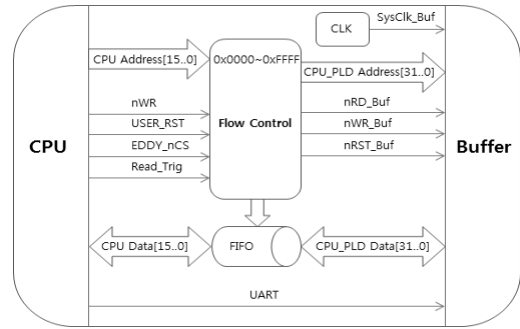


그림 8. CPU_PLD 블럭도
Fig. 8. CPU_PLD Block Diagram.

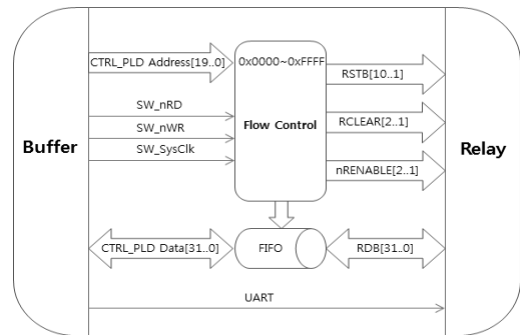


그림 9. CTRL_PLD 블럭도
Fig. 9. CTRL_PLD Block Diagram.

전시험장비에 적용하기 위해 임베디드 모듈을 적용하였다.

설계된 스위칭 제어카드의 운용개념도는 그림 10과 같다. 전체는 PC가 제어를 하고 임베디드 모듈이 적용된 SCC장치를 거쳐, 시험대상품을 점검하는 방식이다. UART통신 부분은 최대 3포트까지 설계가 되어있다.

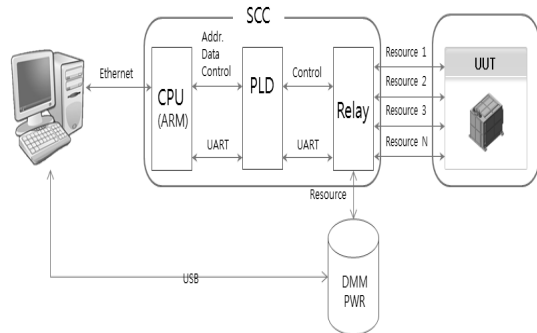


그림 10. 스위칭 제어카드 운용개념도
Fig. 10. Switching Control Card Operating Conceptual Diagram.

(2) 소프트웨어 설계

제어장치는 클라이언트로 동작하고 스위칭 제어카드는 서버로 동작하는 형태이다.

스위칭 제어카드의 소프트웨어 구조는 그림 10과 같다. 스위칭 제어카드 병렬제어 소프트웨어는 크게 Connect

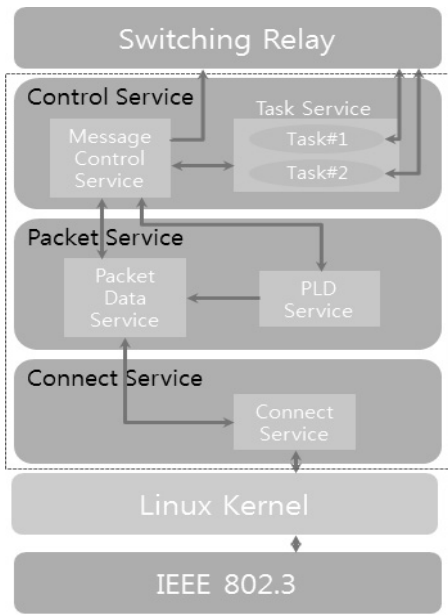


그림 11. 스위칭 제어카드 소프트웨어 구조
Fig. 11. Switching Control Card Software Architecture.

Service, Packet Service, Control Service로 구분할 수 있다. 각각의 역할은 다음과 같다.

Connect Service는 제어장치와 스위칭 제어카드가 서로 Connect / Disconnect하는 역할을 수행한다.

Packet Data Service는 제어장치에서 전송한 명령을 Message Control Service로 전달해주는 역할을 수행하고, PLD Service로부터 받은 값을 제어장치로 전달하는 역할을 한다.

PLD Service는 Message Control Service로부터 받은 데이터를 처리하여 실제 PLD에서 사용하는 Data, Address신호들을 만들어주는 역할을 한다.

Message Control Service는 제어데이터를 통해서 전체 시스템을 관리하는 핵심 역할을 한다. 주된 기능은 시스템 초기화에 사용되는 Reset신호관리, Switching Relay 제어역할, PLD Service와 Task Service를 관리하는 역할을 한다.

Task Service의 상세구조는 그림 12와 같다.

Task Service는 각각의 Task가 Thread가 병렬로 수행되고 Switching Relay를 통해서 시험대상품의 오류를 검증하기 위해 병렬 시험기법을 사용하고, 상호 간섭에 대한 영향성 결과 값은 Message Queue방식으로 저장하여 제어장치에 전달하는 역할을 한다.

그림 13은 전체 시험절차를 나타낸다. 운용자가 시험 시작 전 Login을 하고 시험대상품 시험을 선택하여 수행한다. 이때 Task Process가 수행되고 내부의 각각의 Task가 병렬로 동작한다. 그 결과를 Thread로 수신하여

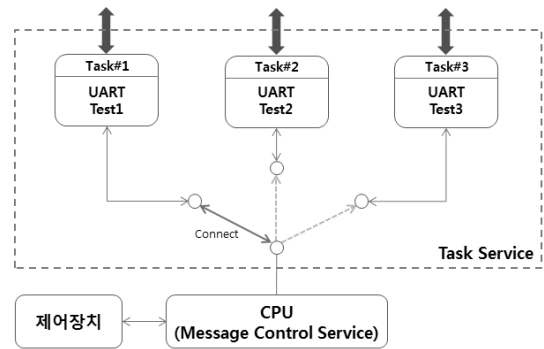


그림 12. Task Service 구조
Fig. 12. Task Service Architecture.

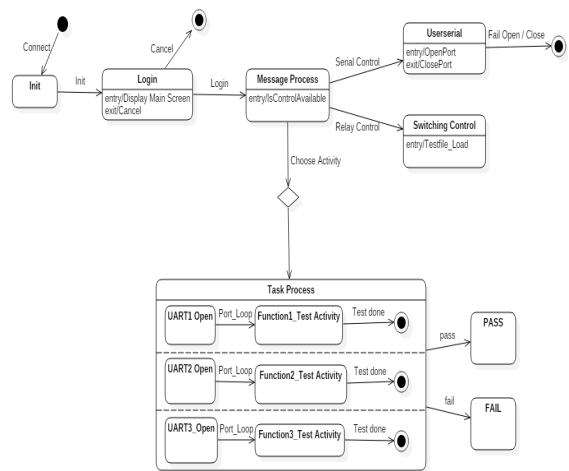


그림 13. 전체 시스템 Statechart Diagram
Fig. 13. Full System Statechart Diagram.

모든 결과치가 정상이면 Pass하고 하나라도 불량이면 Fail로 운용자에게 전시되는 방식이다.

(3) 구현

스위칭 제어카드의 형상은 그림 14과 같다.

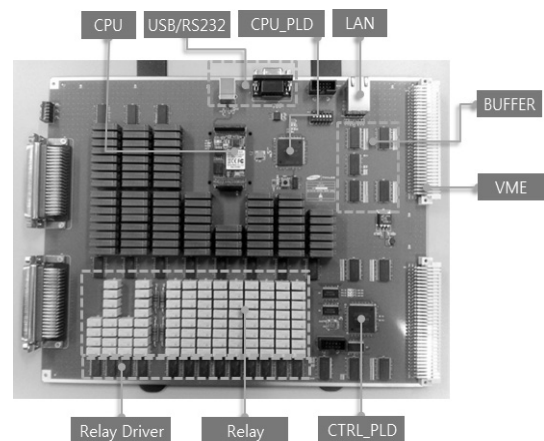


그림 14. 스위칭 제어카드 형상
Fig. 14. Switching Control Card Image.

스위칭 제어카드는 VME커넥터를 통해서 12V의 전원을 입력 받아 내부에 필요한 전원으로 컨버팅하여 사용한다. USB와 RS232포트는 CPU를 디버깅하기 위해서 사용되는 포트가 사용되고, LAN포트는 CPU를 제어하기 위해서 사용되는 포트이다. 그리고 Relay Driver는 각 Relay를 제어하여 측정에 필요한 Pull-up 및 Pull-down역할을 해주고 계측자원과 연결하여 필요한 역할을 수행할 수 있도록 해준다.

아래는 스위칭 제어카드를 제어하고 무기체계의 상호 간섭에 대한 영향성을 검증할 수 있는 병렬제어 주요함수이다.

제어장치 API함수에서 WriteMemory, ReadMemory 함수는 스위칭 제어카드를 제어하기 위해 필요한 write, read함수이다. Reset함수는 스위칭 제어카드에 내장된 CPU를 리셋 시키는 함수이다. FpgaFielUpload함수는 스위칭 제어카드가 시험대상품을 점검할 수 있는 로직을 업로드하기 위해 사용하는 함수이다.

스위칭 제어카드 API함수에서 addressSetting함수는 스위칭 제어카드가 사용하는 Base Address값을 Setting해주는 역할을 한다. 본 논문에서는 0x10000번지를 스위칭 제어카드의 Base Address로 사용한다. 그리고 필요한 제어장치의 주소를 CPU_PLD값에 저장된 값과 Mapping시켜준다. tcpip_server_open, tcpip_client_connect, tcpip_client_disconnect함수는 제어장치와 Ethernet Connect 및 Disconnect할 때 사용되는 함수이다. WriteIOMemory, ReadIOMemory함수는 특정 Address에 Data값을 쓰거나 읽을 때 사용하는 함수이다. m_SCC_MeasureRelay함수는 스위칭 제어카드 내부에 있는 Switching Relay를 제어할 때 사용되는 함수이고, 설계된 HWY는 4개로 되어있고, 측정에 필요한 채널은 16로 구성되어있다. MsgControlFunc함수는 스위칭 제어카드에 있는 CPU를 제어하여 각각의 Task가 Background에서 수행되게 제어하고, 그 결과 값을 Message Queue방식으로 저장하여 제어장치가 요청하면 수행한 결과 값을 제어장치에게 전달하는 역할을 하는 함수이다. taskwaitFunc 함수는 수행된 Task를 동시에 기다리는 함수이다. 수행된 결과가 제한시간을 넘기면 자동으로 오류 값을 전달하여 Task가 종료될 수 있도록 해주는 함수이다^[10].

(4) 검증 및 결과

스위칭 제어카드를 이용한 오류 검증 병렬시험 구성은 그림 15와 같다.



그림 15. 연동 시험 구성도
Fig. 15. Interlock Test Configuration.

연동 시험에 사용되는 무기체계는 고저각 및 방위각을 구동하는 장비이며, 전체 시스템에 장착된 레이저거리측정기 발사 및 영상의 Zoom을 조정할 수 있는 기능을 탑재하고 있는 장비이다. 시험방법은 기능을 순차적으로만 점검하는 방식에서 각 기능의 상호 간섭에 대한 영향까지 점검한다. 스위칭 제어카드의 임베디드 모듈을 적용하여 UART 통신 3포트가 Relay를 통해 외부로 연동된다. 이때 설계된 API함수를 사용하여 Relay를 병렬로 동작시켜 UART로 메시지를 보내고 받은 Ack를 제어장치로 확인한다.

본 논문에서는 무기체계의 오류가 제대로 검증되었는지에 대한 부분을 FFD(Fraction of Faults Detectable)로 확인하고자 한다. FFD는 전체시간에 발생하는 실제 고장건수에서 정의된 방법을 사용하여 정확하게 식별된 실제 고장 건수를 말한다^[11].

$$FFD = \frac{\text{식별된실제고장건수}}{\text{발생하는실제고장건수}} \times 100(\%) \quad (1)$$

본 시험 시나리오는 감시장비 무기체계에 고저각과 방위각이 동시에 동작하라는 명령을 주었을 때 고저각이 제대로 동작되지 않는 오류가 발생할 수 있다. 본 동작의 시험을 위해 오류가 발생될 수 있도록 감시장비 무기체계의 SW를 수정하였다.

연동시험 결과는 표 1과 같다.

표 1. 연동시험 결과
Table1. Interlock Test Result.

순	구분	시험방법	결과(정상횟수/시험횟수)	판정
1	고저각(A) 입력신호	A	10/10	정상
2		A+B	0/10	오류
3		A+C	10/10	정상
4		A+D	10/10	정상
5		A+B+C	0/10	오류

6		A+B+D	0/10	오류
7		A+C+D	10/10	정상
8	방위각(B) 입력신호	B	10/10	정상
9		B+A	10/10	정상
10		B+C	10/10	정상
11		B+D	10/10	정상
12		B+A+C	10/10	정상
13		B+A+D	10/10	정상
14		B+C+D	10/10	정상
15	레이저	C	10/10	정상
16		C+A	10/10	정상
17		C+B	10/10	정상
18	스위치(C)	C+D	10/10	정상
19	입력신호	C+A+B	10/10	정상
20		C+A+D	10/10	정상
21		C+B+D	10/10	정상
22	Zoom 스위치(D)	D	10/10	정상
23		D+A	10/10	정상
24		D+B	10/10	정상
25		D+C	10/10	정상
26		입력신호	D+A+B	10/10
27	D+A+C		10/10	정상
28	D+B+C		10/10	정상

표 1의 연동시험 결과 순차시험방법은 감시장비 무기체계의 오류를 검증할 수 있는 경우의 수가 4가지 밖에 되지 않지만, 병렬시험방법은 28가지 경우의 오류를 검증할 수 있어 기존의 방식보다 약 86% 오류검증 향상효과가 있는 것을 확인할 수 있다.

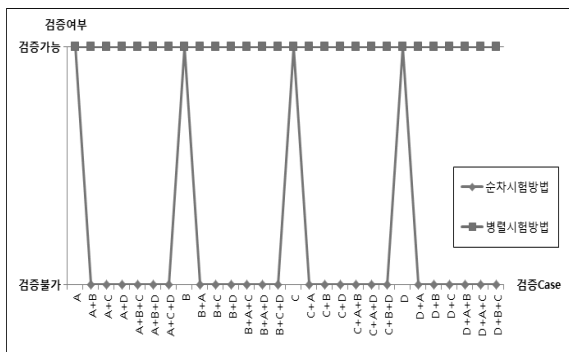


그림 16. 순차시험방법과 병렬시험방법 비교
Fig. 16. Serial and Parallel Testing Technique Compare.

기존의 순차적인 방식인 1, 8, 15, 22번은 10회 반복 수행하였지만 정상으로 판정되었다. 하지만, 고저각(A) 신호를 받을 때 방위각(B)을 동시에 동작시키는 경우는 고저각에 대한 Ack를 미수신 한 것을 확인할 수 있었다.

그림 17 고저각 파형에서도 보듯이 고저각 단독시험에서는 Ack신호가 잘 들어오는 것을 볼 수 있었지만, 방위각과 병렬로 시험했을 경우에는 고저각에 대한 Ack신호가 들어오지 않는 것을 확인할 수 있었다.

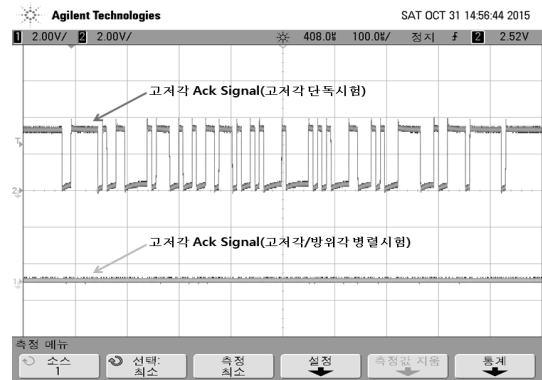


그림 17. 고저각 Ack 신호
Fig. 17. High and Low angle Ack Signal.

표 1에서 모든 신호를 감시장비 무기체계에 주입하고 그 주입신호가 어떤 영향을 미치는지에 대한 부분을 판정하였다. 그 결과 총 28회의 주입시험 중 3회가 제대로 동작하지 않는 오류증상이 발생되었다. FFD 측정 결과에 의하면 전체에서 발생하는 실제 고장건수는 총 3건이고 제안된 시험기법을 적용하면 식별된 실제 고장건수는 3건이므로 제안된 시험기법의 FFD는 100%인 것을 확인할 수 있었다. 위 시험과 같이 하나의 시험이 종료되고 다음시험을 하는 순차적 방식에서는 상호 간섭에 대한 오류를 검증할 수 없었다. 즉, 위 시험결과와 같이 기존의 시험기법이 적용된 야전시험장비는 감시장비 무기체계의 식별된 실제 고장건수가 0건이므로 FFD는 0%였지만, 본 논문에서 제시하는 시험 기법이 적용된 야전시험장비는 FFD가 100%로 판단되었다.

내부유닛간 상호간섭 오류검증을 위한 병렬시험 기법을 야전시험장비에 적용했을 경우 기존에 비해 좀 더 정확하게 신뢰성 있는 오류 검증을 할 수 있었다.

IV. 결 론

최근 IT기술의 집약적인 발전으로 다양한 신호를 주고받으면서 하나의 장비가 다른 장비에게 영향을 미치는 시스템으로 발전하고 있다. 이러한 기술로 인해 점검하는 장비는 상호간의 영향성을 고려하여 점검하는 것이 요구된다.

기존의 야전시험장비는 순차적으로 시험을 진행하는 방식을 택했다. 이러한 기존방식은 각각의 독립신호에 대한 부분만 점검하고, 상호 간섭에 대한 부분은 간과했다. 그러다 보니 운용자가 사용할 때는 문제가 발생하는데 야전시험장비로 점검했을 경우는 정상으로 판단하는 경우가 있었다.

때문에 본 논문에서는 국방분야에서 사용되는 야전 시험장비에 상호간섭 오류검증을 위한 실시간 시스템 병렬시험 기법을 적용하여 무기체계를 점검하는 방안에 관하여 설명하였다. 기존의 순차적 기법과 제안된 기법을 위 검증방식으로 확인한 결과 약 86% 오류검증 향상효과가 있는 것을 확인할 수 있었다. 이러한 제안된 기법은 프로세서 자원의 낭비도 막을 수 있고, 시험대상품 내부의 상호 간섭에 대한 오류를 사전에 검증할 수 있는 장점이 있다. 현재 본 논문에 구현된 부분은 야전시험장비를 이용하여 시험대상품의 UART통신 부분만을 최대 3포트까지 점검할 수 있도록 설계되어 있다. 하지만 무기체계는 SPI, I2C, CAN 등 다양한 신호를 사용하는데 UART통신만으로 무기체계의 정확한 오류를 검증할 수는 없다. 향후 연구는 UART통신만이 아닌 다양한 신호를 적용하여 오류를 검증할 수 있는 연구가 이루어져야 할 것이다.

REFERENCES

[1] Sang-myung Lee and Young-kil Kim, "The study of PCB Tester for improving productivity," Korea Institute of information and Communication Engineering, Vol. 15, no. 6, pp. 598-603, June 2009.

[2] Z. Deming and L. Bin and R. Lian, "The Domain specific Software Architecture of Avionics Testing System," IEEE Digital Avionics System, October 2000.

[3] Dong-hoon Cho and Dong-hoon Lee and Sung-ho Lee, "The Study on Built-In Test for ATE S/W Verification in Production Phase," The Institute of Electronics and Information Engineers, Vol. 37, no. 1, pp. 1132-1135, June 2014.

[4] Youn-Ho Lee and Kwang-Kyun Jung and Tae-Dong Yoon and Ki-Sang Kwon, "Optimal Reliability Strategy for k-out-of-n System Considering Redundancy and Maintenance," Journal of the Korean Institute of Industrial Engineers, Vol. 40, no. 1, pp. 118-127, February 2014.

[5] Jae-geol Lim, "A Method to Design a Diagnostic System Using petri Nets," Korea Information Processing Society, Vol. 4, no. 2, pp. 526-530, October 1997.

[6] Hyung-Jin Joo, "Static Analysis based Software Supply Chain Assurance Technique," The Graduate School of Korea University degree of Master of Science, December 2015.

[7] Seong Woo Kwak, "Fault Recovery and Optimal Checkpointing Strategy for Dual Modular Redundancy Real-time Systems," The Institute of Electronics and Information Engineers, Vol. 44, no. 7, pp. 112-121, July 2007.

[8] Chang-Jin Kim and Gwang-Baek Oh and Young-Hwan Jung, "A Study on the Parallel Processing of the Object Generator in a Surface Combat System LBTS," The Institute of Electronics and Information Engineers, Vol. 13, no. 5, pp. 734-738, October 2010.

[9] Ju-Wan Ryu, "Design Of Ethernet Protocol Gateway for Parallel Interface," The Graduate School of Kyungpook National University degree of Master of Science, December 2007.

[10] Philip A. Laplante and Seppo J. Ovaska, "Real-Time Systems Design and Analysis," WILEY, pp. 266-312, April 2012.

[11] Wan Ok Heo and Eun Shim Park and Jung Hwan Yoon, "Improvements in Design and Evaluation of Built-In-Test System," The Korea Institute of Military Science and Technology, Vol. 15, no.2, pp. 111-120, April 2012.

저 자 소 개



김 동 준(정회원)

2009년 경북대학교 전자전기컴퓨터 공학부 학사

2016년 경북대학교 전자공학과 석사
2009년~현재 한화시스템 ILS연구 센터 선임연구원

<주관심분야: 통신, 신호처리, 무기체계, 시험장비>