

논문 2016-53-11-4

LNA 설계를 통한 FinFET의 RC 기생 압축 모델 정확도 검증

(Accuracy Evaluation of the FinFET RC Compact Parasitic Models through LNA Design)

정 승 익*, 김 소 영**

(SeungIk Jeong and SoYoung Kim[©])

요 약

FinFET의 기생 커패시턴스와 기생저항은 회로의 고주파 성능을 결정하는 매우 중요한 요소이다. 선행 연구에서 BSIM-CMG에 구현된 FinFET의 기생 커패시턴스와 저항 모델보다 더 정확한 압축 모델을 개발하였다. 모델의 정확도를 검증하고, FinFET으로 구현 가능한 RF 회로의 성능을 정확하게 예측하기 위해 S_{21} 10dB 이상 중심 주파수 60GHz 이상을 갖는 Low Noise Amplifier (LNA) 에 설계하였다. 22 nm FinFET 소자의 압축모델에 기반한 HSPICE를 사용하여 예측한 회로 성능의 정확도를 검증하기 위해 3D TCAD simulator인 Sentaurus의 mixed-mode 기능을 사용하여 LNA를 시뮬레이션 하였다. TCAD 시뮬레이션 결과를 정확도 측정의 기준으로 삼아 10GHz~100GHz 대역에서 제안한 모델과 Sentaurus의 S_{21} 을 비교한 결과 87.5%의 정확도를 달성하였다. 이는 기존의 BSIM-CMG의 기생성분으로 예측한 정확도가 56.5%도입에 비해 31% 향상된 정확도를 보여준다. 이를 통해 FinFET의 기생 성분 모델의 정확도를 RF 영역에서 확인하였고, 정확한 기생 저항과 커패시턴스 모델이 LNA 성능을 정확하게 예측하는데 중요한 것임을 확인하였다.

Abstract

Parasitic capacitance and resistance of FinFET transistors are the important components that determine the frequency performance of the circuit. Therefore, the researchers in our group developed more accurate parasitic capacitance and resistance for FinFETs than BSIM-CMG. To verify the RF performance, proposed model was applied to design an LNA that has S_{21} more than 10dB and center frequency more than 60GHz using HSPICE. To verify the accuracy of the proposed model, mixed-mode capability of 3D TCAD simulator Sentaurus was used. S_{21} of LNA was chosen as a reference to estimate the error. S_{21} of proposed model showed 87.5% accuracy compared to that of Sentaurus in 10GHz~100GHz frequency range. The S_{21} accuracy of BSIM-CMG model was 56.5%, so by using the proposed model, the accuracy of the circuit simulator improved by 31%. This results validates the accuracy of the proposed model in RF domain and show that the accuracies of the parasitic capacitance and resistance are critical in accurately predicting the LNA performance.

Keywords : FinFET, Parasitic capacitance, Parasitic resistance, TCAD

I. 서 론

공정이 작아짐에 따라 기존의 Planar MOSFET 의 Short Channel Effect가 두드러지기 시작했다. Short Channel Effect를 극복하기 위해 High-k Metal gate, Halo Doping 같은 여러 공정기술이 개발되었다^[1~2]. 그 중에서 특히 3차원 구조의 핀 모양의 FinFET(Fin Field Effect Transistor)소자가 주목되어 양산이 되고 있다. FinFET은 Tri-gate 구조로 채널을 감싸, 채널에

* 학생회원, ** 정회원 성균관대학교 정보통신대학

(College of Information and Communication Engineering, Sungkyunkwan University)

[©] Corresponding Author (E-mail : ksyoun@skku.edu)

※ 이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. NRF-2014R1A2A2A01006595). 이 논문은 IC Design Education Center (IDEC)의 지원을 받아 수행된 연구임.

Received ; May 16, 2016

Revised ; October 13, 2016

Accepted ; October 18, 2016

대한 게이트의 영향력이 커져 누설 전류가 줄어들고 또한 같은 길이의 Planar MOSFET에 비해 채널의 면적이 늘어나 높은 동작 전류가 흐르게 된다^[3]. 그러나 이러한 장점에도 불구하고, 공정 단위가 작아짐에 따라 FinFET의 3D구조에 의한 기생성분들의 영향이 커지게 되었다. 따라서 기존의 BSIM-CMG 압축 모델에 구현된 기생 커패시턴스보다 더 정확한 커패시턴스와 저항을 고려한 모델이 필요로 하게 되었다. 이러한 새로운 모델의 필요성을 인지하여 선행 연구로 FinFET의 기생 커패시턴스와 기생 저항에 관한 모델링이 진행되었다^[4~9]. 각각의 모델은 여러 공정 변수들을 변형시켜가면서 소자단위에서 검증을 진행하였다.

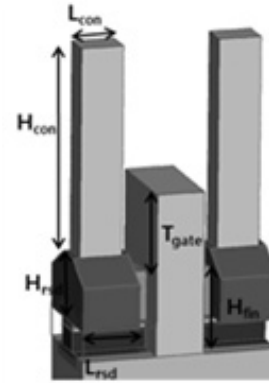
본 연구에서는 이렇게 선행연구로 진행된 기생 모델을 통합하여 RF 회로 설계에서도 사용될 수 있는 회로 성능을 예측하는데 필요한 정확도를 제공할 수 있는지 검증하였다. 3D simulator Sentaurus의 mixed-mode를 통해 실제 FinFET소자에 가까운, 즉 기생성분을 모두 고려한 소자를 회로에 적용하여 정확도를 검증할 수 있는 기준 값을 얻었다^[10]. Low Noise Amplifier(LNA)를 기생성분의 영향을 알아보기 위해 S_{21} 10dB 이상을 가지도록 설계하였다. 또한, 극단적인 고주파 상황에서 기생 모델의 정확도를 확인하기 위해 중심주파수 60Ghz 이상을 갖도록 설계하였다.

선행 연구로 완성된 기생 커패시턴스 모델과 기생 저항 모델을 BSIM-CMG에 Verilog-A를 통해 기존에 구현되어 있는 모델을 대체하여 적용하였다^[11]. 압축모델을 사용한 회로 성능 예측은 HSPICE로 시뮬레이션을 진행하였다. 이렇게 구현한 모델과 Sentaurus로 얻은 기준 값 그리고 기존에 BSIM-CMG에 구현된 모델과 비교하여 Analog와 RF회로에서 모델의 정확성을 검증하였다.

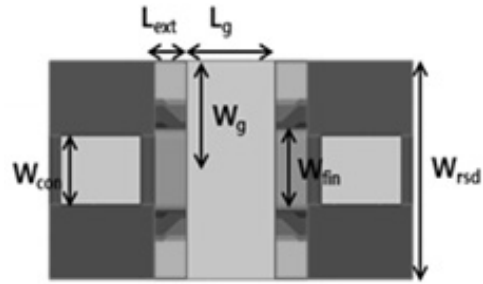
표 1. 설계에 사용된 FinFET 구조 정보
table 1. Technology information of FinFET used in design.

구조 변수	정의	크기
L_g	gate length	22nm
T_{ox}	Oxide thickness	0.9nm
H_{fin}	Fin height	35nm
T_{gate}	Gate top	40nm
T_{fin}	Fin thickness	15nm
W_g	Gate wing	24nm
L_{ext}	Fin extension	8nm
L_{rsd}	RSD length	26nm
L_{con}	Contact length	19.55nm

W_{rsd}	RSD width	48nm
W_{con}	Contact width	15nm
H_{epi}	RSD epi	10nm
H_{rsd}	RSD height	45nm
H_{con}	Contact height	100nm



(a)



(b)

그림 1. 설계한 FinFET 구조 (a) 3차원 구조 (b) 상단구조
Fig. 1. FinFET structure in study (a) 3D view (b) top view.

II. FinFET의 기생 저항과 기생 커패시턴스

본 논문에 사용된 소자는 그림 1과 같으며 다각형의 Raised Source Drain(RSD)구조와 Metal contact구조를 반영한 FinFET소자를 사용하였다. 본 논문에 사용된 소자의 정보는 표 1과 같다. 모델의 경우 선행연구에서 공정길이와 변화에 따라 대응할 수 있도록 구현되어 본 논문의 소자와 다른 소자를 사용하여도 회로 성능을 예측할 수 있다.

FinFET의 공정이 작아짐에 따라 그림 1에서 보듯이 FinFET의 3D 구조에 의해 기생 저항과 기생 커패시턴스의 영향이 매우 증가하였다. 일반적으로 모델로 사용하는 BSIM-CMG의 경우 그림 2처럼 기본적인 FinFET의 기생성분만을 포함하기 때문에, 커패시턴스의 경우 metal contact, RSD, 게이트 메탈 사이의 커플링으로 발생하는 기생 커패시턴스의 영향을 반영하지 않는다.

또한 저항의 경우에도 채널 밖의 영역에서 구간마다 저항이 달라지지만 그림 2과 같이 매우 간단하게 모델링 되어있는 것을 알 수 있다. 따라서 선행연구로 진행된 제안한 model은 캐패시턴스의 경우 그림 3와 같이 위치에 따라 C_{gf} (gate-fin), C_{gr} (gate-rsd), C_{gm} (gate-metal)로 나눠서 모델링을 진행하였다. C_{gf} 는 게이트와 핀사이의 커플링 커패시턴스, C_{gr} 은 게이트와 RSD사이의 커플링 커패시턴스, C_{gm} 은 게이트와 메탈사이의 커플링 커패시턴스로 정의한다. 전체 캐패시턴스는 이렇게 분할된 캡들의 합으로 구할 수 있다.

$$C_{total} = C_{gf} + C_{gr} + C_{gm} \quad (1)$$

이렇게 분할된 커패시턴스는 그림 3처럼 C_{gf} 는 C_{gf}^{top} , C_{gf}^{side} 로, C_{gr} 은 C_{gr}^{par} , C_{gr}^{side} , C_{gr}^{top} 그리고 C_{gm} 은 C_{gm}^{par} , C_{gm}^{side} , C_{gm}^{top} 으로 분할된다. 이렇게 구분한 기생 커패시턴스들을 형태에 따라 Conformal mapping을 적용하여 모델링을 진행한다.^[8]

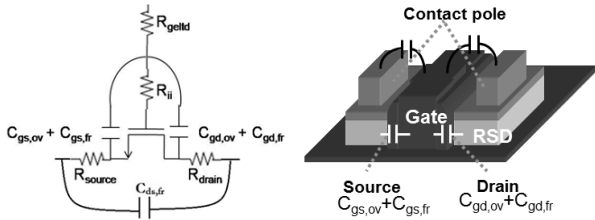


그림 2. BSIM-CMG의 기생 저항과 기생 커패시턴스^[10]
Fig. 2. Parasitic resistance and parasitic capacitance of BSIM-CMG^[10]

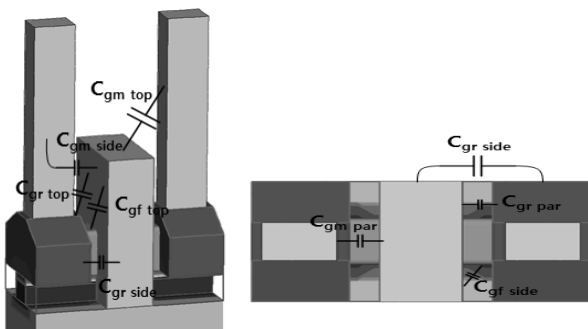


그림 3. FinFET의 기생 커패시턴스
Fig. 3. Parasitic capacitance of FinFET.

식 (2)는 분할된 기생 캐패시턴스 C_{gf} , C_{gr} , C_{gm} 이 다시 분할된 모습을 보여준다.

$$\begin{aligned} C_{gf} &= C_{gfside} + C_{gftop} \\ C_{gr} &= C_{grside} + C_{grtop} + C_{grbottom} + C_{grpar} \\ C_{gm} &= C_{gm\text{side}} + C_{gm\text{top}} + C_{gm\text{par}} \end{aligned} \quad (2)$$

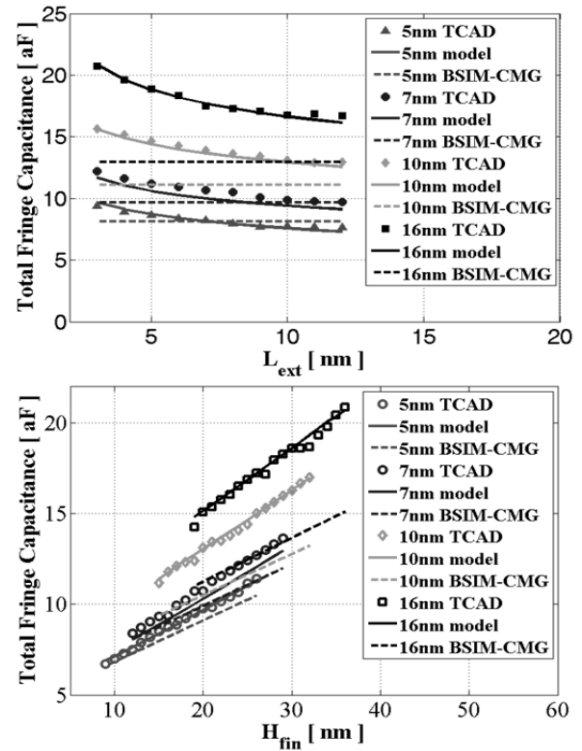


그림 4. 공정 변화와 구조 변수 변화에 따른 전체 기생 커패시턴스 검증^[8]
Fig. 4. Validation of total parasitic capacitance for structure parameters (L_{ext} , H_{fin}) and process nodes (from 5 nm process to 16 nm process)^[8].

이렇게 모델링된 기생 커패시턴스는 그림 4에서 보듯이 BSIM-CMG와 달리 TCAD시뮬레이션과 전체 공정 평균 오차율 3% 미만으로 정확하게 일치한다^[8].

기생 저항의 경우는 채널 밖의 부분 extrinsic 저항을 모델링하였다. 전체 기생저항은 그림 5과 같이 위치, 구조, 도핑 상태에 따라 R_{con} (Contact resistance), R_{bulk} (Bulk resistance), R_{spr} (Spreading resistance), R_{ac} (Accumulation resistance)로 구분한다^[9]. R_{con} 은 소스/드레인 콘택의 inner voltage와 outer voltage차이에 의해 발생하는 저항으로 정의된다. R_{bulk} 는 소스/드레인의 내부 저항으로 정의된다. R_{spr} 은 spreading point와 injection point사이의 저항이다. spreading point는 소스/드레인도핑 농도가 변하기 전의 끝부분으로 정의한다. R_{ac} 는 injection point와 junction line사이의 저항으로 정의한다. 이렇게 구분하여 나눈 저항을 전류-전압식과 transformation을 통해 모델링한다. 각 각 모델링한 저항을 아래 식처럼 더하여 총 기생저항을 구한다.

$$R_{sd} = R_{ac} + R_{spr} + R_{bulk} + R_{con} \quad (3)$$

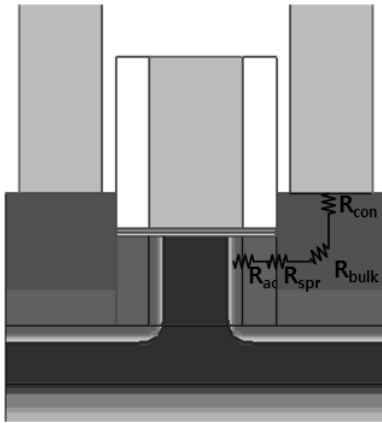


그림 5. FinFET의 기생 저항
Fig. 5. Parasitic resistance of FinFET.

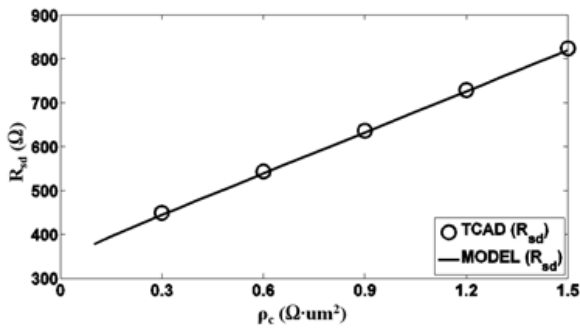


그림 6. 전체 저항(Rsd) TCAD와 제안한 모델 비교
Fig. 6. Comparison of the total resistance (Rsd) between the TCAD model and the proposed model.

이렇게 완성된 기생 저항 모델은 그림 6과 같이 TCAD 시뮬레이션과 오차율 2% 이내로 정확하게 일치한다.

이러한 과정을 통해 모델링한 기생 커패시턴스와 기생저항을 Verilog-A로 BSIM-CMG에 추가하여 회로 시뮬레이션을 위한 압축 모델을 완성하였다.

III. 중심주파수 60GHz LNA 사용한 검증

그림 7은 본 연구에서 RF특성을 검증하기 설계한 LNA회로이다. 이 회로는 간단하면서도 높은 게인을 얻기 위해 cascode LNA 형태로 디자인 하였다. S21 10dB 이상 중심주파수 60GHz를 갖도록 설계 하였다. 또한 회로를 시뮬레이션 하는 Sentaurus mixed-mode는 소자가 증가할 때 마다 시간이 많이 걸리고, 값이 잘 수렴하지 않기 때문에 최소한의 FinFET소자를 사용하도록 하였다. 이 LNA 회로는 입력단에 병렬/직렬 LC 회로와 inductive degeneration을 적용하여 넓은 input impedance matching을 하였다^[12~15]. 또한 넓은 범위에

서 높은 게인을 얻기 위해 L1과 LB를 병렬로 배치하였다. 표 2는 그림 7의 LNA에 대한 상세 정보이다.

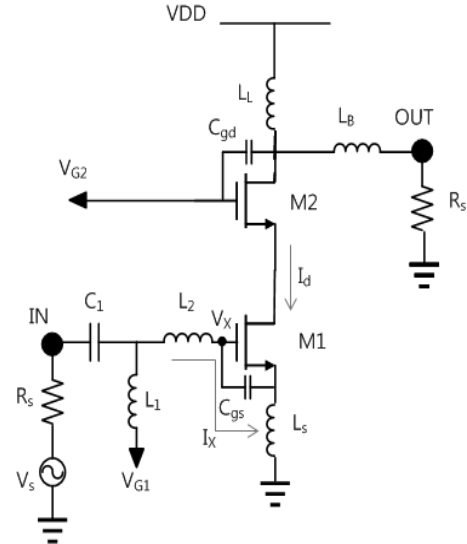


그림 7. LNA 회로도
Fig. 7. LNA circuit schematic.

표 2. LNA 정보
table 2. Information of LNA.

변수	값
L_L	11nH
L_B	0.9nH
L_S	0.1nH
L_2	0.2nH
L_1	0.2nH
C_1	41fF
V_{G2}	1.0V
V_{G1}	0.52V
VDD	1.2V
M1의 Fin개수	161
M2의 Fin개수	120

소신호 등가 회로 모델을 통해, 아래의 식 (4) 과정에 따라 회로의 S_{21} 을 유도 할 수 있다. 식 (5)는 식 (4)를 유도하는 과정이다. 본 연구에서 사용된 기생 성분 모델에서 추가된 기생 커패시턴스는 LNA의 중심주파수를 낮추게 된다.

$$S_{21} = \frac{V_2^-}{V_1^+} = \frac{V_{out}^-}{V_{in}^+} = \frac{V_{out}^-}{V_s} = \frac{2V_{out}^-}{V_s} \quad (4)$$

$$S_{21} = \frac{2 \times I_{d2} \times [(sL_B + R_s) \parallel sL_L \parallel \frac{1}{sC_{gd2}}] \times \frac{R_s}{sL_B + R_s}}{V_s}$$

$$Z_1 = sL_2 + sL_s + \frac{1}{sC_{gs1}}$$

$$V_x = V_s \times \frac{Z_1 \parallel sL_1}{\frac{1}{sC_1} + (sL_1 \parallel Z_1)} \times \frac{\frac{1}{sC_{gs1}} + sL_s}{Z_1}$$

$$I_{d1} = \frac{g_{m1}I_x}{sC_{gs1}} = \frac{V_x g_{m1}}{1 + g_{m1}L_s + s^2 L_s C_{gs1}}, \quad C_Y = C_{gd1} + C_{gs2}$$

$$V_{D1} = -\frac{I_{d1}}{g_{m2} + \frac{1}{sC_Y}}, \quad I_{d2} = -\frac{g_{m2}I_{d1}}{g_{m2} + \frac{1}{sC_Y}}$$

$$V_2 = V_{out} = I_{d2} \times [(sL_B + R_s) \parallel sL_L \parallel \frac{1}{sC_{gd2}}] \times \frac{R_s}{sL_B + R_s} \quad (5)$$

IV. SENTAURUS MIXED MODE를 사용한 LNA 시뮬레이션

Sentaurus는 다양한 구조의 소자를 설계하고(SSE), 설계한 소자의 electrical, thermal, optical한 특성을 연속방정식과 푸아송 방정식 등의 해를 구함으로써(SDE) 시뮬레이션 결과를 보여주는 3D TCAD 시뮬레이터이다^[11]. 매우 복잡하고 다양한 물리적 식들을 고려하기 때문에 실제 소자에 매우 가까운 결과를 얻는다. 따라서 실제 소자의 기생 성분들을 반영한 결과와 같은 값을 얻게 된다. 본 연구에서 Sentaurus 시뮬레이션시 물리적 모델로는 interface model, recombination model, quantum mechanical model이 사용되었다. 이런 소자 시뮬레이터를 mixed-mode를 통해 회로를 설계하고 회로 시뮬레이션을 진행하여 결과를 볼 수 있다. 따라서 본 논문에서는 FinFET소자를 설계하고, mixed-mode를 통해 설계한 소자를 그림 7의 LNA에 적용하여 시뮬레이션 결과를 확인 하였다.

LNA는 두 개 이상의 소자를 사용하므로 TCAD mixed-mode 시뮬레이션 시간이 오래 걸리고 결과 자체가 수렴하지 않는 경우가 많다. 먼저 각각 소자의 DC 특성을 추출하고, mixed-mode의 주파수 영역에서 회로 특성을 AC 시뮬레이션을 진행하게 된다. AC 시뮬레이션을 진행 후 Inspector를 통해 주파수에 따른 S₂₁을 추출할 수 있다.

V. 시뮬레이션 결과 분석

그림 8은 주파수에 따른 제안한 모델, BSIM-CMG, Sentaurus를 사용한 LNA의 S₂₁을 비교한 결과이다. 위에서 설명 했듯이 제안한 모델은 기본적인 BSIM-CMG

FinFET소자의 기생 성분에 추가적으로 기생 저항 R_{ac}, R_{spr}, R_{bulk}, R_{con}과 기생 커패시턴스 C_{gm}, C_{gr}, C_{gf}를 모델링하여 완성하였다. 이 추가된 기생 저항은 MI의 gm을 감소시킨다. 식 (4)에 따라 감소된 gm은 저주파에서 도미넌트하게 드레인 전류를 감소시키고 이 감소된 드레인 전류는 S₂₁을 감소시킨다. 이러한 경향은 Sentaurus TCAD의 경향과 매우 일치함을 확인 할 수 있다. Id의 결과는 그림 9에서 확인할 수 있다. LNA는 gate전압 0.52V에서 작동하므로 게이트 전압 0.52V에서 드레인에 흐르는 전류를 그림 9에서 비교하였다. 0.52V기준으로 Sentaurus, 모델, BSIM-CMG순으로 전류가 감소하는 것을 확인할 수 있고, 이는 식 (4)에서 표현된 바와 같이 S₂₁을 낮추게 된다. 또한, 추가된 기생 커패시턴스는 LNA의 중심주파수를 낮춰 모델이 BSIM-CMG 보다 더 작은 주파수에서 중심주파수를 형성하게 한다.

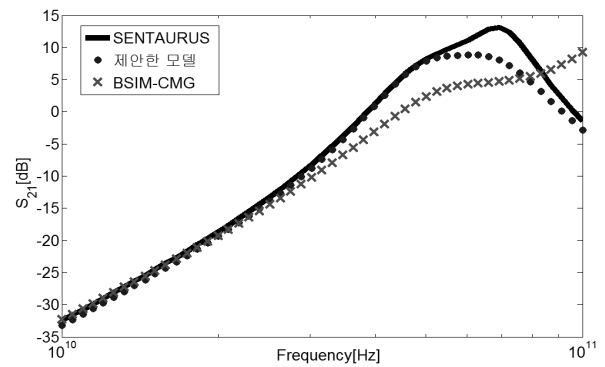


그림 8. LNA의 S₂₁
Fig. 8. S₂₁ of LNA.

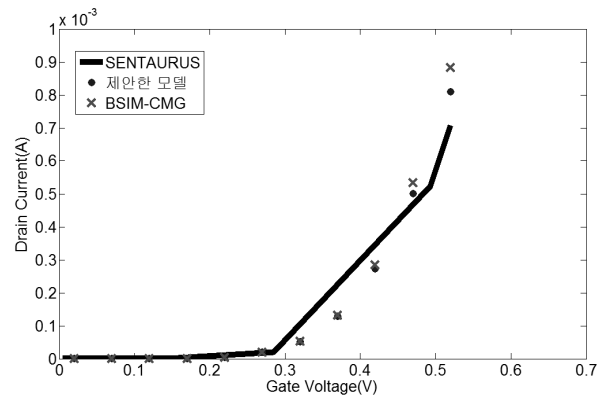


그림 9. LNA회로의 I_d
Fig. 9. I_d of LNA.

또한 증가된 기생 커패시턴스는 식 (4)에서 알 수 있듯이 고주파로 갈수록 S₂₁을 도미넌트하게 줄이는 요인이 된다. 따라서, 기존의 BSIM-CMG의 경우 Sentaurus와 비교해서 S₂₁을 작게 예측하게 되고, 이는 그림 8의 결

과와 잘 맞는 것을 확인 할 수 있다.

그림 8을 보면 특정 중심 주파수 부근을 제외하고는 Sentaurus와 제안한 모델의 S_{21} 이 매우 잘 맞는 것을 확인 할 수 있다. 실제로 10GHz~100GHz대역에서 51 포인트를 추출해서 비교한 결과 표 2와 같이 Sentaurus와 BSIM-CMG간의 정확도가 56.5%인데 반해 Sentaurus와 제안한 모델의 정확도는 87.5%로 31% 향상된 것을 알 수 있다. metal contact, RSD, 게이트 메탈 사이의 커플링을 고려한 기생 커패시턴스 모델링으로 표 2처럼 중심주파수의 정확도가 Sentaurus에 가까워지게 되었고 그림 8에서 보면 10GHz~100GHz에서 S_{21} 의 모양이 같아졌다. 따라서 높은 주파수의 회로에서도 제안한 모델이 정확한 성능을 보일 수 있음을 검증하였다.

표 3. 중심주파수와 S_{21} 정확도

Table3. Center frequency and S_{21} accuracy.

	중심주파수	S_{21} 정확도
BSIM-CMG	109.65GHz	56.5%
제안한 모델	60.3GHz	87.5%
Sentaurus TCAD	69.2GHz	-

VI. 결 론

공정이 작아짐에 따라 BSIM-CMG에 포함된 기생 성분 이외의 기생 성분의 영향이 두드러졌다. 이를 해결하기 위해 선행연구에서 metal 및 RSD를 고려한 추가적인 기생성분들을 모델링한 압축모델을 구현 하였다. 이 모델을 사용하여 22nm FinFET을 사용하여 60GHz LNA회로를 설계하였다. Sentaurus TCAD값과 비교하여 정확도 87.5%를 달성하였다. 일반적으로 사용되는 BSIM-CMG와 Sentaurus TCAD간의 정확도는 56.5%로 모델이 31%정확도 향상되었다. 따라서 회로상의 RF 특성에서도 제안한 모델의 유용성이 검증되었다. 사용된 LNA회로의 S_{21} 수식과의 비교를 통해 기생 커패시턴스와 기생 저항이 RF특성에 영향을 미치는 방식을 알 수 있다. 앞으로 고주파를 사용한 회로에 대한 연구가 활발할 전망인데, 제안한 모델을 사용하여 RF회로를 연구하는 분야에서 좀 더 정확한 시뮬레이션으로 회로 특성을 예측할 수 있다.

REFERENCES

[1] Frank, M.M., "High-k/metal gate innovations

enabling continued CMOS scaling," 2011 Proceedings of ESSCIRC, pp. 50-58, Sept. 2011.

- [2] Jyh-Chyurn Guo, "Halo and LDD Engineering for Multiple VTH High Performance Analog CMOS Devices," IEEE Trans. Semiconductor Manufacturing, vol. 20, no. 3, pp. 313-322, Aug. 2007.
- [3] Vaidy Subramanian, Bertrand Parvais, Jonathan Borremans, Abdelkarim Mercha, Dimitri Linten, Piet Wambacq, Josine Loo, Morin Dehan, Cedric Gustin, Nadine Collaert, Stefan Kubicek, Robert Lander, Jacob Hooker, Florence Cubaynes, Stephane Donnay, Malgorzata Jurczak, Guido Groeseneken, Willy Sansen, and Stefaan Decoutere, "Planar Bulk MOSFETS Versus FinFETs: An Analog/RF Perspective," IEEE Transactions on Electron Devices Vol. 53, No. 12, pp. 3071-3077 December 2006.
- [4] Lee K., An T., Joo S., Kwon K.-W., Kim S., "Modeling of parasitic fringing capacitance in multifin trigate FinFETs." IEEE Transactions Electron Devices, Vol. 60, No. 5, pp. 1786-1789, 2013.
- [5] Seok Soon Noh, KeeWon Kwon, and SoYoung Kim, "Analysis of Process and Layout Dependent Analog Performance of FinFET Structure using 3D Device Simulator," The Journal of The Institute of Electrical Engineers of Korea, Vol. 50, No. 4, pp. 795-802, April. 2013.
- [6] An, TaeYoon, et al. "Performance Optimization Study of FinFETs Considering Parasitic Capacitance and Resistance." Journal of semiconductor technology and science, Vol. 14, No. 5, pp. 525-536, 2014.
- [7] Choe, Kyeungkeun, TaeYoon An, and SoYoung Kim., "Accurate fringe capacitance model considering RSD and metal contact for realistic FinFETs and circuit performance simulation." Simulation of Semiconductor Processes and Devices (SISPAD), pp. 29-32, Sept. 2014.
- [8] KyeungKeun Choe, Kee-Won Kwon, and SoYoung Kim, "Circuit Performance Prediction of Scaled FinFET Following ITRS Roadmap based on Accurate Parasitic Compact Model", Journal of The Institute of Electronics and Information Engineers Vol.52, No.10, October. 2015.
- [9] JungHun Kim, SoYoung Kim, "The Effect of Contact Boundary on Bulk Resistance in Hexagonal ShapedSource/Drain in FinFETs" ITC-CSCC :International Technical Conference on Circuits Systems, Computers and Communications, pp. 366-369, Jan. 2015.

- [10] TCAD Sentaurus User's Guide, Synopsys.
- [11] BSIM-CMG108.0.0 Technical Manual, Aug. 2014.
- [12] Pou-Tou Sun, Shry-Sann Liao, Hung-Liang Lin, Chung-Fong Yang, and Yu-Hsuan Hsiao, "Design of 3.1 to 10.6 GHz Ultra-wideband Low Noise Amplifier with Current Reuse Techniques and Low Power Consumption", Progress In Electromagnetics Research Symposium, pp. 901-905, Beijing, Sept. 2011.
- [13] Yi-Jing Lin, Shawn S. H. Hsu, Member, IEEE, Jun-De Jin, and C. Y. Chan, "A 3.1 - 10.6 GHz Ultra-Wideband CMOS Low Noise Amplifier With Current-Reused Technique", IEEE Microwave and Wireless Components Letters, Vol. 17, No. 3, pp. 232-234, March. 2007.
- [14] Andrea Bevilacqua, Ali M. Niknejad, "An Ultrawideband CMOS Low-Noise Amplifier for 3.1 - 10.6-GHz Wireless Receivers" IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, December. 2004.
- [15] Ismail, A. and A. A. Abidi, "A 3 - 10-GHz low-noise amplifier with wideband LC-ladder matchingnetwork," IEEE Journal of Solid-State Circuits, Vol. 39, Issue 12, 2269-2277, Dec. 2004.

저 자 소 개



정 승 익(학생회원)
2015년 성균관대학교 반도체시스템공학 학사 졸업.
2015년~현재 성균관대학교 반도체디스플레이대학원 석사과정

<주관심분야: Device Simulation and Modeling>



김 소 영(정회원)-교신저자
1997년 서울대학교 전기공학부 학사 졸업.
1999년 Stanford University 전기공학과 석사 졸업.
2004년 Stanford University 전기공학과 박사 졸업.

2004년~2008년 Intel Corporation
2008년~2009년 Cadence Design Systems
2009년~현재 성균관대학교 정보통신대학 반도체시스템공학과 부교수

<주관심분야: Device and Interconnect Modeling, Power Integrity, Signal Integrity, Computer-Aided Design, Electromagnetic Compatibility>