Journal of The Institute of Electronics and Information Engineers Vol.53, NO.1, January 2016 http://dx.doi.org/10.5573/ieie.2016.53.1.139
ISSN 2287-5026(Print) / ISSN 2288-159X(Online)

논문 2016-53-1-16

가변주파수 스위칭 DC-DC 컨버터용 집적회로를 위한 기능 회로 설계

이 준 성*

(A Functional Circuits Design of Variable Frequency Switching type DC-DC Converter Integrated Circuit)

(Jun-sung Lee©)

요 약

본 논문은 가변 스위칭 주파수 PFM을 이용한 DC-DC 변환기의 집적회로 개발 시, 적용 가능한 주요 기능 블록의 설계에 관한 것이다. DC전압 변환 시 부하에 공급되는 전류가 작거나 출력전압이 설정값 근처에 도달했을 때 PFM 모드로 동작시켜 전력변환 효율을 높일 수 있다. PFM DC-DC 변환기 구현에 필요한 PFM 신호 발생회로, PFM 주파수 제어기, 출력전압감지 회로 그리고 과전류보호회로를 설계하였다. 설계를 위한 공정파라미터는 내압 12[V], 최소선폭 0.35[㎛], 2P_2M CMOS 공정을 사용하였다.

Abstract

This paper describes functional circuits of DC-DC converter IC incorporated with variable frequency PFM technique. In case of output voltage of DC-DC converter is reached setting value or output current is low then PFM switching frequency is slow down. In this work a PFM signal generator, a PFM Frequency Control Circuit, an output voltage detector and an over current protection circuits are designed. This device has been designed at a 0.35[㎛], double poly, double metal 12[V] CMOS process.

Keywords : Variable PFM, DC-DC converter, Variable Frequency Oscillator.

Ⅰ. 서 론

DC-DC변환기는 전자기기가 저 전력화되고 소형화되면서 그 사용이 늘어가고 있다. 스위칭 신호에 의한 잡음은 잡음제거 기술을 적용하여 사용에 문제가 없도록 제거할 수 있다. 한편, DC-DC 변환 때에 전력변환 효율을 높이기 위한 다양한 검토가 있었다. 특히, 기기로 공급하는 전력이 아주 많거나 아주 작을 때 효율을 높이는 것에 대한 연구가 많다[1~6]. PWM 방식의 DC-DC 변환기는 부하로 공급되는 전류가 많을 때는 효율이 좋고 출력 전압 리플 특성도 비교적 좋으나, 부하 전류가 작을 경우 효율이 나빠지는 특성이 있다. 본 논문은 기기에 공급하는 전력량이 작을 때에 효율을 올리기 위한 방안으로 알려진 PFM(Pulse Frequency Modulation) 방식의 부스트 DC-DC 변환기용 집적회로를 설계할 때에 필요한 주요 기능블록 설계에 관한 것이다. 특히 회로를 간단하게 하여 칩 면적을 줄이고, 전력변환효율을 올리기 위한 회로를 제안하였다. PFM을 사용한 DC-DC 변환기는 기기로의 공급전력이 작을 때 또는 기기가 대기(Stand-by) 상태일 때는 인위적으로

* 정회원, 인덕대학교 컴퓨터전자과
(Department of Computer Engineering and Electronics, ljsskku@induk.ac.kr)
※ 본 연구는 인덕대학교 교내학술연구비 지원에 의해 수행되었음.
Received ; November 12, 2015 Revised ; December 3, 2015
Accepted ; December 23, 2015

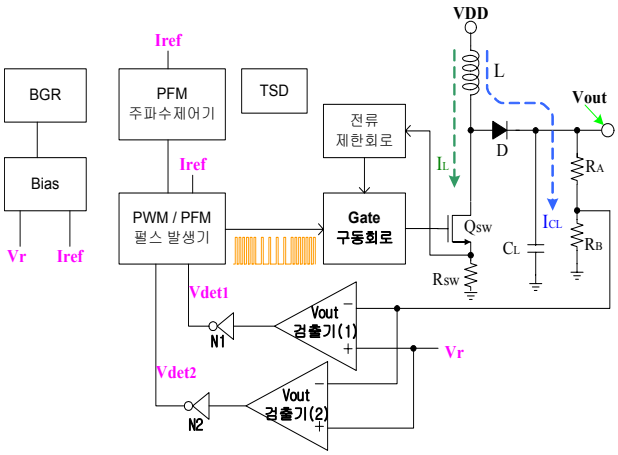


그림 1. 가변 PFM DC-DC 변환기의 전체 블록도
Fig. 1. The whole block diagram of variable PFM DC-DC converter.

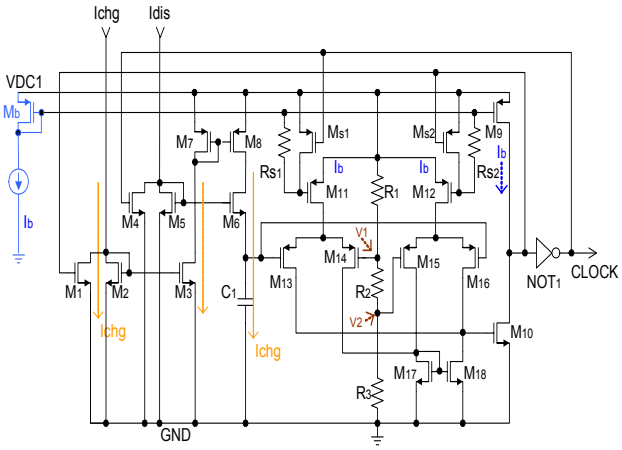


그림 2. PFM 스위칭 펄스 발생기 회로도
Fig. 2. The schematic diagram PFM clock generator.

스위칭 주파수를 낮춰 준다. 그 결과 줄어든 스위칭 신호에 의해 스위칭 소자의 스위칭 횟수를 줄여 줌으로써 소비되는 전력을 줄일 수 있게 한 것이다. 이 경우 출력 전압의 리플 특성은 나빠질 수 있으므로 시스템 레벨에서 채택여부를 판단해야 한다.

Ⅱ. 본 론

가변 주파수 PFM 방식을 이용한 DC-DC 변환기의 전체 블록도는 그림 1과 같이 구성할 수 있다. Qsw의 게이트로 인가되는 PFM 펄스의 하이기간에는 코일에 전류(IL)가 충전되고 로우기간에서는 이 전류(ICL)가 다이오드(D)를 지나 콘덴서 CL쪽으로 흘러 Vout 전압을 상승시킨다. 출력전압 감지회로(Vout 검출기)는 Vout 전압을 감시하여 Vout 전압이 설정된 값에 도달하면 Vdet1,2 전압을 로우상태로 만든다. 이 신호는 인버터(N1,N2)를 통하여 PFM 주파수 제어기로 인가되고 이 신호에 의해서 PFM 신호의 주기와 듀티비를 조정하여 Qsw의 게이트에 인가되는 주파수를 바꾼다.

스위칭 소자인 Qsw를 IC에 내장하려면 온-저항을 낮추어 전력 변환 효율을 높이고 래치-업의 발생을 막을 수 있는 스위칭 구조로 설계할 수 있도록 공정 선택 및 수평 구조설계 시 많은 고려를 하여야 한다.

2.1 PFM 신호 발생기

그림 2는 DC-DC 변환기의 스위칭 신호를 생성하기 위한 PFM 펄스 발생기의 회로도이다. 회로에 인가되는 전원 전압 VDC1과 바이어스 전류 Ib는 BGR 바이어스 발생회로에서 공급된다. Ichg와 Idis는 어느 한쪽에 전류를 흘리면 다른 한쪽의 전류는 흐르지 않는다. M1과 M4가 온 상태일 때 Ichg와 Idis 전류는 접지측으로 흐른다. M11과 M12는 Ms1과 Ms2의 게이트 전압에 따라서 소자 아래 측 M13과 M14 또는 M15와 M16 소오스 결합쌍의 전류를 공급하거나 차단하여 동작을 제어한다. Ichg와 Idis는 그림 4의 PFM 주파수 제어기에서 공급되는데 이 두 전류는 M2와 M3, M5와 M6, M7과 M8로 구성된 전류미러를 거쳐 콘덴서 C1을 충전 또는 방전하면서 삼각파를 만들게 된다. 최초 C1에 충전된 전압이 0[V]라고 가정할 때 동작은 다음과 같다. Ichg가 100[uA], Idis가 0[uA] 이면 C1은 100[uA]를 충전하여 전압이 상승한다. V1과 V2는 저항 R1, R2그리고 R3에 의해 만들어진 전압이다. C1 전압이 V1보다 낮으면 Ib 전류는 모두 M13의 드레인으로 흐르므로 M18이 OFF 되고 M10이 ON 된다. 그러면, NOT1의 입력은 LOW가 되므로 M11을 ON, M1은 OFF로 만든다. 반대로 NOT1 출력(CLOCK)은 HIGH가 되어 M12는 OFF, M4는 ON이다. 이 상태에서는 Ichg 전류가 계속 C1의 충전을 유지하는데 충전 전압이 V1보다 높아지는 순간 Ib는 모두 M14의 드레인으로 흐르고 M17이 ON되면서 M10이 OFF 상태가 된다.

이 후 NOT1의 입력이 HIGH가 되면서 M11을 OFF, M12를 ON 시킨다. 이 회로의 출력단자인 CLOCK은 PFM 주파수 제어기로 전달되어 Ichg는 0으로, Idis 전류는 100[uA]로 바뀌고 C1은 방전 상태로 바뀐다. 스위칭 펄스의 주파수는 콘덴서 C1에 충전, 방전되는 전류와 시간으로 결정된다. 이 때 흐르는 전류는 mode (PFM 발진 주파수 모드)에 따라 PFM 주파수 제어기

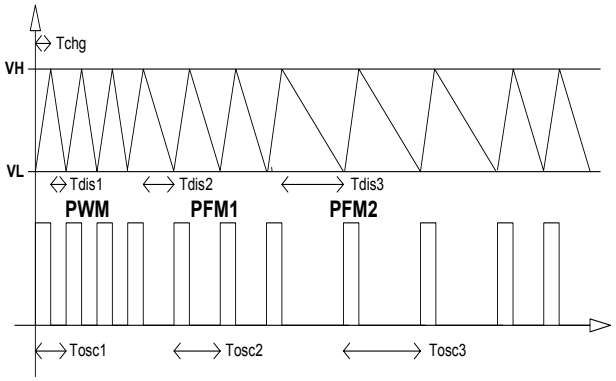


그림 3. C1의 충·방전 전압 파형에서 결정하게 된다
Fig. 3. Voltage Waveform of C1.

그림 3은 스위칭 펄스 발생기에서 C1에 충·방전되는 전류에 의해 만들어진 전압 파형을 나타낸 것이다. 그림 3에서 C1 = 300pF, Ichg = Idis = 100uA 라고 했을 때, 즉, 스위칭 펄스 발생기가 duty cycle = 50% 로 동작하게 되었을 경우, 주파수는 다음과 같이 계산된다.

$$T_{chg} = C_1 \times \frac{V_H - V_L}{I} = 300_{pF} \times \frac{2_V}{100_{uA}} = 6us \quad (1)$$

$$F_{osc} = \frac{1}{2 \times T_{chg}} = \frac{1}{12u} = 83KHz \quad (2)$$

PFM 가변 모드를 만들기 위해서는 PWM 동작 상태시에 비하여 방전전류(Idis)를 줄여서 방전시간을 2배 또는 3배로 정도 늘인다. 이로써 주파수가 약 33%, 56% 정도 느려진다. 그림 7에 시뮬레이션으로 검증한 파형이 나타나 있다.

2.2 PFM 주파수 제어기(PFM Frequency Controller)

그림 4는 PFM 신호 발생기의 주파수를 가변하기 위한 제어기의 회로이다. Amp1과 RA 그리고 회로도 중 왼쪽 부분의 MA~MP가 방전전류를, Amp2와 RB 그리고 오른부분의 Mq~ 등이 충전전류를 만들어 낸다. 충전전류 회로와 방전전류 회로는 거의 비슷한 구조로 설계되어 있다. PWM 모드에서는 F_CTL1과 F_CTL2는 모두 로우 상태이므로 Idis 전류는 MF, MH 그리고 MN의 각 드레인 전류가 합쳐진 것이다. PFM 모드는 다음과 같은 동작을 한다. F_CTL1 단자에 하이 신호가 인가되면 트랜지스터 MK 가 오프 되므로 Idis 전류가 반으로 줄어들기 때문에 그림 2의 C1 방전 전류가 감소되어 방전시간이 길어지게 되고 결국 주파수가 느려지

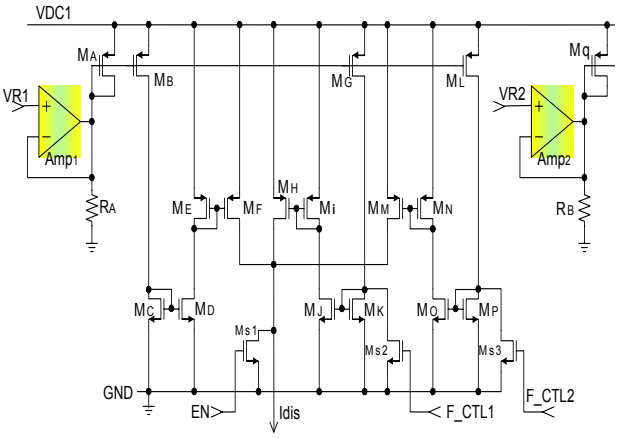


그림 4. PFM 주파수 제어기 회로
Fig. 4. The schematic diagram of PFM frequency controller.

게 된다. 이 상태에서 FCTL_2 단자에 하이 신호가 인가되면 트랜지스터 MP가 오프되어 Idis 전류가 다시 반으로 줄어들게 주파수가 또 다시 느려지게 설계되어 있다. EN 단자에 하이신호가 인가되면 PFM 신호 발생기 회로의 Ichg와 Idis가 모두 공급되지 못하도록 하여 PFM 신호가 발생되지 않도록 한다.

2.3 출력 전압 감지회로(Vout Detector)

이 회로는 그림 1에 제시된 DC-DC 변환기의 출력전압(Vout)을 감시하여 출력전압이 설정된 전압에 근접했을 때 Vdet 단자에 신호를 출력한다. 빠른 응답 특성을 얻기 위하여 동적바이어스를 응용한 OP 앰프[7] 구조로 설계하였다. 이 신호를 이용하여 PFM 주파수 제어기에서는 PFM 주파수가 변경될 수 있도록 PFM 신호발생기로 전달되는 Ichg와 Idis 전류를 변경한다. 아래 그림 5에 DC-DC 변환기의 출력전압을 감지하는 회로를 나타내었다. Vr 단자에는 기준전압, Vout 단자에는 DC-DC 변환기의 출력전압이 인가되고 Iref1은 전류원에서 만든 바이어스전류인데 전류원을 거쳐 GND 단자로 흘러가도록 하였다. Vout 단자로 인가되는 전압에 의해서 V_line 전압이 Vrf보다 낮을 경우 Md8, Md9는 온 상태, Md14는 오프 상태가 되어 출력(Vdet)은 하이이다. 이때, Ms도 오프상태이다. Vout 단자 전압이 증가하여 Vrf 전압보다 높아지는 순간 Md8, Md9는 오프, Md6, Md7이 온 상태가 된다. 그러면 Md14는 온상태가 되어 출력(Vdet)은 로우가 되고 Ms 또한 온 상태가 되면서 Vrf 전압을 이전 상태보다 낮춘다(히스테리시스 동작). 그림 1의 RA와 RB는 그림 5의 RA, RB와 같은 저항이다. IC외부 저항인 이 저항을 조정하면 감지전압

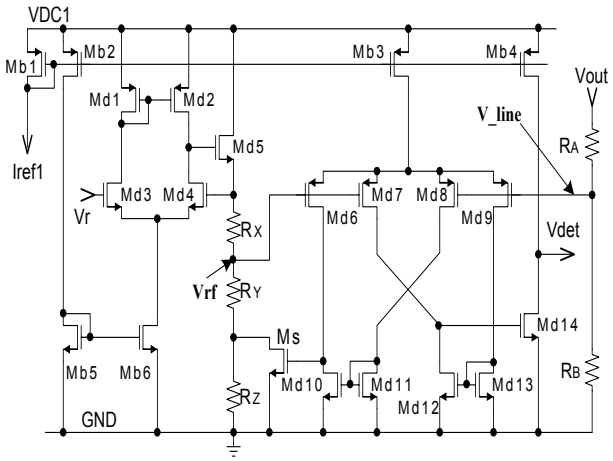


그림. 5. DC-DC 출력전압(Vout) 감지회로
Fig. 5. The schematic of Vout Detector.

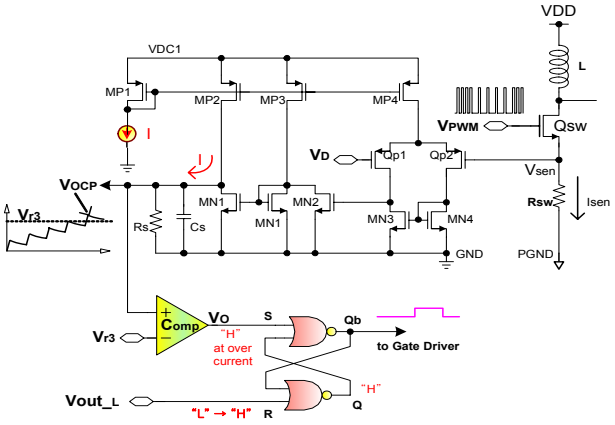


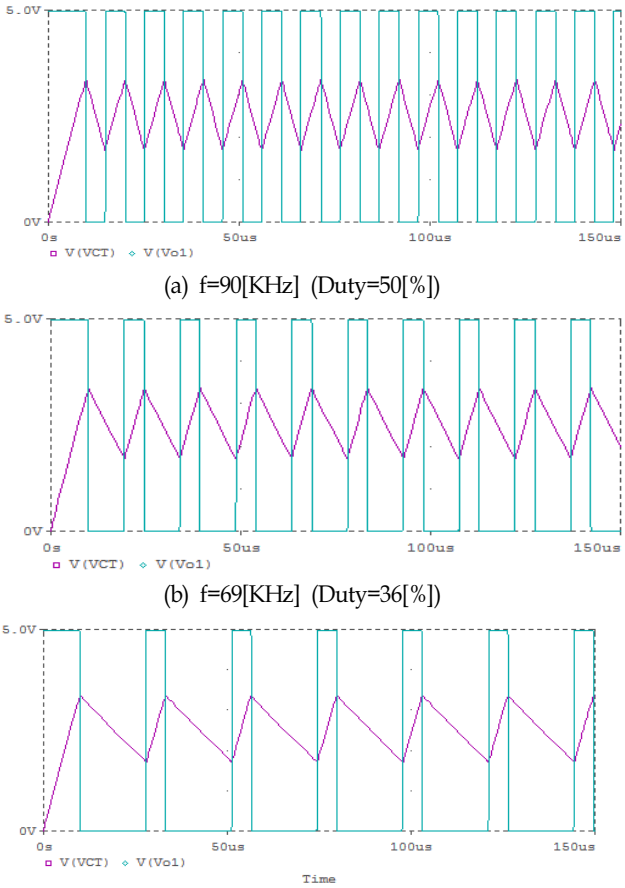
그림 6. 과전류 보호회로
Fig. 6. The schematic diagram of Over Current Protection.

을 변경할 수 있다.

2.4 과전류 보호회로(Over Current Protection)

과전류 보호회로는 Qsw의 소오스 전류가 설정값 이상 흐를 때 Qsw에 인가되는 게이트 신호(펄스)를 차단하여 DC 변환기의 출력 충전 동작을 중단시키도록 설계하였다. 그림 6에서와 같이 Qsw의 소오스와 접지사이에 아주 작은 저항 Rsw를 연결하여 흐르는 전류를 검출한다.

이 저항에 나타나는 전압(Vsen)을 Qp1, Qp2로 구성된 비교기에서 VD와 비교한다. 과전류가 흐르면 Vsen 전압이 상승하고 MN2를 온 시킨다. 그러면 전류원(I)에서 설정한 전류가 필터 Cs와 Rs로 흘러 Vocp 전압을 상승시킨다. PWM 펄스에 약 3~5개 이상 연속해 과전류를 흐르게 하면 Vocp 전압이 상승하여 비교기(Comp)에서 Vr3과 비교하여 출력(Vo)을 하이로 만들고 이 신호는 래치의 Qb도 하이 상태로 만든다. 이 Qb



(a) f=90[KHz] (Duty=50[%])

(b) f=69[KHz] (Duty=36[%])

(c) f=43[KHz] (Duty=22[%])

그림 7. PFM 스위칭 시뮬레이션 결과 파형
Fig. 7. The simulation waveform of PFM switching pulse.

신호는 게이트 구동회로(Gate Driver)의 PFM 출력을 차단시킨다. 정상 전류 상태에서는 Vsen 전압이 거의 0[V]이므로 Vocp가 0[V], 래치의 Q는 로우 상태이다. 일단 래치의 Qb가 하이가 된 이 후, 출력전압(그림 1의 Vout)을 감시하여 설정값 이하로 떨어졌을 때 Vout_L 단자에 하이신호를 만들어 입력하면 Qb는 로우로 되돌아 간다.

2.5 보호 회로

DC-DC 변환기용 원 칩 IC는 DC 전압을 승압하기 위한 기본 회로 외에 IC를 보호하고 동작 상태를 유지하기 위한 보조회로들이 필요하다. 온도와 인가 전원전압의 변동에도 안정된 DC전압을 공급하기 위한 밴드갭 기준전압회로(Band Gap Reference), 전체 칩의 동작 시 고온에서 보호 기능을 수행하기 위한 TSD(Thermal ShutDown) 회로, OVP(Over Voltage Protection), UVLO(Under Voltage LockOut) 등의 회로이다.

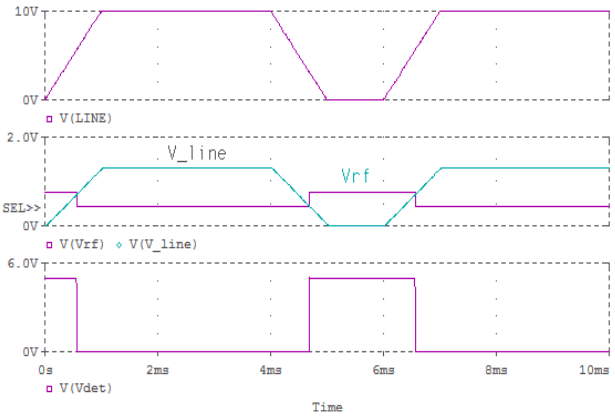


그림 8. Vout 검출기 시뮬레이션 결과 파형
Fig. 8. The simulation waveform of Vout Detector.

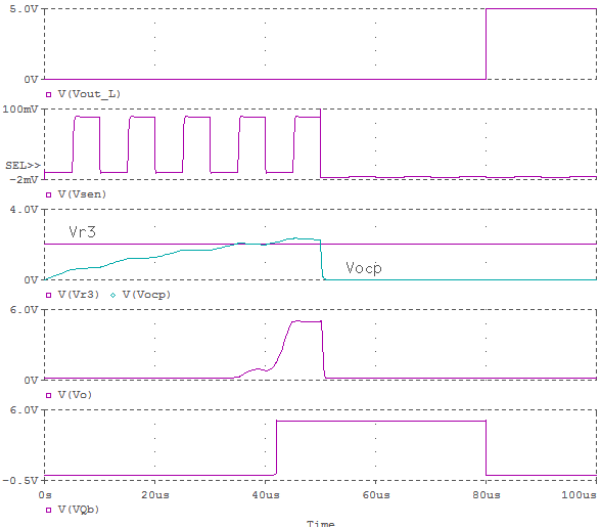


그림. 9. 과전류 보호회로 시뮬레이션 결과 파형
Fig. 9. The simulation result of Over Current Protection.

Ⅲ. 실 험

본 회로를 설계하기 위하여 M사의 최소선폭 0.35[㎛]급, 내압 12[V], 2P_2M CMOS 공정파라미터를 사용하였다. 설계된 모든 회로는 블록별, 기능별로 시뮬레이션을 통해 검증하였다.

그림 7은 그림 2의 PFM 스위칭신호 발생회로의 특성을 시뮬레이션으로 검증한 파형이다. (a)의 삼각파형(VCT)은 콘덴서(C1)의 충·방전 파형이고 구형파는 NOT1의 출력 파형이다. 주파수는 약 90[KHz], 듀티가 약 50[%]로 출력된다. (b)는 콘덴서의 방전 전류를 (a)보다 절반으로 줄여서 주파수는 69[KHz], 듀티는 36[%]로 변경하였다. (c)는 (b)에서 콘덴서 방전 전류를 다시 절반 정도 줄여서 주파수를 43[KHz], 듀티는 22[%]로 하였다. 출력전압과 부하 공급전류에 따라서 DC-DC 변환기의 스위칭 주파수는 이 세 주파수 중 하나의 주파수로 설정된다.

그림 8은 그림 5의 DC-DC 변환기 출력전압 감시회로의 동작 특성을 시뮬레이션으로 검증한 파형이다. 출력 전압이 약 5.6[V]로 상승하면 V_line 전압이 0.75[V]로 되면서 Vdet 전압을 로우로 떨어뜨린다. 반대로 V_line전압이 0.43[V] 이하로 낮아지면 Vdet가 하이상태가 된다. 비교기가 비교 동작을 하는 동안 히스테리시스 동작을 수행함을 알 수 있다.

그림 9는 그림 6에서 설계한 과전류보호회로의 동작 특성을 시뮬레이션으로 검증한 결과 파형이다. Vsen은 Qsw의 소오스 전압파형, Vr3은 비교기(Comp)의 (-)단자 전압이다. 과전류를 검출한 파형 5개가 연속해서 입력되면 이를 적분하여 Vocp 파형이 만들어 진다. 비교기(Comp)에서 Vocp와 Vr3을 비교한 후 출력이 하이가 되면 래치의 Qb가 하이로 된다. 이 신호는 게이트 구동회로로 전달되어 Qsw에 인가될 게이트신호를 차단시켜 DC-DC변환기의 동작을 멈추게 한다. 이 후 DC-DC 변환기의 출력 전압(Vout)이 설정전압 이하로 낮아지게 되면 Vout_L 신호가 로우에서 하이로 바뀌고 이 신호는 래치출력 Qb를 로우로 되돌려 DC-DC변환기가 정상적으로 동작하게 만들고 과전류보호회로는 과전류 검출신호를 기다리게 된다.

Ⅳ. 결 론

본 논문에서는 PFM을 이용한 DC-DC 변환기의 전체 시스템을 제시한 후 주요 기능 회로를 설계하고 블록별로 검증하였다. PFM 신호 발생기는 기준 주파수가 약 90[KHz]로 설정하여 동작하도록 하였고 부하 상태에 따라 주파수가 약 70[KHz]와 43[KHz] 등 두 단계로 낮아지면서 동작한다. PFM 주파수 제어기는 PFM 신호 발생기에 공급되는 전류원의 전류를 변경하여 PFM 발생 주파수를 가변시킨다. 출력 전압 감시 회로는 부하 상태에 따라 PFM의 주파수를 전환 할 수 있도록 출력 전압을 감시하며, 그 결과에 따라 PFM 모드(주파수)가 변환되면서 DC-DC 변환 기능을 수행하도록 설계하였다. 과전류 보호회로는 외부 승압코일(L)에 흐르는 전류가 설정값 이상일 때는 스위칭 트랜지스터(Qsw)의 게이트 드레인 전류가 차단되도록 설계하였다. 그리고 차단 동작 후 일정 시간이 지나면 다시 승압동작이 정상으로 되돌아 갈 수 있도록 하였다. 설계된 기능 블록을 적용한 DC-DC 변환기는 입력 DC 전압이

2.0[V]~4.5[V]일 때, 출력 전압은 출력 전압 감지 회로의 저항값을 설정함에 따라 4[V]~30[V]정도에서 사용할 수가 있다. 설계된 모든 기능 블록은 시뮬레이션을 통하여 동작과 특성을 검증하였다. 본 논문에서 설계된 각 단위 회로를 한 개의 칩으로 구성하여 설계, 개발코자 하며 이를 위해 본 설계 자료를 활용하고자 한다.

REFERENCES

[1] B. Sahu and G. A. Ricon-Mora, “An Accurate, Low-Voltage, CMOS Switching Power Supply With Adaptive On-Time Pulse-Frequency Modulation (PFM) Control,” IEEE Trans. Circuit and Systems, vol. 54, no. 2, Feb. 2007.

[2] ongyong Jeong, Hyunseok Nam, Jeongjin Roh. “A 94% Efficiency Current-mode DC-DC boost converter with automatic PFM/PWM conversion” Conference on The Institute of Electronics Engineers of Korea, Vol. 31, No. 1, 2008.

[3] Chang-Jae Yoo, Hong-Jin Kim, Young-Jun Park, Kang-Yoon Lee “A Design of PFM/PWM Dual Mode Feedback Based LLC Resonant ConverterController IC for LED BLU” Conference on The Institute of Electronics Engineers of Korea, Vol. 37, No. 1, 2014.

[4] Seunghyeong Lee, Sangwoo Han, and Jongsun Kim “High Efficiency Triple Mode Boost DC-DC Converter Using Pulse-Width Modulation” Journal of The Institute of Electronics Engineers of Korea, Vol. 52, No. 2, 2015. 2

[5] Jun-sung Lee “A Design of Integrated Circuit for High Efficiency current mode boost DC-DC converter” Journal of The Institute of Electronics Engineers of Korea, Vol. 47, IE, no. 2, pp. 13~20, 2010. 6

[6] Jiman Kim, Yongsu Park, and Hanjung Song “PFM-Mode Boost DC-DC Convertor for Mobile Multimedia Application” Journal of The Institute of Electronics Engineers of Korea, Vol. 47, IE, no. 3, 2010. 9

[7] Phillip E. Allen, Douglas R. Holberg “CMOS Analog Circuit Design,” Holt, Rinehart and Winstone, 1987.

저 자 소 개

이 준 성(정회원)
대한전자공학회 논문지
제47권 IE 편 제 2 호 참조