

PMOS 소자가 삽입된 부분웰 구조의 N형 SCR 소자에서 정전기 보호 성능 향상을 위한 최적의 CPS 이온주입에 대한 연구

양준원*, 서용진** 정회원

Study on the Optimal CPS Implant for Improved ESD Protection Performance of PMOS Pass Structure Embedded N-type SCR Device with Partial P-Well Structure

Jun-Won Yang*, and Yong-Jin Seo** *Regular Members*

요 약

PPS 소자가 삽입된 부분웰 구조의 N형 실리콘 제어 정류기(NSCR_PPS) 소자에서 정전기 보호 성능의 향상을 위한 CPS 이온주입 조건의 최적화에 대해 연구하였다. 종래의 NSCR 표준소자는 on-저항, 스냅백 홀딩 전압 및 열적 브레이크다운 전압이 너무 낮아 정전기 보호소자의 필요조건을 만족시키지 못해 적용이 어려웠으나, 본 연구에서 제안하는 CPS 이온주입과 부분웰 이온주입을 동시에 적용한 변형 설계된 소자의 경우 스냅백 홀딩 전압을 동작전압 이상으로 증가시킬 수 있는 향상된 정전기 보호성능을 나타내어 고전압 동작용 마이크로 칩의 정전기보호 소자로 적용 가능함을 확인하였다.

Key Words : ESD(Electrostatic Discharge), PPS(P-type MOSFET Pass Structure), PPW(Partial P-type Well), NSCR(N-type Silicon Controlled Rectifier), CPS(Counter Pocket Source)

ABSTRACT

The ESD(electrostatic discharge) protection performance of PPS(PMOS pass structure) embedded N-type silicon controlled rectifier(NSCR_PPS) device with different partial p-well(PPW) structure was discussed for high voltage I/O applications. A conventional NSCR_PPS standard device shows typical SCR-like characteristics with low on-resistance, low snapback holding voltage and low thermal breakdown voltage, which may cause latch-up problem during normal operation. However, our proposed NSCR_PPS devices with modified PPW_PGM(primary gate middle) and optimal CPS(counter pocket source) implant demonstrate the stable ESD protection performance with high latch-up immunity.

I. 서 론

위성시스템에 탑재된 마이크로칩에서 ESD 방전이 초래 되면 전자장치의 오동작을 일으키고 물리적인 손상을 주어 열적·전기적 성능을 저하시키는 등의 문제점이 나타날 수 있다. 이를 해결하기 위해서는 위성 시스템 설계 및 운용환경에 적합한 정전방지 대책이 적용되어야하므로 ESD 방지는 반도체 소자의 개발초기부터 신중하게 다루어져야 한다[1]. 따라서 위성시스템에 사용되는 마이크로 칩을 제조할 때 외부 정전기로부터 칩 내부 회로를 보호할 수 있는 ESD 보호

회로 및 또는 ESD 보호소자를 개발하는 것이 매우 중요하다 [2][3][4][5][6][7][8]. 지금까지 보고된 바 있는 다양한 ESD 보호소자들 가운데 SCR(silicon controlled rectifier) 소자는 고전류에 대한 면역 특성이 우수하여 매력적인 소자로 알려져 있다[3][5][7][8]. 그러나 고전압 동작용 SCR 소자는 높은 트리거링(triggering) 전압 때문에 정상적인 동작 동안 래치업(latch-up)에 취약하다는 단점이 있다[8][9][10][11]. 이처럼 SCR 소자가 래치업에 취약한 이유는 고전류 영역에서 on-저항(Ron)이 너무 작아 스냅백 홀딩(snapback holding) 전압이 너무 낮기 때문이므로 on-저항을 증가시킬 수 있는

* 본 연구는 2015년 세한대학교 교내연구비 지원으로 수행하였음.

*세한대학교 정보물류학과 (jwyang@sehan.ac.kr),

**세한대학교 소방행정학과/나노정보소재연구소 (syj@sehan.ac.kr), 교신저자 : 서용진

접수일자 : 2015년 10월 2일, 최종 게재확정일자 : 2015년 12월 24일

방법이 모색되어야 한다.

본 연구진은 이전 연구에서 NESCR(N-type Embedded SCR) 표준 소자가 갖는 래치업 문제를 해결하기 위해 N⁺ 드레인 오른쪽에 P⁺ 확산층을 삽입하여 PPS(PMOS Pass Structure) 소자를 갖는 PNP SCR(thyristor) 소자를 만들고, P-well의 구조를 부분적으로 형성시킨 부분웰(Partial P-Well; PPW)을 갖도록 변형설계된 소자는 기존의 NESCR 표준소자보다 현저하게 큰 온 저항과 높은 스냅백 홀딩 전압을 나타내어 래치업을 피할 수 있는 우수한 구조임을 제안한 바 있다[7]. 또한 PPS 소자가 삽입된 N형 SCR(NSCR_PPS) 소자에서 부분웰의 면적을 각각 달리하여 소자를 변형 설계한 결과, 향상된 정전기 보호 성능을 얻기 위해서는 부분웰의 면적을 감소시키는 것이 더 유리함을 보고한 바 있다[8].

본 연구에서는 이전 연구에서 가장 우수한 특성을 나타내었던, 부분웰의 오른쪽 끝단이 1차 게이트의 중앙과 일치하는 구조인 PGM(Primary Gate Middle) 구조를 채택하여[8] CPS(Counter Pocket Source) 이온주입조건을 각각 달리하여 변형설계한 후, I-V 특성 및 전류밀도, 전계, 전류경로 등 등고선(contour) 분석을 통해 본 연구에서 제안하는 소자가 고전압 동작용 I/O 응용에 적용 가능한지를 연구하였다.

II. 소자구조

그림 1은 NSCR_PPS 표준소자의 구조를 개략적으로 나타낸 것으로 N⁺ 소오스와 드레인을 각각 2개의 영역으로 나눈 후, P⁺ 이온주입을 통해 P형 MOSFET 소자가 삽입된 PPS 구조이며 전형적인 full P-well을 채택하고 있다. NSCR_PPS 소자는 NMOS 소자에 PMOS 소자를 삽입함으로써 수직방향의 PNP-BJT(그림 1의 오른쪽 원에 해당)와 수평방향 NPN-BJT(그림 1의 왼쪽 원에 해당)로 이루어진 PNPN 싸이리스터(thyristor) 소자로 동작한다[8].

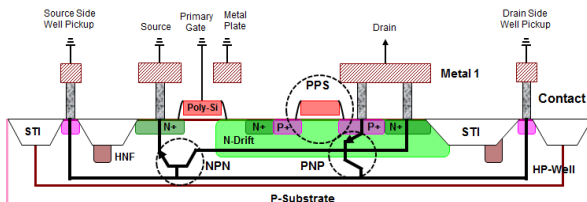


그림 1. PPS 소자가 삽입된 NSCR 표준소자의 구조 및 SCR 동작 메카니즘[8]

그림 2는 본 연구에서 제안하는 PGM 구조의 부분웰과 각기 다른 CPS 이온주입 조건을 갖도록 변형 설계된 소자의 구조를 개략적으로 나타낸 것이다. 여기서 PGM 구조의 부분웰은 앞선 연구[8]에서 가장 우수한 정전기 보호 성능을 보인 구조로, 부분웰 이온주입 영역의 오른쪽 끝을 1차 게이트

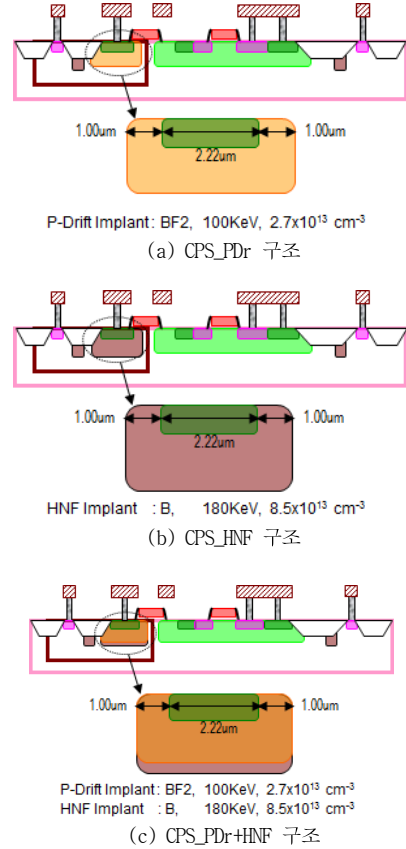


그림 2. PGM 구조의 부분웰을 갖는 NSCR_PPS 소자에서 CPS 이온주입 조건을 달리하여 형성한 CPS 구조.

트의 중앙과 일치시킨 구조이며, P형의 CPS 이온주입은 N⁺ 소오스를 둘러싸기 위해 수행된 것이다. 그림 2(a)에 보인 CPS_PDr 구조는 CPS 이온주입으로 P-Drift 이온주입(BF2, 100KeV, 2.7×10¹³cm⁻³)만 적용한 구조이며, 그림 2(b)에 보인 CPS_HNF 구조는 CPS 이온주입으로 HNF(High N-Stop Field Implant) 이온주입(B, 180KeV, 8.5×10¹³cm⁻³)만 적용한 구조이다. 세 번째로 그림 2(c)에 보인 CPS_PDr+HNF 구조는 CPS 이온주입으로 P-Drift 이온주입(BF2, 100KeV, 2.7×10¹³cm⁻³)과 HNF 이온주입(B, 180KeV, 8.5×10¹³cm⁻³)을 동시에 적용한 구조이다. 표 1은 본 논문에서 제안하는 PGM 구조의 부분웰을 갖는 NSCR 변형소자의 CPS 이온주입 조

표 1. PGM 구조의 부분웰을 갖는 NSCR 소자의 CPS 이온주입 조건

구조	부분웰 구조 및 CPS 이온주입 조건
CPS_PDr	<ul style="list-style-type: none"> PGM(Primary Gate Middle) : 부분웰 이온주입 영역의 오른쪽 끝을 1차 게이트의 중앙과 일치시킨 구조 CPS 이온주입으로 P-Drift 이온주입만 적용 (BF2, 100KeV, 2.7×10¹³cm⁻³)
CPS_HNF	<ul style="list-style-type: none"> PGM CPS 이온주입으로 HNF 이온주입만 적용(B, 180KeV, 8.5×10¹³cm⁻³)
CPS_PDr+HNF	<ul style="list-style-type: none"> PGM CPS 이온주입으로 P-Drift 이온주입과 HNF 이온주입을 동시에 적용 P-Drift 이온주입: BF2, 100KeV, 2.7×10¹³cm⁻³ HNF 이온주입: B, 180KeV, 8.5×10¹³cm⁻³

건을 요약한 것이다.

III. 결과 및 고찰

PGM 구조의 부분웰을 갖는 NSCR_PPS 소자는 동작전압이 30V인 고전압 기술(@0.18 μm _30V)을 적용한 TSUPREM4 공정 시뮬레이터를 사용하여 제작되었으며, 소자 특성은 DESSIS 소자 시뮬레이터를 사용하여 분석되었다. ESD 스트레스를 시뮬레이션하기 위해 10ns의 상승시간(rise time)과 100ns의 지속시간(duration time)을 갖는 사다리형 전류 펄스를 사용한 과도(transient) 시뮬레이션이 수행되었으며, 제작된 소자는 Barth 4002의 TLP(transmission line pulse) 테스트 시스템[12]으로 고전류 반응을 실험적으로 모니터링하였다. 본 연구에서 사용된 시뮬레이션 방법은 본 연구진이 발표한 논문들에 잘 요약되어 있다 [2][3][4][6][7].

표 2는 시뮬레이션 분석을 통해 추출한 I-V 특성과 TLP 데이터를 비교한 것이다. 시뮬레이션으로 추론된 NSCR_PPS 표준소자의 전류-전압 특성은 동작전압($V_{op} \approx 30\text{V}$)보다 훨씬 더 낮은 스냅백 홀딩 전압($V_h \approx 1.4\text{V}$), 낮은 on-저항($R_{on} \approx 131\Omega \cdot \mu\text{m}$)을 나타내어 정상적인 동작에서 래치업 문제에 매우 취약함을 알 수 있다. P-Drift 이온주입만 행한 CPS_PDr 구조와 HNF 이온주입만 수행한 CPS_HNF 구조보다는 P-Drift 이온주입과 HNF 이온주입을 동시에 적용한 CPS_PDr+HNF 구조가 정전기 보호성능 측면에서는 더 효과적임을 알 수 있다. 즉, CPS_PDr+HNF 구조를 적용한 소자는 NSCR_PPS 표준소자보다 더 높은 스

표 2. 시뮬레이션 분석을 통해 추출한 I-V 특성과 TLP 데이터 비교

	Standard (TLP Data)	Standard (Simulation)	(a) CPS_PDr	(b) CPS_HNF	(c) CPS_PDr+HNF
Ioff	1.5E-09	1.2E-10	4.0E-14	5.6E-14	6.4E-14
Vav	36.0	41.0	38.9	39.3	38.9
Vtr	36.0	45.0	43.6	46.6	45.9
Itr	0	5.0E-02	5.0E-02	2.0E-01	2.0E-01
Vh	4.0	1.4	2.0	24.3	36.9
Ih	0.1	4.0E-01	1.0E+00	6.0E+00	5.0E+00
Vtb	13.0	7.9	27.9	52.1	65.0
Ith	40.0	50.0	40.0	20.0	20.0
Ron	169	131	664	1986	1873

<약어설명> Ioff : off-상태 누설전류@30V[A/ μm], Vav : 에발란치 브레이크다운 전압[V], Vtr : 트리거링 전압[V], Itr : 트리거링 전류[mA/ μm], Vh : 스냅백 홀딩 전압[V], Ih : 스냅백 홀딩 전류[mA/ μm], Vtb : 열적 브레이크다운 전압[V], Ith : 열적 브레이크다운 전류[mA/ μm], Ron : 평균 on-상태 저항[$\Omega \cdot \mu\text{m}$]

냅백 홀딩 전압($V_h \approx 36.9\text{V}$ 이상)을 나타내어 동작전압 30V보다 더 높은 값을 만족하여 래치업 면역(immunity)이 보장되었다. 오프상태 누설전류(Ioff)는 표준소자에 비해 4승($\sim 10^4$) 이상 감소하였고, 열적 브레이크다운 전압(Vtb)은 증가하였는데 이는 효과적인 CPS 이온주입에 기인한 것으로 생각된다. 이상과 같이 on-저항, 스냅백 홀딩 전압, 열적 브레이크다운 전압이 증가하는 경향을 보이므로 고전압 I/O 응용을 위한 최적화된 정전기 보호 성능을 얻기 위해서는 그림 2(c)에 보인 것처럼 부분웰의 오른쪽 끝을 1차 게이트의 중앙과 일치시키고, P-Drift 이온주입과 HNF 이온주입을 동시

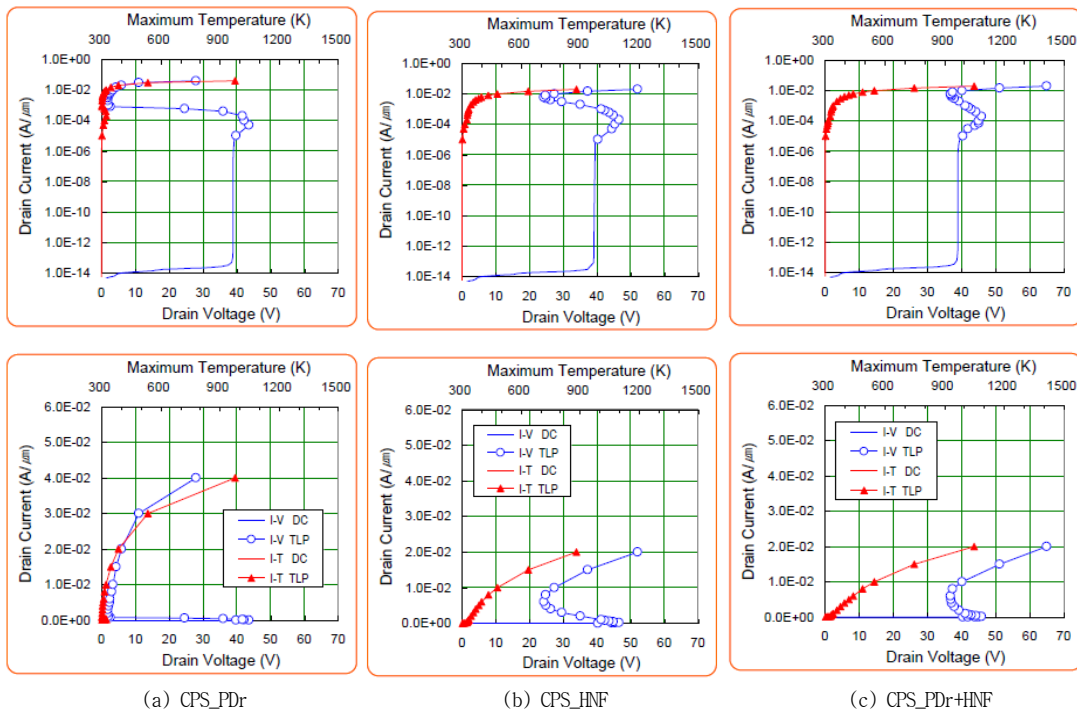


그림 3. 부분웰(PGM) 구조를 갖는 NSCR_PPS 변형소자에서 CPS 이온주입 조건 변화에 따른 I-V 특성

에 수행하는 것이 더 효과적임을 알 수 있다.

그림 3은 그림 2와 표 1에 보인바와 같은 CPS 이온주입 조건 변화에 따른 PGM의 부분웰을 갖는 NSCR_PPS 변형소자의 I-V 특성곡선을 나타낸 것이다. CPS 이온주입 도즈(dose)는 소자의 on-상태 저항과 스냅백 홀딩 전압에 영향을 미치는 중요한 변수인 것으로 나타났다. CPS 이온주입과 부분웰 이온주입을 동시에 적용하되 CPS 이온주입 도즈를 감소시키면(PDrHNF → HNF → PDr) 일반적으로 열적 브레이크다운 전류(I_{tb})는 증가하지만, on-저항, 스냅백 홀딩 전압, 열적브레이크다운 전압 등은 감소하는 것으로 나타났다. CPS 이온주입과 부분웰 이온주입을 동시에 적용하되 CPS 이온주입 도즈를 HNF 이온주입만으로 진행하거나 또는 P-Drift 이온주입만으로 진행할 경우에는 스냅백 홀딩 전압이 30V의 동작전압 이하로 낮아짐을 알 수 있다. 즉, CPS 이온주입 도즈를 HNF 이온주입과 P-Drift 이온주입을 동시에 적용할 정도로 충분히 크게 했을 경우에만 스냅백 홀딩 전압을 동작전압 이상으로 크게 만들 수 있을 것으로 생각된다.

그림 4는 CPS 이온주입 조건을 달리한 NSCR_PPS 변형소자의 등고선 분포를 나타낸 것이다. 그림 4(a)는 스트레스 전류가 0.05mA인 트리거링 포인트 근처에서의 전류흐름은 NSCR_PPS 표준소자[8]와 거의 유사한 양상을 나타내었지만, 전류가 좀 더 넓게 분포하는 양상을 나타내었다. 고전계 영역은 NSCR_PPS 표준소자와 마찬가지로 N-Drift/P-Well의 계면에 집중되어 있지만 그 절대값은 약간 작으며, 특히 수직방향의 경우 전계가 현저하게 감소하는 양상을 나타내었다. 최대 온도 영역도 고전류 영역과 고전계 영역이 겹치는 영역, 즉 1차 게이트 우측 하단의 표면 영역에서 국부적으로 발생하였다.

그림 4(b)는 스트레스 전류가 1mA인 스냅백 홀딩 포인트 근처의 NSCR_PPS 변형소자의 전류 흐름, 고전계 영역 및 온도의 등고선 분포를 보인 것으로 NSCR_PPS 표준소자와 거의 유사한 분포를 나타내었다. 표준소자와 변형소자 사이의 전류흐름과 고전계 영역의 분포가 동일하기 때문에 스냅백 홀딩 포인트 근처에서의 전압강하, 즉 스냅백 홀딩 전압 역시 거의 유사한 값을 나타내었다. CPS_PDr+HNF 소자와 마찬가지로 1차 게이트 우측 하부에 고전계영역이 약간 나타났지만, 그 영역 및 전계가 매우 작기 때문에 전류흐름 및 전압강하에는 거의 영향을 미치지 못할 것으로 예측된다.

그림 4(c)는 열적 브레이크다운이 일어나기 직전인 스트레스 전류가 40mA인 경우 등고선 분포를 나타낸 것이다. 수직방향의 U자 형태로 흐르는 전류가 전류흐름의 대부분을 차지하고 있음을 볼 수 있다. 전계의 경우 1차 게이트 우측 하부에서 시작하여 N+ 확산 소오스 영역을 크게 둘러싸는 형태로 존재하는데 그 전계값이 표준소자에 비해 대략 5배 정도 큼을 알 수 있다. 이 고전계영역과 U자 형태의 전류흐름의 영향으로 전압강하가 증가하는데 겹치는 영역이 표준소자에 비해 넓기 때문에 전압강하 역시 표준소자에 비해 더 크게 나타났다. 마찬가지로 최대 온도 영역도 고전류 영역과 새로 생성된 고전계영역이 겹치는 부분에서 발생하였는데 그 분포는 고전계영역과 거의 일치함을 알 수 있다.

IV. 결론

정전기 보호소자의 설계창(design window)을 만족시킬 수 있는 필요조건 중에서 종래의 NSCR_PPS 표준소자는

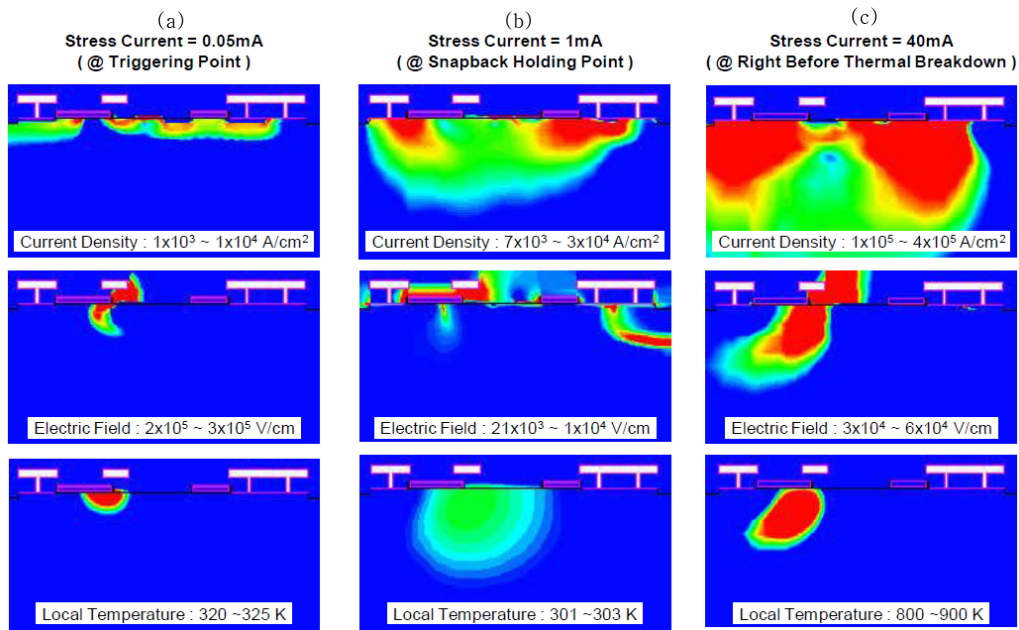


그림 4. CPS 이온주입 조건 변화에 따른 NSCR_PPS 변형소자의 등고선 분석.(숫자는 전계 및 전류밀도의 해당 범위를 나타냄) (a) 트리거링 포인트, (b) 스냅백 홀딩 포인트, (c) 열적 브레이크다운이 일어나기 바로 전

on-저항, 스냅백 홀딩 전압과 열적 브레이크다운 전압이 너무 낮아 정전기 보호소자로 적용이 어려웠으나, 본 연구에서 제안한 것처럼 부분웰 이온주입 영역의 오른쪽 끝을 1차 게이트의 중앙과 일치시킨 구조(PGM)로 변형시키고, N+ 소오스를 둘러싸기 위한 CPS 이온주입으로 P-Drift 이온주입과 HNF 이온주입을 동시에 적용할 경우 안정한 정전기 보호 특성을 얻을 수 있었다. CPS 이온주입 도즈는 소자의 on-저항과 스냅백 홀딩 전압에 영향을 미치는 중요한 변수인 것으로 나타났다. 즉, CPS 이온주입 도즈를 HNF 이온주입과 P-Drift 이온주입을 동시에 적용하여 충분히 크게 했을 경우에만 스냅백 홀딩 전압을 동작전압(Vop) 이상으로 크게 만들 수 있을 것으로 생각된다. 또한 등고선 데이터 분석 결과에 의하면 변형된 NSCR_PPS 소자의 경우에는 고전류 레벨에서도 소자 표면 영역에 형성된 고전계 영역이 거의 그대로 유지되었고, 주 전류경로가 U자 형태로 전환됨으로서 소자의 on-저항의 증가 및 높은 래치업 면역과 유연한 트리거링 전압을 얻을 수 있는 것으로 분석되었다. 따라서 CPS 이온주입과 PGM 구조의 부분웰을 채택한 N형 SCR 변형소자는 위성체나 위성통신기기에 사용되는 고전압용 마이크로 칩의 I/O 응용을 위한 정전기 보호 소자로 사용될 수 있음을 확인하였다.

참 고 문 헌

[1] 임성빈, 김태윤, 장재웅, “저궤도 위성의 ESD 설계 및 해석 도구”, 항공우주산업기술동향 제7권 제1호, pp.88-78, 2009.

[2] 양준원, 서용진, “고전압용 LDI 칩의 정전기 보호를 위한 EDNMOS 소자의 특성 개선”, 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.

[3] 양준원, 서용진, “CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선”, 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.03.

[4] 양준원, 김형호, 서용진, “DDIC 칩의 정전기 보호 소자로 적용되는 EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석”, 통신위성우주산업연구회논문지, 제8권 제2호, pp.36-43, 2013.06.

[5] 양준원, 서용진, “N형 실리콘 제어 정류기 소자의 구조 변형을 통한 정전기 보호 성능의 향상에 대한 연구, 통신위성우주산업연구회논문지, 제8권 제4호, pp.124-129, 2013.12.

[6] 서용진, 양준원, “DPS(Double Polarity Source) 구조를 갖는 고전압 동작용 EDNMOS 소자의 정전기 보호 성능 개선, 통신위성우주산업연구회논문지, 제9권 제2호, pp.12-17, 2014.06.

[7] 양준원, 서용진, “NESCR 소자에서 정전기 보호 성능 향상을 위한 최적의 p-Well 구조설계”, 통신위성우주산업연구회논문지, 제9권 제3호, pp.15-21, 2014.09.

[8] 양준원, 서용진, “PPS 소자가 삽입된 N형 SCR 소자에서 부분웰 구조가 정전기 보호 성능에 미치는 영향”, 통신위성우주산업연구회논문지, 제9권 제4호, pp.63-68, 2015.12.

[9] A. Chatterjee and T. Polgreen, “A low-voltage triggering SCR for on-chip ESD protection at output and input pads,”

IEEE Electron Device Lett., vol.12, pp. 21-22, Jan. 1991.

[10] M. D. Ker, H. H. Chang, and C. Y. Wu, “A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low voltage CMOS IC’s,” IEEE J. Solid-State Circuits, vol. 32, pp. 38-51, Jan. 1997.

[11] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, “A novel gate coupled SCR ESD protection structure with high latchup immunity for high-speed I/O pad,” IEEE Electron Device Lett., vol. 25, pp. 328-330, May 2004.

[12] J. E. Barth, K. Verhaege, L. G. Henry and J. Richner, “TLP calibration, correlation, standards, and new techniques,” IEEE Trans. Electron. Packaging Manufact. vol. 24, Issue 2, pp. 99-108, 2001.

저자

양 준 원(Jun-Won Yang)

정회원



- 1989년 2월 : 영남대학교 전자공학과 학사졸업
- 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
- 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료

· 1999년 3월 ~ 현재 : 세한대학교 정보물류학과 교수

<관심분야> : 위성통신, 전자파 해석

서 용 진(Yong-Jin Seo)

정회원



- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
- 1989년 2월 : 중앙대학교 전기공학과 석사졸업
- 1994년 2월 : 중앙대학교 전기공학과 박사졸업

· 1995년 3월 ~ 현재 : 세한대학교 교수

· 2004년 3월 ~ 현재 : 세한대학교 나노정보소재연구소 소장

<관심분야> : 반도체소자, 정전기보호소자, CMP공정