

# 데이터링크 통신을 위한 PLL 주파수합성기 설계

권상철\* · 강경식\*\*

\*에이스안테나 방산 연구소 · \*\*명지대학교 산업경영공학과

## Design of PLL Frequency Synthesizer for Data Link Communication

Sang-Chul Kwon\* · Kyung-Sik Kang\*\*

\*Corp. Ace Antenna.

\*\*Department of Industrial Management Engineering, Myongji University

### Abstract

For the first time, PLL frequency synthesizer using DDS was adapted for the data link communication system which should fast transmit and receive each other with the correct information and fast Hopping System. It is inevitable to lost the synchronization by slow lock time about PLL and no cut off the noise. This paper propose the design of PLL frequency synthesizer which can make 800MHz frequency range. The PLL frequency synthesizer has three high qualities those are frequency accuracy, fast lock time and outstanding phase noise.

**Keywords** : Data Link, PLL, DDS, Frequency Synthesizer

### 1. 서론

전투에 소규모 플랫폼이 참여하고 소규모 전투에서 음성통신을 통한 상황 공유만 가능하면 전투가 가능했던 과거의 전투 방식에서 현대전의 전투방식은 전투기, 함정, 대공 미사일 수량이 급격히 증가함으로써 동시 다발적인 전투 수행은 물론 공유할 상황 정보 증가로 음성통신만으로는 해결이 불가능하다. 이에 따른 전술 데이터링크 활용이 필수적이며 앞으로의 미래전은 NWC(Network Centric Warfare)중심의 전투방식으로 발전 될 것이다. NWC 운용 개념은 네트워크로 연결된 군대의 효과적 정보 공유를 가능 하게 하고, 공유된 정보는 상황 인식의 질을 개선작업을 거치며, 공유된 상황인식은 명령 전파속도를 최대화 하여 임무 수행 효과가 극적 향상을 시킬 수 있게 하는 전투 운용 방식

이다. 다시 말하면 미래전은 작전 요소들을 연결시켜 실시간 센서를 슈터간 연동해서 동시적인 작전 계획과 작전 수행이 가능한 동시, 통합전으로 수행 될 것이다. 이러한 NWC중심의 전술 체계에 중요한 부분을 담당하는 시스템이 전술 데이터링크 시스템이다. 다시말해서 주파수 도약시스템 (Frequency Hopping System)에서 정확하고 빠른 도약을 위한 PLL 주파수합성기 개발은 필수적이다. 이에 본 논문에서는 DDS를 이용해 데이터링크에 필요한 800MHz의 출력 주파수를 내는 PLL 주파수합성기를 설계 제안 하였다. 설계된 PLL 주파수합성기는 전술 데이터링크 시스템 주파수인 VHF 대역에서 정확한 발진 주파수를 가지고 빠른 Lock time과 우수한 Phase Noise 특성을 가진다.

†Corresponding Author : Kyung-Sik Kang, Industrial and Engineering, Myongji University, Yongin 449-728, Korea, E-mail : kangks@mju.ac.kr

Received July 20, 2015; Revision Received September 17, 2015; Accepted September 18, 2015.

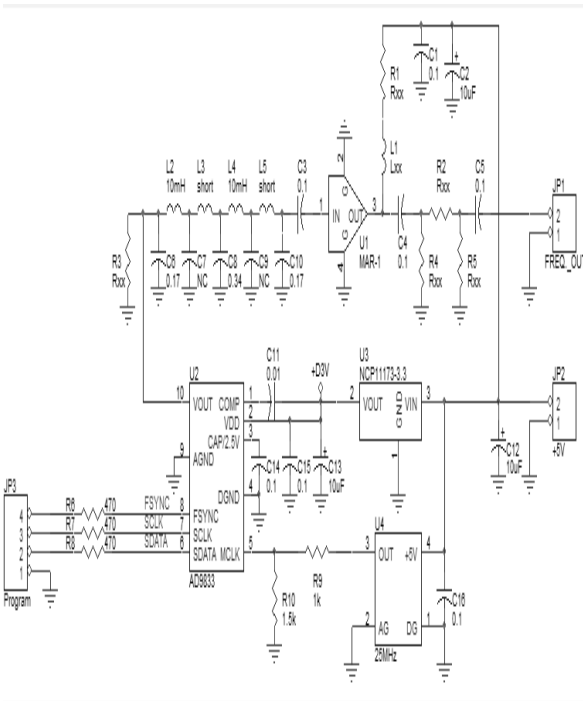
## 2. 관련 연구

### 2.1 DDS를 이용한 PLL 주파수합성기 모델링

설계된 DDS 규격과 회로구성도는 표 1. 그림1. 과 같다.

<Table 1> DDS Specification

Specification	Unit	Target	Result
Frequency	MHz	7	7
Frequency Accuracy	Hz	3	0.02
Wide band Spurious	dBc	-70	-73.6
Narrow band Spurious	dBc	-100	-120



[Figure 1] DDS Circuit diagram

설계하고자 하는 DDS의 출력 주파수는 7MHz이므로 Nyquist 주파수인 14MHz 이상의 기준 클럭 주파수를 사용하여야 한다. 본 논문에서는 25MHz의 상용화된 TCXO를 기준 클럭으로 사용하여 7MHz의 DDS

출력을 얻은 뒤, 설계된 엘리머싱 억압 필터를 이용하여 최종 DDS 출력 정현파를 얻을 수 있도록 하였다. 설계된 DDS 모듈의 회로는 그림 2.4에 나타내었다. AD9833은 출력이 약하여 엘리머싱 억압 필터를 통과한 후에 앰프를 달아 출력을 증폭시켜 주었다.

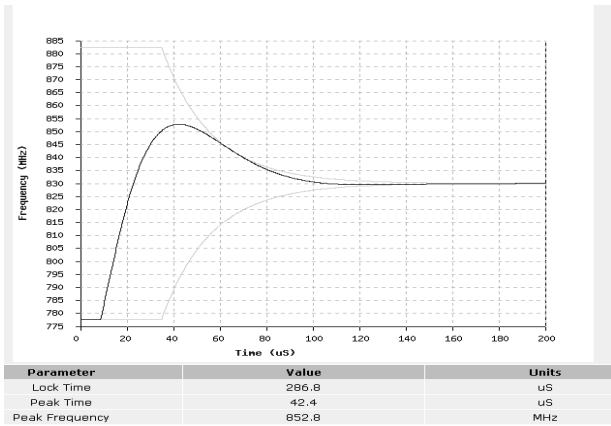
PLL 주파수합성기의 설계 규격은 DDS를 이용한 주파수발생기의 설계 규격에서 주파수 채배에 따라 저해되는 특성을 고려하여 정하였다. 본 논문에서 사용되는 PLL IC는 National Semiconductor사의 LM2326을 사용하였다. 설계된 PLL 주파수합성기의 규격은 표 2. 과 같다.

<Table 2> DDS/PLL Synthesizer Specification

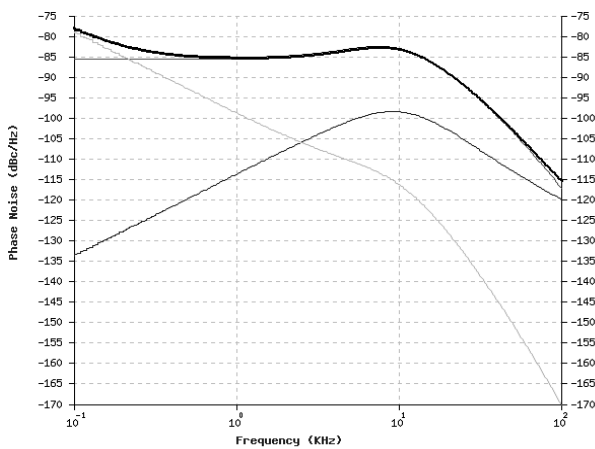
Specification	Unit	Target
Frequency	MHz	800
Input DC	V	5
Standard Frequency	MHz	7
Spurious	dBc	<-70
Phase Noise	dBc/Hz @1kHz offset	<-80

### 2.2 PLL 주파수합성기 모델 Simulation

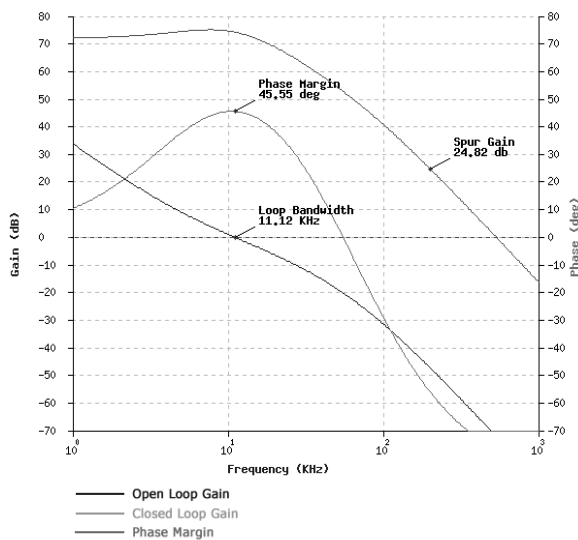
설계된 PLL회로의 특성을 미리 알아보기 위해 National Semiconductor사에서 제공하는 시뮬레이션을 이용하여 특성을 알아보았다. 아래에 보이는 그림 2, 3, 4가 각각 Lock time analysis, Phase noise, Bode plot를 나타내는 그림이다.



[Figure 2] Lock time analysis



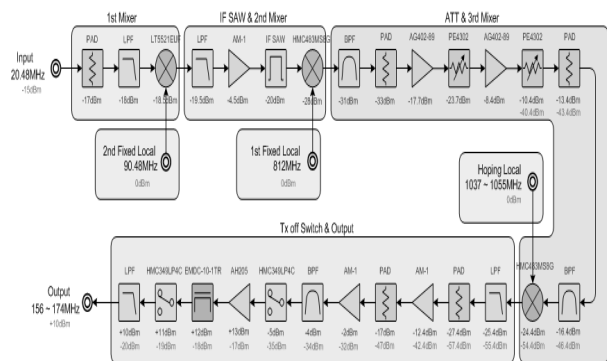
[Figure 3] Phase noise



[Figure 4] Bode plot

## 2.3 PLL 주파수합성기가 적용 된 데이터링크 시스템 블록도

PLL 주파수합성기가 적용되는 전송 데이터링크 시스템에 들어가는 상하향변환모듈은 그림 5. 과 같은 블록도로 구성되어 있다.

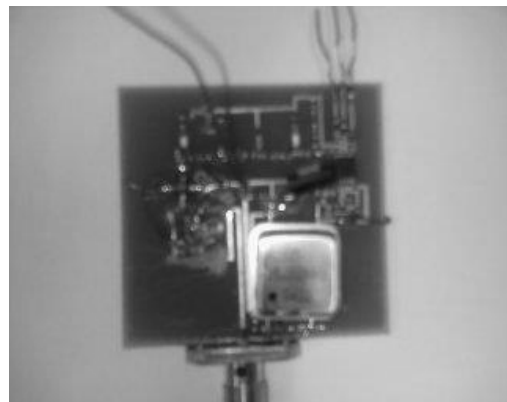


[Figure 5] Up/Down Converter Module Block Diagram in Datalink

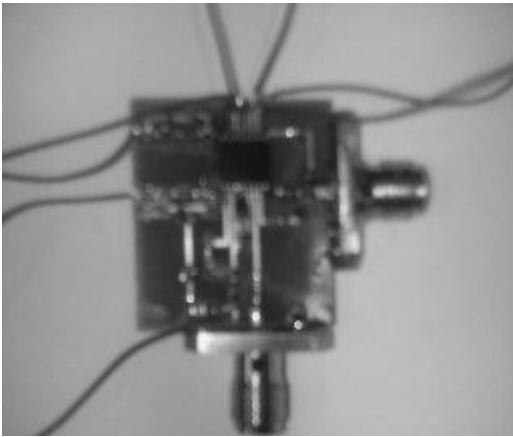
위의 그림에서와 같이 상하향변환 모듈 구조는 3 Times 슈퍼 헤테로다인 구조로써 3번의 믹서를 거쳐 운용 주파수를 Up/Down 해주는 구조이다. 적용 된 PLL 주파수합성기는 1st Fixed Local 주파수 812MHz를 발생시키는 사용 되었으며 빠른 도약 시스템에 필요한 빠른 Lock Time, 우수한 Phase Noise 특성을 가진 PLL로 구성되어 있다.

## 2.4 PLL 주파수합성기 제작 및 측정

실제로 설계하여 제작한 DDS 및 PLL 사진은 그림 6, 7 이다.

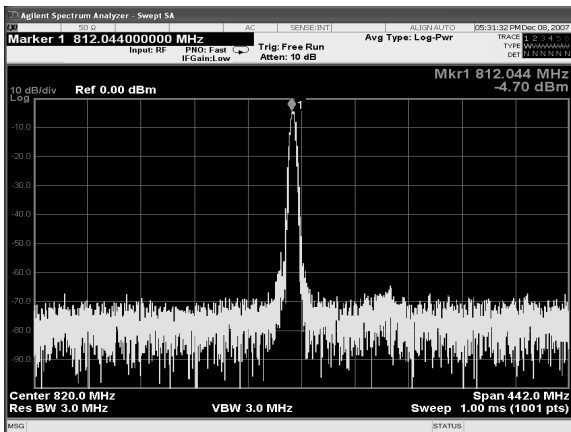


[Figure 6] Designed DDS Picture



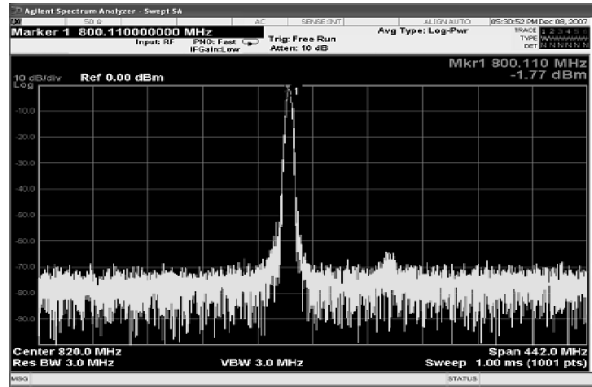
[Figure 7] Designed PLL Picture

제작한 DDS의 출력 주파수를 Reference 주파수로 받아서 측정하였다. 측정 결과는 아래의 그림과 같이 최종적으로 DDS/PLL Hybrid 출력 주파수를 얻었다. 그림 7. 는 출력 주파수로 812MHz가 나온 것을 볼 수 있다.



[Figure 8] Before Input Frequency in PLL

프린터 포트를 통해서 각각의 데이터 핀에 데이터를 입력하여 800MHz의 출력주파수를 얻고자 하였다. PLL의 R counter는 35였고 N counter는 4000이었다. 잡음은 측정하지 않았으나 5V의 직류공급원을 통해서 7MHz의 기준주파수를 받아 800MH의 출력주파수를 얻은 것을 확인할 수 있었다.



[Figure 9] Before Output Frequency in PLL

### 3. 결론

현대 전자전의 중요한 역할을 하는 전술 데이터링크 시스템에 필요한 빠른 lock time, 고해상도를 갖는 PLL 주파수합성기를 DDS를 이용하여 설계 및 제작하였다. DDS는 높은 주파수 해상도, 빠른 lock time, 낮은 위상잡음 등의 장점이 있지만, 출력 주파수가 낮은 단점이 있다. 그러나 출력 주파수가 높은 PLL의 기준 주파수로 DDS를 사용하면 주파수를 높일 수 있고 고해상도의 주파수 발생모듈을 구현할 수 있다. 그런데 DDS의 출력 주파수를 PLL의 기준 주파수로 사용할 경우 DDS의 주파수 해상도, 위상잡음, 그리고 스퓨리어스 특성이 저하된다. 그중 실제 시스템에 사용하는데 가장 문제가 되는 것은 스퓨리어스 특성이다.

제작된 DDS는 25MHz를 기준 클럭을 사용하여 7MHz의 출력 주파수를 얻었다. 이와 같은 특성의 DDS를 PLL모듈의 기준 주파수로 사용하여 최종 주파수인 800MHz를 얻었다. 본 논문에서는 성능에는 관심을 두지 않고 최종 출력 주파수를 얻고자 하였다. 하지만 보다 좋은 성능을 얻고자 한다면 DDS에서는 최우선적으로 앨리어싱 억압필터의 설계가 중요하다고 하겠다. 또한 DDS 회로와 PLL 회로의 격리도를 높임으로써 스퓨리어스 특성을 개선시킬 수 있을 것이다. PLL에서는 정확한 스펙에서의 루프필터 설계가 최우선적으로 진행되어야 하며 성능 좋은 Reference 주파수를 사용하여야 한다. VCO의 성능을 개선하기 위해서는 출력단에 Lowpass 필터를 달아줌으로서 하모닉 성분을 제거할 수 있을 것이다. 성능보다는 최종 출력을 얻고자 하였기에 잡음 개선 방법은 크게 고려하지 않았지만 후에 다시 제작을 한다면 이러한 점들을 고려하여 최적화된 PLL 주파수합성기를 설계, 제작할 수 있을 것이라 생각된다.

미래 전자전은 계속해서 얼마만큼 빠르고 날카롭게 정보를 공격 하는 창을 만드는가와 얼마만큼 두껍고 안전하게 정보를 보호 하는 방파를 만드는가에 대한 전략으로 발전하고 있다. 이에 따라 전자전에 사용되어지는 전술 데이터링크 시스템의 주파수 도약 성능 또한 계속해서 발전하고 있다. 이러한 도약 속도를 만족하면서 높은 해상도를 가진 PLL 주파수합성기를 계속해서 연구 하고 발전 시키면 그 어떠한 정보 공격이 와도 방어할 수 있는 훌륭한 무기를 만들 수 있다고 생각된다.

## 5. References

- [1] Yun-Soo Ko(1999), "Design and Fabrication of PLL module for WLL" Department of Radio Science & Engineering, Graduate School Chungnam National University.
- [2] Joon-Gyu Ryu(2001), "Design and Fabrication of Fractional-N PLL module for IMT-2000", Department of Radio Science & Engineering, Graduate School Chungnam National University.
- [3] Choong-Ho Zee(2005), "Design and Fabrication of DDS/PLL Hybrid Wideband Frequency Synthesizer", Department of Radio Science & Engineering, Graduate School Chungnam National University.
- [4] Ki-Jeong Lee(2003), "Design and Fabrication of DDS-driven PLL", Department of Radio Science & Engineering, Graduate School Chungnam National University.
- [5] Kyung-Soo Ha(2004), "Design and Fabrication of DDS/PLL Hybrid Frequency Synthesizer", Department of Radio Science & Engineering, Graduate School Chungnam National University.
- [6] Yong Kim(1999), "The Design and Fabrication of Voltage-Controlled Oscillator in C-Band", Department of Radio Science & Engineering, Graduate School Chungnam National University.
- [7] Soo-Seul Hwang(2000), "Design and Fabrication of Dual-Mode PLL module using Switchable VCO", Department of Radio Science & Engineering, Graduate School Chungnam National University.

## 저 자 소 개

### 권 상 철



가톨릭 대학교 정보시스템공학 학사 취득. 현재 명지대학교 대학원 산업경영공학과 석박사통합 과정 중.  
관심분야 : 방위산업시스템 공학, 품질경영공학, 산업시스템공학, 항공시스템공학, 체계공학

### 강 경 식



인하대학교 산업공학과에서 학사석사박사와 연세대학교경희대학교에서 경영학 석사박사 취득. North Dakota State Univ.에서 Post-Doc과 Adjunct Professor 역임. 현재 명지대학교 산업경영공학과 교수로 재직 중. 주요 관심분야는 생산관리, 물류관리, 안전경영 등이다.