

논문 2015-52-10-8

실제적 구조를 가진 벌크 및 SOI FinFET에서 발생하는 동적 self-heating 효과

(Dynamic Self-Heating Effects of Bulk and SOI FinFET with Realistic Device Structure)

유 희 상*, 정 하 연**, 양 지 운**

(Heesang Ryu, Hayun Cecillia Chung, and Ji-Woon Yang[©])

요 약

본 연구에서는 실제적 구조를 가지는 bulk와 SOI FinFET에서의 self-heating 효과를 3차원 TCAD 전산모사를 통하여 분석하였다. 기존 연구들에서와 마찬가지로 self-heating 효과에 의해 나타나는 정적인 구동전류의 감소는 SOI FinFET에서 bulk FinFET보다 더 심각함을 보여주고 있다. 그러나 고속의 logic 동작 및 실제적 구조를 감안하면 SOI FinFET에서의 동적 self-heating 효과는 bulk FinFET과 큰 차이가 없음을 강조한다.

Abstract

Self-heating effects of bulk and SOI FinFETs on device structure are examined with TCAD simulation. The degradation of drive current in SOI FinFET is severer than that of bulk one in steady-state condition as expected. However, it is shown that the dynamic self-heating effects of SOI FinFETs are comparable to those of bulk FinFETs for high speed logic operation, especially in realistic device structure.

Keywords : TCAD simulation, SOI, FinFET, dynamic, self-heating effects

I. 서 론

SOI 기판을 사용하여 제작된 FinFET은 bulk 기판을

사용한 경우에 비해 buried-oxide (BOX) layer의 낮은 열전도율 때문에 self-heating effects (SHEs)에 취약한 것으로 알려지고 있다^[1]. 그러나 TCAD simulation을 이용한 연구 중 많은 경우, 최근 제작되는 FinFET 구조가 아닌 단순화된 구조를 사용하고 있고^[2~4] 또한 DC 특성을 위주로 SHEs를 예측하고 있어^[4~7] 실제 logic 동작에서 SHEs에 의한 동작 전류 감소를 정확히 예측하지 못하고 있는 실정이다. 본 연구에서는 TCAD simulation^[8]을 이용하여 bulk와 SOI 기판을 사용한 FinFET의 DC특성 뿐만 아니라 Dynamic 동작 하에서의 SHEs를 고찰하였다. 이때 simulation을 위한 소자의 구조는 그림 1(a)에서와 같이 단순화된 구조 (simplified

* 학생회원, ** 정회원, 고려대학교 과학기술대학 전자 및정보공학과

(Department of Electronics and Information Engineering, Korea University)

※ 본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업융합원천기술개발사업의 일환으로 수행하였음. [10039174, 22nm급 이하 파운드리 소자 및 PDK 기술개발]

© Corresponding Author(E-mail: jyang@korea.ac.kr)

Received ; March 20, 2015 Revised ; August 4, 2015

Accepted ; October 2, 2015

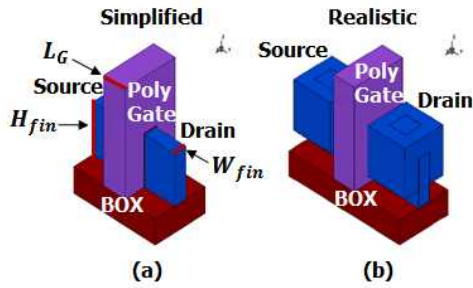


그림 1. (a) 단순화된 구조의 SOI FinFET
(b) 실제적 구조의 SOI FinFET.
Fig. 1. (a) Simplified structure in SOI FinFET
(b) Realistic structure SOI FinFET.

structure)와 1(b)에서와 같은 실제적 구조(realistic structure)를 사용하여 그 특성을 비교하였다.

II. TCAD Simulation을 위한 소자 구조

그림 1(b)에서 SHEs 예측을 위한 실제적 소자 구조는 보다 정확한 예측을 위하여 source/drain (S/D) 영역의 selective epitaxy 공정에 의한 raised source/drain (RS/D) 구조를 가정하였다. 이때 RS/D 영역의 가로와 세로는 각각 45nm, 높이로는 40nm의 부피를 설정하였다. 표 1은 본 연구에서 TCAD simulation에 사용된 bulk와 SOI FinFET의 구조적 변수이다. 각 FinFET의 Pre Metal Dielectric (PMD)의 두께는 200nm로 가정되었고 그 위로 Isothermal 300K의 heat sink가 주어졌다. 또한 FinFET 소자 아래로는 1.8 μ m의 Si 기판층을 두고 그 아래에 Isothermal 300K의 heat sink를 가정하였다^[6].

표 1. SOI와 Bulk FinFET의 구조적 파라미터들.
Table 1. Structural parameters for Bulk and SOI FinFETs

Parameters	Bulk	SOI
Channel doping conc. [cm^{-3}]	10^{18}	10^{15}
S/D doping conc. [cm^{-3}]	10^{20}	10^{20}
Buried Oxide thickness [nm]	N.A	20
Swallow trench isolation thickness [nm]	60	N.A
S/D extension length [nm]	10	10
Gate Oxide thickness [nm]	1.1	1.1
Gate Workfunction [eV]	4.67	4.70
Channel Length (L_g) [nm]	25	25
Fin Height (H_{fin}) [nm]	40	40
Fin Width (W_{fin}) [nm]	13	13

III. 결과 및 토의

1. 정상상태에서의 self-heating 효과

정상상태 (steady-state)에서 SOI와 bulk FinFET의 격자온도를 알아보기 위해 드레인 전압 (V_d)과 게이트 전압 (V_g)은 각각 DC 1V로 설정하였다. 그림 2의 격자 온도 contour에서 보이는 바와 같이 bulk FinFET에서는 채널이 형성되는 Fin 아래에 열전도도가 좋은 silicon으로 이루어져 있어 기판방향으로 열이 잘 전도되고 있음을 알 수 있다. 반면 SOI FinFET에서는 열전도도가 낮은 SiO₂로 구성된 BOX로 인해 아래 기판방향으로의 열전도도가 낮다. 따라서 drain extension의 hot spot에서 발생한 열이 주로 S/D contact을 통해 전도되고 있음을 알 수 있다^[7].

그림 3은 실제적 구조의 SOI FinFET (a) 과 bulk FinFET (b)에서 V_d 에 따른 드레인 전류 (I_d) 특성을 보여준다. 두 소자에서 나타나는 SHEs를 공정하게 비교하기 위하여 게이트 일함수 (gate workfunction)와 채널 불순물 농도 (channel doping)를 조절하여 DIBL, V_t , off current를 두 구조에 있어 동일하게 맞추었다. 이때 V_g 는 1V로 인가하고 I_d 는 $H_{fin} + W_{fin}$ 으로 normalize하였다. SHE가 없을 때의 I_d 는 SOI FinFET에서 1.28mA/ μ m, Bulk FinFET에서 1.21mA/ μ m로 SOI FinFET에서 0.07mA/ μ m만큼 더 큰 값을 갖는다. SHEs를 고려하였을 때에 각각 SOI가 1.04mA/ μ m, bulk가 1.05mA/ μ m로 SOI FinFET에서의 I_d 가 더 크게 감소하며 이는 그림 2의 결과에서 보듯 BOX에 의한 채널 영역의 격자온도 상승의 결과이다.

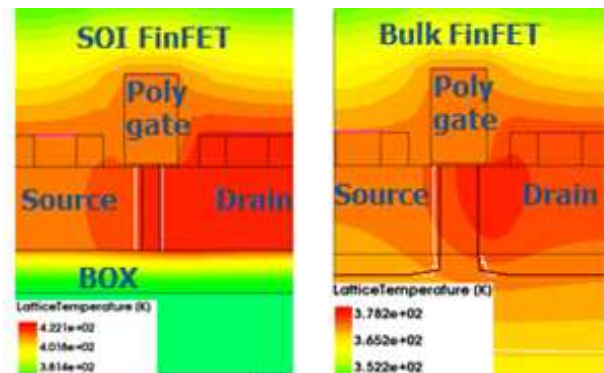
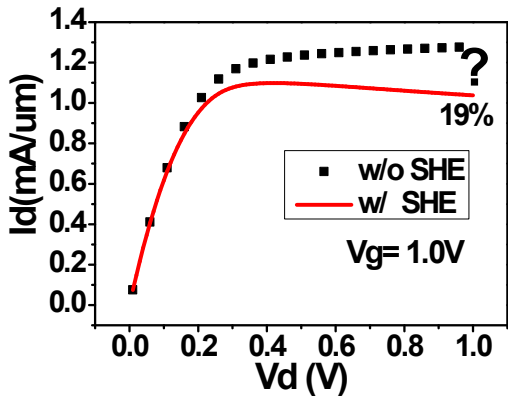
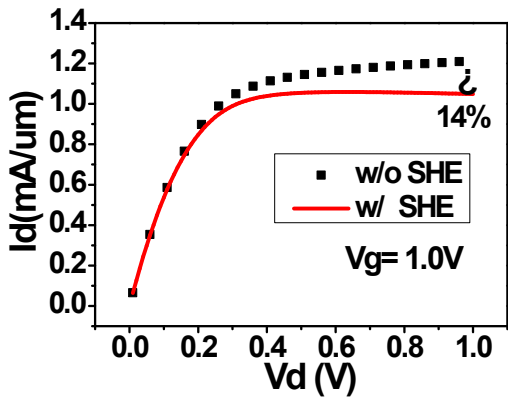


그림 2. SOI 와 Bulk FinFET에서의 격자 온도 contour
Fig. 2. Lattice temperature contour in SOI and Bulk FinFETs.



(a)



(b)

그림 3. 실제적 구조의 (a) SOI 와 (b) bulk FinFET에서의 Id-Vd 특성

Fig. 3. Id-Vd curve for realistic structure in (a) SOI and (b) bulk FinFETs.

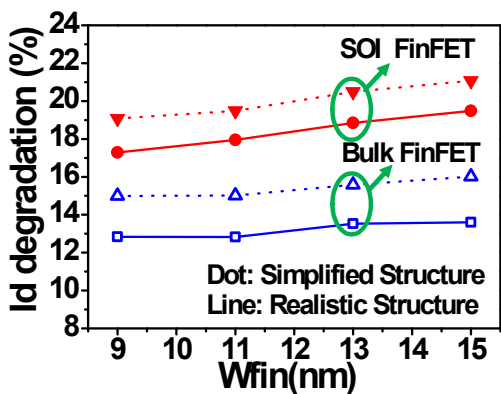


그림 4. 단순화된 구조와 실제적 구조의 Wfin에 따른 Id 감소 의존성

Fig. 4. Id degradation dependence with Wfin in simplified and realistic structures.

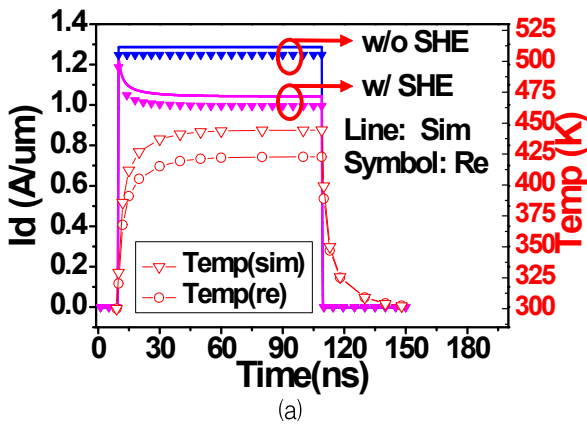
그림 4는 단순화된 구조와 실제적 구조에서 Wfin의 변화에 따른 Id degradation 변화를 보여주고 있다. SOI 와 bulk FinFET 모두 Id degradation이 단순화된 구조보다 실제적 구조에서 줄어든 것을 알 수 있다. 이는 실제적 구조의 source/drain이 에피 성장을 통해 그 부피가 커지고 thermal resistance (RTH)가 줄기 때문이다. 또한 그래프에 보이는 것처럼 Wfin의 증가에 따라 Id degradation이 증가하고 있다. 이는 Lg가 25nm로 고정되어 있는 것에 비해 Wfin이 커짐에 따라 단채널 효과가 증가하고, 이에 따른 Id 증가로 격자온도가 상승함에 기인한다. 특히 SOI 구조에서 이러한 경향이 상대적으로 크게 나타나는 것을 볼 수 있는데, 이는 저농도로도 평평된 채널을 가진 SOI FinFET이 Wfin 증가에 따른 단채널 효과 심화에 취약하기 때문이다.

2. 동적 self-heating 효과

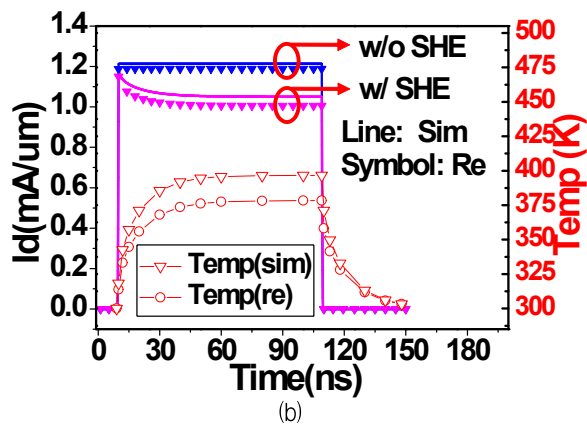
각각의 구조에서 동적 SHEs를 고찰하기 위해 Vd는 dc 1V로 주어지고 Vg는 펄스 전압을 인가하였다. 이때 gate의 peak 전압은 1V이고 pulse width는 100ns, rise time과 fall time은 각각 1ns로 주어졌다. 그림 5는 이러한 바이어스 조건하에서 각각의 구조의 Id와 격자온도의 변화를 나타낸 그래프이다. Pulse인가 직후 급격한 격자온도의 상승과 그에 따른 Id의 degradation을 보여주고 있다. 수 ns내에 발생하는 동적 self-heating 효과는 측정 장비 등의 한계에 의해 실제적 측정을 통해 밝히기는 어려우나^[9] TCAD simulation을 이용한 기존연구에서는 이와 비슷한 결과를 보여주고 있다^[10-11].

III-1 섹션에서의 정상상태 결과에서 보여진 바와 같이 그림 5 (a)에서의 SOI FinFET의 경우가 (b)의 bulk FinFET 경우보다 격자온도가 더 높게 올라가고 Id의 degradation이 더 커서 SHEs에 취약함을 알 수 있다^[12]. 또한 단순화된 구조의 경우 실제적 구조에 비해 Source/Drain 영역의 RTH가 크기 때문에 격자온도가 더 높게 형성됨을 관찰할 수 있다.

또 한 가지 주목할 사항은 Vg가 인가된 직후 시간에 따른 격자온도의 증가가 SOI FinFET의 경우 bulk FinFET보다 급격하게 이루어지는 것이다. 이는 Fin 아래가 열전도율이 낮은 BOX로 형성된 SOI FinFET과 달리 bulk FinFET은 Fin이 기판과 연결된 구조이고 이로 인해 그 thermal capacitance (CTH)가 SOI보다 bulk FinFET에서 더 큰 값을 갖기 때문이다.



(a)



(b)

그림 5. (a)SOI 와 (b)Bulk FinFET에서 Pulsed Id 특성과 격자 온도 (w/o SHE: without self-heating effect, w/ SHE: with self-heating effect, Re: realistic FinFET, Sim: simplified FinFET).

Fig. 5. Pulsed Id and lattice temperature curve in (a)SOI and Bulk FinFETs (w/o SHE: without self-heating effect, w/ SHE: with self-heating effect, Re: realistic FinFET, Sim: simplified FinFET).

일반적 고속 로직동작 하에서의 SHEs를 살펴보기 위해 gate에 인가하는 전압의 pulse폭을 변화시켜 가며 각 구조에서 self-heating에 의한 Id degradation을 그림 6에 나타내었다. Pulse 폭이 줄어들수록 Id degradation이 줄고 있으며, 특히 SOI의 경우 더 급격히 줄어드는 것이 관찰되고 있다. 단순화된 구조와 실제적 구조에서의 Id degradation 차이를 더 자세히 살펴보기 위하여 그림 7에 그 비율로 나타내었다. 그림 4에서 나타낸 정상상태에서의 결과와 마찬가지로 동적 self-heating도 단순화된 구조에 비해 실제적 구조에서 Id degradation이 작은 것을 알 수 있다. 특히, SOI

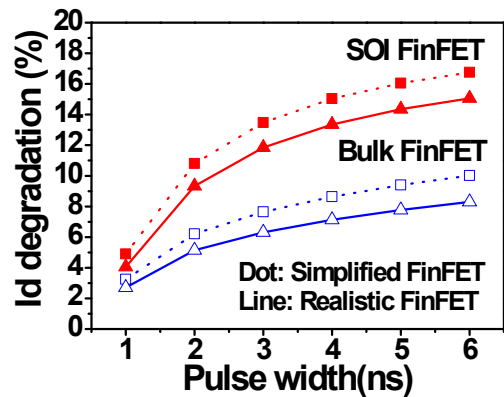


그림 6. SOI 와 Bulk FinFET에서 나타나는 게이트 전압 pulse width에 따른 Id degradation 특성 의존성

Fig. 6. Id degradation dependence curve with pulse width of gate voltage in SOI and Bulk FinFETs.

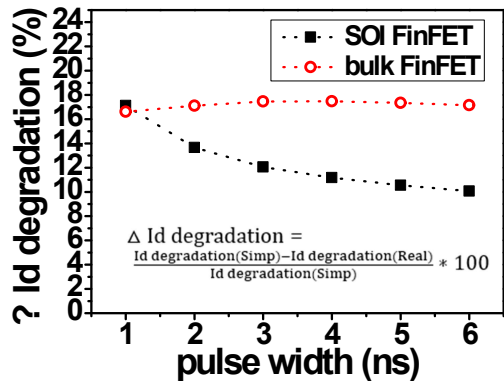


그림 7. 단순화된 구조와 실제적 구조의 Id degradation의 상대적 비율

Fig. 7. Relative rates of Id degradation for simplified and realistic structures.

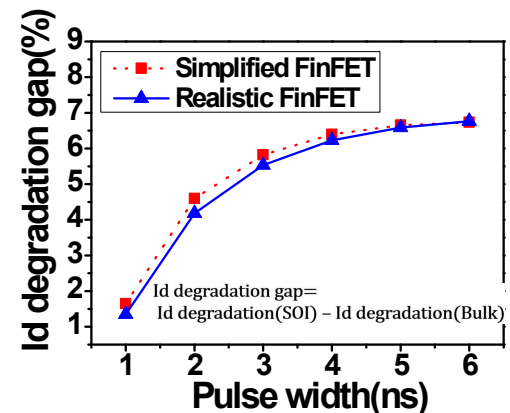


그림 8. SOI 와 Bulk FinFET의 Id degradation 차이

Fig. 8. Id degradation gap for SOI and Bulk FinFETs.

FinFET에서는 Pulse 폭이 줄어들수록 Id degradation 차이가 증가함이 관측된다. 이는 SOI의 경우 실제적 구조를 갖는 경우의 Id degradation 감소효과가 고속 동작에서 더 크게 나타남을 의미하고 있다. 그림 8은 그림 6의 결과를 이용하여 SOI와 bulk FinFET의 Id degradation 차이를 나타낸 그래프이다. 결과에서 보듯 gate 전압의 pulse 폭이 줄어들수록 bulk 와 SOI FinFET에서의 Id degradation 차이가 줄어들고 있으며 실제적 구조에서 그 차이가 더욱 작은 것을 알 수 있다. 그러므로 고속으로 로직 동작하는 SOI FinFET에서 그 SHEs에 의한 Id degradation이 기존 알려진 것 보다는 심각하지 않음을 본 연구 결과로서 예측할 수 있다.

IV. 결 론

3D TCAD simulation을 이용하여 Bulk와 SOI 기판을 사용한 FinFET의 Dynamic 동작 하에서의 SHEs를 고찰한 결과 실제 제작되는 FinFET의 구조와 고속의 로직 동작을 감안하면 SOI FinFET의 SHEs가 bulk FinFET에 비해 기존 예측만큼 심각하지 않음을 알 수 있다.

REFERENCES

- [1] L. T. Su, J. E. Chung, D. A. Antoniadis, K. E. Goodson, and M. I. Flik, "Measurement and modeling of self-heating in SOI nMOSFET's," *IEEE Trans. Electron Devices*, vol. 41, no. 1, pp. 69 - 75, Jan. 1994.
- [2] S. Cho, J. S. Lee, K. R. Kim, B. G. Park, J. S. Harris, and I. M. Kang, "Analyses on small-signal parameters and radio-frequency modeling of gate-all-around tunneling field-effect transistors," *IEEE Trans. Electron Devices*, vol. 58, no. 12, pp. 4164 - 4171, Dec. 2011.
- [3] Makovejev, Sergej, Sarah Olsen, and J. Raskin. "RF extraction of self-heating effects in FinFETs." *IEEE Trans. Electron Devices*, vol. 58, no. 10, pp. 3335-3341, Oct. 2011.
- [4] M. Braccioli, G. Curatola, Y. Yang, E. Sangiorgi, and C. Fiegna, "Simulation of self-heating effects in different SOI MOS architectures," *Solid State Electron.*, vol. 53, no. 4, pp. 445 - 451, Apr. 2009.
- [5] C. Fiegna, Y. Yang, E. Sangiorgi, and A. G. O'Neill, "Analysis of self-heating effects in ultrathin-body SOI MOSFETs by device simulation," *IEEE Trans. Electron Devices*, vol. 55, no.1, pp. 233 - 244, Jan. 2008.
- [6] M. Braccioli, G. Curatola, Y. Yang, E. Sangiorgi, and C. Fiegna, "Simulation of self-heating effects in 30nm gate length FinFET," in *Proc. Int. Conf. ULIS*, pp. 71 - 74, 2008.
- [7] Shrivastava, Mayank, et al. "Physical insight toward heat transport and an improved electrothermal modeling framework for FinFET architectures." *IEEE Trans. Electron Devices*, vol. 59, no. 5, pp.1353-1363, May 2012
- [8] Senterius Device User Guide, Ver. C-2009.06, Synopsis.
- [9] S. Makovejev, S. H. Olsen, V. Kilchytska, and J.-P. Raskin, "Time and Frequency Domain Characterization of Transistor Self-Heating," *IEEE Trans. Electron Devices*, vol. 60, no. 6, pp. 1844-1851, 2013.
- [10] A. J. Scholten, G. D. J. Smit, R. M. T. Pijper, L. F. Tiemeijer, H. P. Tuinhout, J.-L. P. J. van der Steen, A. Mercha, M. Braccioli, and D. B. M. Klaassen, "Experimental assessment of self-heating in SOI FinFETs," in *IEDM Tech. Dig.*, 2009, pp. 305 - 308.
- [11] T. Takahashi, N. Beppu, K. Chen, S. Oda, and K. Uchida, "Thermal-Aware Device Design of Nanoscale Bulk/SOI FinFETs: Suppression of Operation Temperature and Its Variability," *Tech. Dig. IEDM*, pp. 177 - 180, 2011.
- [12] Pop, Eric, Sanjiv Sinha, and Kenneth E. Goodson, "Heat Generation and Transport in Nanometer - Scale Transistors," *Proceedings of the IEEE*, vol. 94, no. 8, pp. 1587-1601, Aug. 2006.

— 저 자 소 개 —



유 희 상(학생회원)
2014년 고려대학교 전자정보공학과 학사 졸업.
2015년 현재 고려대학교 전자정보공학과 석사 재학 중.
<주관심분야 : 반도체 소자, 공정>



정 하 연(정회원)
2002년 서울대학교 전기컴퓨터공학부 학사 졸업.
2004년 서울대학교 전기컴퓨터공학부 석사 졸업.
2009년 Harvard University Electrical Engineering 박사 졸업.
2009년~2011년 Keio University Electrical Engineering 연구교수
2012년~2013년 KAIST Electrical Engineering 연구교수
2015년 현재 고려대학교 전자정보공학과 조교수
<주관심분야 : 반도체 회로설계, 소자, 공정>



양 지 운(정회원)-교신저자
1991년 고려대학교 전기공학과 학사 졸업.
1995년 고려대학교 전기공학과 석사 졸업.
2004년 University of Florida Electrical & Computer Engineering 박사 졸업.
2015년 현재 고려대학교 전자정보공학과 부교수
<주관심분야 : 반도체 회로설계, 소자, 공정>