

MCU에 내장된 플래시 메모리 오동작 테스트 가능한 ROM Writer 개발

(Development of a ROM Writer for Shmoo Test of a
Flash Memory Integrated into the MCU)

김 태 선¹⁾, 박 차 훈^{2)*}

(Tae-Sun Kim and Cha-Hun Park)

요 약 본 논문은 MCU에 내장된 플래시 메모리의 오동작 테스트를 shmoo 테스트 기법을 사용하고, 이 기능을 내장한 롬라이터 개발에 관한 논문이다. shmoo 테스트는 다양한 입력조건에 대한 응답을 도표로 나타내고 분석하는 기법으로, 마이크로프로세서, ASIC 및 메모리와 같은 집적회로 또는 컴퓨터 시스템의 성능분석의 기법으로 사용된다. 개발된 롬라이터는 Shmoo 검사를 수행하고 Flash 32K의 쓰기를 수행하였을 때 6.4s 정도의 시간이 소요되었으며, 이는 현재 사용하고 있는 ROM Writer의 속도에 비해 약 20% 정도 향상되었다.

핵심주제어 : 메모리 테스트, shmoo 테스트, 롬라이터

Abstract This paper presents the development of a ROM writer for shmoo test of a flash memory integrated into the MCU(Micro Controller Unit). A shmoo test is a graphical display of the response of a component or system varying over a range of conditions and inputs. Often used to represent the results of the testing of complex electronic systems such as computers or integrated circuits such as DRAMs, ASICs or microprocessors. A shmoo test and data write time(32k) of the development ROM writer is 6.4 seconds, which was improved by about 20% compared to the rate of the currently used ROM writer.

Key Words : memory test, shmoo test, rom writer

1. 서 론

최근 가전용 MCU 시장의 변화는 제품의 판매 후 업그레이드가 가능한 내장 플래시 메모리를

탑재하는 것이 대세를 이루고 있으며, 이에 따른 가격 절감 및 신뢰성 향상이 이루어지고 있다. 특히, 가전제품에 플래시 메모리를 내장한 MCU가 적용되면서 예상치 못한 불량 발생률이 증가하는 경우가 생겨났다. 이는 MCU 내장 메모리의 신뢰성에 의심할 만한 것으로 국내의 가전업체 및 MCU를 공급하는 제조업체로부터 내장 메모리의 신뢰성을 담보할 수 있고 생산성을 향상할 수 있

* Corresponding Author : chpark@ikw.ac.kr

Manuscript received Aug 03, 2015 / revised Aug 12, 2015 / accepted Aug 20, 2015

1) 경운대학교 항공전자공학과, 제1저자

2) 경운대학교 항공전자공학과, 제2저자

는 기술 개발의 필요성이 제기되었다[1].

현재 반도체 공정의 초미세화로 집적도가 높아지면서 MCU 자체의 테스트 난이도도 함께 높아져 MCU의 신뢰성이 시스템 레벨 전체의 신뢰성에 결정적인 영향을 미침에 따라 제조업체의 MCU에 대한 신뢰성 요구가 더욱더 높아지게 되었다. 특히 내장 메모리의 물리적 특성으로 인하여 시간이 지나면서 기록되어 있던 0과 1의 전위차가 바뀔 수 있고, 이는 제품의 동작에 치명적인 오동작을 유발시킨다. 일반적으로 사용하고 있는 메모리 테스트 방법으로는 크게 4가지로 나눌 수 있다. DC Test는 제품의 Spec 상에 기재되어 있는 제품의 전기적 특성을 테스트하는 것이다. AC Test는 제품의 Spec 상에 기재되어 있는 제품의 인터페이스 상의 시간 특성을 테스트하는 것이다.

Function Test는 제품의 사양에 기재되어 있는 제품의 동작 여부를 테스트 하는 것이다. 메모리 셀 테스트는 메모리 셀에 데이터가 정상적으로 저장되는 지 확인하는 것으로써, 일반적으로 NAND 플래시 메모리 제품 테스트 시간의 대부분을 차지한다. 그리고 앞의 방법을 혼용한 프로그램 가능한 BIST(Built-In Self Test)를 이용한 테스트는 SW구조상 최종 고객과는 다른 테스트용 하드웨어와 명령어를 이용하기 때문에 정확한 사용조건 테스트가 어렵다. 그리고 MCU에 내장된 플래시 메모리 테스트는 어렵다. 최근 이러한 문제점을 해결하기 위하여 플래시 메모리를 내장한 반도체를 이용하여 제품을 생산하는 과정에서 사전에 Shmoo 검사 방법을 적용함으로써 플래시 메모리의 불량을 검출해 낼 수 있다. 여기서 Shmoo 검사란 반도체 생산 업체에서 양산 시 MCU의 동작 전압 범위를 최소 0.1V 단위로 세분화 하여 MCU의 동작 영역이외의 전압까지 변화시키며 MCU의 동작 여부를 테스트 하는 기능으로 MCU 신뢰성을 담보할 수 있는 검사 방법이다. 또다른 MCU 내부 메모리 테스트 방법 주 고도의 신뢰성을 요구하는 시스템에 적용되는 원상회귀 테스트는 고장 검출 없이 테스트가 완료되었을 때 원래 내용이 보존되는 테스트 기법이다[2]. 이 방법의 장점은 데이터가 저장되는 기간 내내 신뢰성을 확보할 수 있다는 점

이다[3]. 본 논문에서는 전기적 특성 테스트와 Function 테스트를 동시에 수행할 수 있는 Shmoo 테스트 기능을 내장한 롬라이터 개발에 있어 테스트 패턴의 용량을 최소화함으로써 라이트 및 테스트를 시간을 최소화 했다.

2. 플래시 메모리

2.1 플래시 메모리의 구조 및 동작

Fig. 1은 일반적인 플래시 메모리 셀과 그 심볼을 나타낸 것이다. 일반적인 플래시 메모리 셀은 정보 저장을 위한 비트를 저장하기 위하여

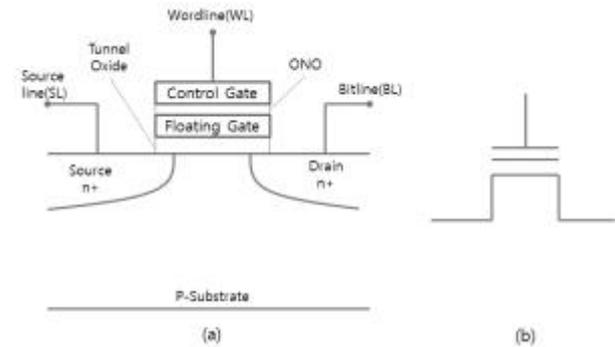


Fig. 1 (a) Storage transistor with floating gate and (b) its symbol

부유게이트(Floating Gate)를 이용한다. 여기서 부유게이트라고 하는 것은 어떠한 회로와도 연결되어 있지 않고 절연막으로 둘러싸여있기 때문에 붙여진 이름이다. 만약 부유게이트에 정보가 저장되어 있지 않으면, 이 디바이스는 거의 MOSFET 처럼 동작한다. 제어게이트(Control Gate)에 양전압을 인가되면 p형 기판의 상단에(게이트의 하단) 채널을 형성되고, 드레인에서 소스로 전류가 흐를 수 있도록 한다. 하지만 부유게이트가 음전하로 충전되면 이 음전하는 제어게이트와 채널 영역으로 둘러싸이고, 소스와 드레인 사이의 채널 형성을 방해한다. 문턱전압(Threshold Voltage : V_T)은 트랜지스터가 도통하는 제어게이트의 전압(V_C)을 말하는데, 부유게이트 전하의 존재 유

무는 문턱전압보다 더 큰 양전압 또는 더 큰 음전압을 인가하느냐에 따라 결정된다[4].

플래시 메모리에 관한 용어에서 쓰기(Program 또는 Write : 부유게이트에 전자를 넣는 것)이란 “0”을 쓰는 것을 의미하고, 지우기(Erasing : 부유게이트로부터 전자를 제거하는 것)은 플래시 메모리가 “1”을 담도록 재설정하는 것을 의미한다. 다시 말해서 쓰기는 논리 0을 저장하는 것이고, 지우기는 논리 1을 저장하는 것이다.

국제 반도체기술 로드맵(ITRS : International Technology Road-map of Semiconductor)에 따르면, 기존의 플래시 메모리에서 터널링 산화막의 두께는 기술의 발전에 따라 감소하고, 이로 인하여 쓰기/지우기 전압을 낮출 수 있다고 보고하였다. 그러나 큰 전계를 동반하는 쓰기/지우기 과정을 여러 번 반복적으로 거치면 얇은 터널링 절연막은 SILC(Stress Induced Leakage Current) 등의 문제로 열화되어 저장된 정보의 전하가 누설된다. 따라서 터널링 절연막의 두께를 약 6nm 이하로 낮추는 것은 매우 어렵다[4]. 이와 같은 문제점을 개선하고 기존의 플래시 메모리에 비하여 고집적도화나 성능개선을 위한 기술적인 대안들이 등장하게 되었고, 그 중에서도 터널링을 근간으로 하는 플래시 메모리 기술들이 개발되었다.

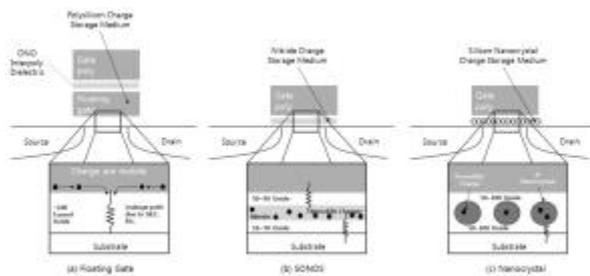


Fig. 2 Principle of a flash memory

Fig. 2에서 보는 것과 같이 게이트에서 채널방향으로 본 다층 구조(Silicon-Oxide-Nitride-Oxide-Silicon)의 첫 글자를 딴 SONOS 메모리 소자 기술과 폴리실리콘 저장 전극을 나노 크기의 양자점(quantum dot)으로 대신하는 메모리 소자 기술 NFGM(Nano-Floating Gate Memory)

가 그것이다[5]

기존의 플래시 메모리는 셀을 지우고 쓰기 위해 9~12V 정도의 높은 전압을 사용하고 있으며, 셀의 신뢰도를 저하시키지 않고 동작전압을 줄이는 것은 매우 어려운 것이 현실이고, 이는 가전제품과 같은 소형 임베디드 시스템에 적용하기에 부적합하다. 즉 시스템 공정과 메모리의 공정을 동시에 적용하여 하나의 시스템을 구현하는데 부적합함을 의미한다. 보통 65nm이하의 공정에서는 기존의 플래시 메모리 기술의 시현성이 급격하게 떨어지고 이를 대신하기 위한 SONOS 또는 NFGM 기술이 약 20nm 내외의 공정 기술까지 시현성을 확보할 수 있을 것으로 예상된다[6].

2.2 플래시 메모리의 동작 오류

앞에서 여러 가지 플래시 메모리의 구조와 그 동작 특성에 대하여 살펴보았다. 모든 플래시 메모리들은 다양한 원인에 의하여 오동작을 일으키지만 대부분의 경우 반도체 공정의 편차에 의한 동작 오류가 대부분이다. 즉 같은 웨이퍼 상에서 같은 시간대의 공정을 수행하였음에도 단일 웨이퍼 상에서도 모든 반도체의 특성이 동일하지 않기 때문이다.

플래시 메모리의 동작 모델을 간략히 나타내기 위하여 구조적인 모델을 단순화하여 일반적인 플래시 메모리 셀로 가정한다. 이때, 제어게이트와 부유게이트간의 전하 제어 비(CR : charge control ratio)는 일반적으로 50~60%정도라고 가정하고, 기관의 전위를 접지시켰다고 가정한다 ($V_b = 0V$). 그러므로 V_b 로는 부유게이트(V_f)를 제어할 수 없다. 반면, 제어게이트에 9V를 인가하면 ($V_G = 9V$) 부유게이트의 전압(V_f)은 4.5V가 될 것이다. $V_f = CR \times V_G = 0.5 \times 9V = 4.5V$ (CR : 0.5 적용) 보통 플래시 메모리의 문턱전압 (V_T)이 1.2 ~ 2V정도이므로, $V_T = 2.0V$ 라고 가정하면 $V_f > V_T$ 이므로 채널을 형성하여 정상적으로 동작한다. 그러나 부유게이트에 음전하(-)가 충전되면서 V_f 가 충전된 음전하(-)에 따라 점점 낮아지고 결국 $V_f < V_T$ 되면 메모리는 정상적으로 데이터를 저장할 수 없게 된다. 이러한

플래시 메모리의 동작 오류를 검사하기 위하여 Shmoo 검사를 수행한다.

3. 시스템 구성 및 실험

3.1 전체 시스템 구성

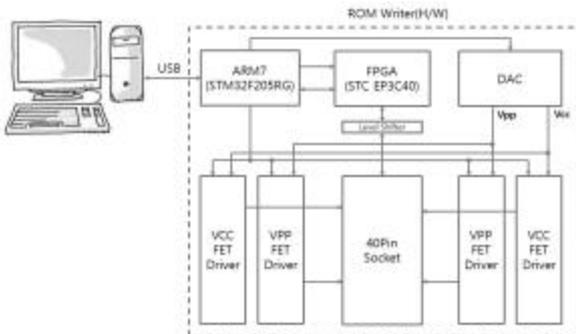


Fig. 3 Block diagram of the entire system.

Fig. 3은 Shmoo test 기능을 구현하기 위한 전체 시스템 구성도를 나타낸다. 이 시스템은 사용자 환경을 제공하여 사용자 코드 및 제어 코드를 설정하고 하드웨어와 통신하는 소프트웨어(PC 프로그램)와 사용자 코드를 플래시 메모리에 직접 기록하고 Shmoo test를 구현하는 하드웨어(ROM Writer)로 구성된다.

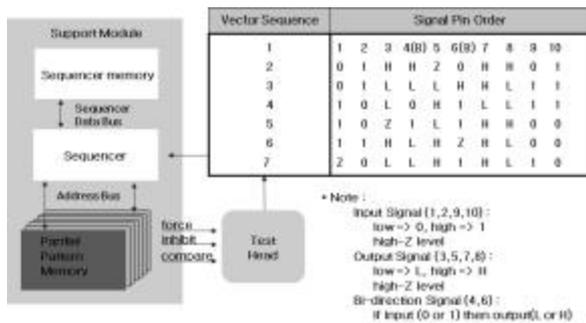


Fig. 4 The role of test vectors

Fig. 4는 테스트 벡터의 역할을 보여주는 그림으로 일반적으로 병렬과 직렬형의 두 가지 형태가 있다. 병렬 벡터 형태는 정상적인 스캔 벡터의 형태라고 할 수 없으나, 기존의 패턴 메모리

를 특별한 알고리즘이나 전용 스캔 모듈 없이 사용할 수 있으나 패턴 메모리의 사용 효율이 떨어지는 단점이 있다. 따라서, 본 논문에서는 테스트 메모리의 용량이 증가하더라도 벡터의 용량이 증가하지 않고 효율적인 사용이 가능한 직렬형을 사용하였다.



Fig. 5 PC screen for a set of test vectors

Fig. 5는 테스트 벡터 설정화면 PC화면이다. 이 화면에서는 각 핀에 대한 강제조건과 불량에 대한 조건 비교 방법에 대한 설정 한다. 이와 같은 설정으로 테스트 헤드에 장착된 MCU를 측정 한 결과 아래와 같은 불량 시료에서는 중간 진압 부분에서 입출력 비교 값이 차이가 있음을 나타낸다.

3.2 시스템 제작 및 구현

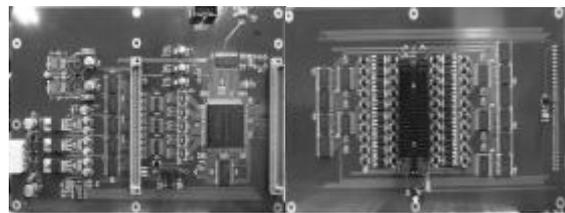


Fig. 6 Photos of the designed hardware system board

Fig. 6은 제작한 하드웨어를 나타낸다. 하드웨어 시스템의 효율적인 구현을 위하여 시스템을 두 개의 보드로 구현하였다. 좌측은 메인 보드로

테스트 대상 부품에 따른 변경이 없는 부품으로 구성되어 있다. 즉, 메인프로세서, 전원 제어 회로 및 FPGA(Field Programmable Gate Array)로 구성되어 있다. 우측 그림은 부품에 따라 달라지는 어댑터 보드로 소켓과 입출력 개수에 관계되는 부품으로 구성되어 있다[7-8].

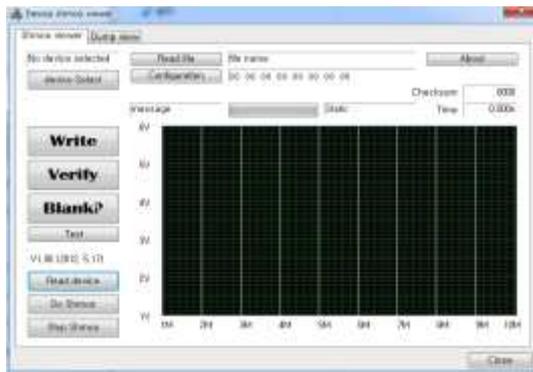


Fig. 7 PC screen of the programmed memory Shmoo test

Fig 7은 Shmoo test 기능을 구현한 소프트웨어를 나타낸 것이다. 구현된 소프트웨어는 일반적인 범용 개인용 컴퓨터(PC)상에서 실행할 수 있도록 구현하였으며, USB 통신 프로토콜을 구현하여 Shmoo 검증 기능을 동시에 구현하였다. 또, 사용자의 실수를 최소화하기 위한 사용자 인터페이스 환경과 생산성 향상을 고려한 사용자 인터페이스 환경을 고려하여 설계하였다.

3.3 실험 절차 및 방법

실험은 실제 생산 공정에서 사용되는 칩(MCU Flash 32K)을 이용하여 수행하고 Fig. 8은 실험용 칩의 동작범위를 나타낸 Shmoo 도면이다. 이를 통하여 Shmoo 검사를 수행하기 위한 디바이스 검사 데이터 파일을 작성하고, 구현된 Shmoo 검사 프로그램에서 데이터를 로딩하여 검사를 수행한다.

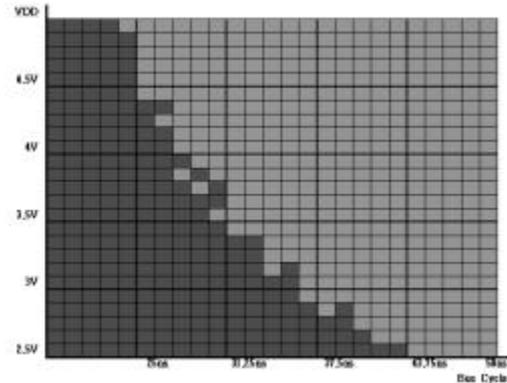


Fig. 8 A Shmoo plot of memory test

4. 실험결과

MCU Flash 32K의 Shmoo 테스트 실험 결과를 아래의 표와 같이 나타내었다. 실험 결과에서 보는 바와 같이 Shmoo 검사를 수행하고 MCU Flash 32K의 쓰기를 수행하였을 때 6.4s 정도의 쓰기 시간이 소요되었으며, 이는 현재 사용하고 있는 ROM Writer의 속도에 비해 약 20% 정도 향상되었다.

Table 1 Shmoo test results of the MCU Flash 32K

Evaluation items	Unit	Measurement	Reference value
1. Shmoo value	Volt	0.1V	
2. requery	Band-width	100KHz ~ 20MHz	1MHz~20MHz
	Resolution	KHz	100KHz 단위
3. Write Speed	Sec.	6.4s	8s

Fig. 9는 Shmoo 검사를 수행하는 디바이스 Shmoo 검사 프로그램의 정상 화면과 불량 화면을 나타낸 것이다. Fig. 9에서 영역은 불량 동작을 나타내고, 흰색 영역은 정상 동작을 나타낸다. Fig. 9의 2V~5V 사이의 불량 동작이 표시되면 제품의 동작 불량을 의미하고, 그 부품은 공정에서 배제한다.

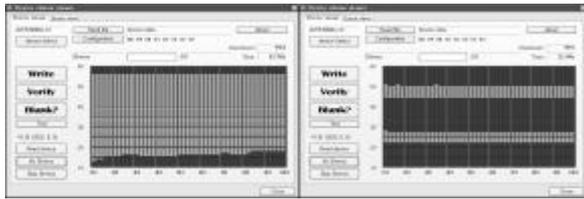


Fig. 9 Normal and defective screen tests carried out by the Shmoo results

5. 결론

플래시 메모리의 특성에 의한 불량을 감지하는 기술을 확보하여 전자제품 동작에 결정적인 오동작을 유발하는 요소인 플래시 불량의 가장 치명적인 부분을 검출해 낼 수 있는 방법으로 Shmoo 테스트 기능을 적용함으로써 사전에 MCU의 신뢰성을 확보할 수 있는 Shmoo 테스트 기능을 추가한 ROM witer을 개발하였다. 또한 H/W는 ARM Processor와 FPGA의 사용으로 최근 주류를 이루는 모바일 제품에 향후 확장 가능하게 설계를 하여 단기 개발 다품종 생산으로 양산 라인 셋업 시간을 단축 요구하는 모바일 제조업체에 적용할 수 있도록 확장성을 고려하여 설계하였다. 전반적으로 국내외 경쟁사 대비 제품 기능 및 품질 수준에서 동등 수준 이상으로 경쟁우위를 확보하였다.

References

[1] Tae-Hwan Kim, Jin-Wan Kim, and Hoon Chang, "MLC NAND-type Flash Memory Built-In Self Test for research", Journal of the Institute of Electronics Engineers of Korea, Vol. 3, pp.61-72, April, 2014

[2] Keun-hyung kim, Myung-Kyun Kim, Chan-Oh Jung, "Fault Test Algorithm for MLC NAND-type Flash Memory", Journal of the Institute of Electronics Engineers of Korea, Vol. 4, pp. 26-33, 2012.

[3] S. Lai, "Tunnel oxide and ETOXtm flash scaling limitation," in Tech. Dig. of Int'l NonVolatile Memory Technology Conference, pp. 6-7, 1998.

[4] A. Thean and J.-P. Leburton, "Flash memory: towards singleelectronics," IEEE Potentials, pp. 35-41, October 2002.

[5] S. J. Baik, S. Choi, U.-I. Chung, and J. T. Moon, "High speed and nonvolatile Si nanocrystal memory for scaled flash technology using highly field-sensitive tunnel barrier," IEDM Tech. Dig., pp. 545-548, 2003.

[6] In Su Cho, and Shim Il Lim, "Implement of a High Speed Comparator for High Speed Automatic Test Equipment", Journal of the Korea Industrial Information System Society Vol. 19, No. 3, 2014.

[7] Jun Seo Lee, Whan Woo Kim, and Ji Hoon Kim, "Development of FPGA-based failure detection equipment for SMART T TV embedded camera", Journal of the Korea Industrial Information System Society, Vol. 18, No. 5, pp.45-50, 2013

[8] Jong Sik Hyun, Youn Gyearl Han, "Error Correcting Technique with the Use of a Parity Check Bit", Proceeding of the Korea Society for Industrial Systems Conference, pp. 137-146, 1997.



김 태 선 (Tae-Sun Kim)

- 정회원
- 영남대 전자공학과 공학사
- 한양대 전자공학과 공학석사
- 영남대 전자공학과 공학박사
- 경운대학교 항공대학 항공전자공학과 교수

• 관심분야 : 임베디드시스템, 영상신호처리



박 차 훈 (Cha-Hun Park)

- 정회원
- 영남대 전자공학과 공학사
- 영남대 전자공학과 공학석사
- 영남대 전자공학과 공학박사
- 경운대학교 항공대학 항공전자공학과 교수

• 관심분야 : 디지털회로시스템, 임베디드시스템