

생체 의학 정보 수집이 가능한 실리콘 비드용 가변적인 속도 클럭 데이터 복원 회로 설계

(A Design of Variable Rate Clock and Data Recovery Circuit for Biomedical Silicon Bead)

조성훈¹⁾, 이동수¹⁾, 박형구¹⁾, 이강윤^{2)*}

(Sung-Hun Cho, Dong-Soo Lee, Hyung-Gu Park and Kang-Yoon Lee)

요약 이 논문은 블라인드 오버샘플링(Blind Oversampling) 기법을 이용한 가변적인 속도 클럭 데이터 복원 회로 설계에 관한 내용을 제시하고 있다. 클럭 데이터 복원 회로는 기본적으로 클럭 복원과 데이터 복원 회로로 구성되어 있다. 클럭 복원 회로는 넓은 범위를 가지는 전압 제어 발진기(Wide Range VCO)와 밴드 선택(Band Selection) 기법을 복합적으로 사용하여 구현하였고 데이터 복원 회로는 머지리티 보팅(Majority Voting) 방식을 이용하는 디지털 회로로 제안하여 저전력 및 작은 면적으로 구성하였다. 넓은 범위를 가지는 전압 제어 발진기와 데이터 복원회로를 디지털로 구현함으로써 저전력으로 가변적인 속도 클럭 데이터 복원회로 구현이 가능하였다. 설계된 회로는 약 10bps에서 2Mbps 범위에서 동작한다. 전체 전력 소비는 1MHz 클럭에서 약 4.4mW의 전력을 소비한다. 공급전압은 1.2V 이며 제작된 코어의 면적은 120 μm x 75 μm 이고 0.13 μm CMOS 공정에서 제작되었다.

핵심주제어 : 클럭 데이터 복원, 블라인드 오버샘플링(Blind Oversampling), 가변 속도

Abstract In this paper, variable rate CDR(Clock and Data Recovery) circuit adopting blind oversampling architecture is presented. The clock recovery circuit is implemented by using wide range voltage controlled oscillator and band selection method and the data recovery circuit is designed to digital circuit used majority voting method in order to low power and small area. The designed low power variable clock and data recovery is implemented by wide range voltage controlled oscillator and digital data recovery circuit. The designed variable rate CDR is operated from 10 bps to 2 Mbps. The total power consumption is about 4.4mW at 1MHz clock. The supply voltage is 1.2V. The designed die area is 120 μm x 75 μm and this circuit is fabricated in 0.13 μm CMOS process.

Key Words : Clock and Data Recovery, Blind Oversampling, Variable Rate

* Corresponding author : klee@skku.edu

† 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 대학ICT 연구센터육성 지원사업의 연구결과로 수행되었음 (IITP-2015-H8501-15-1010)

‡ 본 연구는 IDEC의 EDA Tool 또는 MPW 또는 IPC에서 지원하여 수행하였음

Manuscript received July 22, 2015 / revised Aug 12, 2015 / accepted Aug 13, 2015

1) 성균관대학교 정보통신대학

2) 성균관대학교 정보통신대학, 교신저자

1. 서론

현대 기술이 발전함에 따라 센서를 통해 외부 정보를 수집하는 기술이 부각되고 있으며[1], 특히 의료 정보를 얻을 수 있는 시스템의 관심이 증대되고 있다[2]. 또한 데이터 패킷 서비스를 위

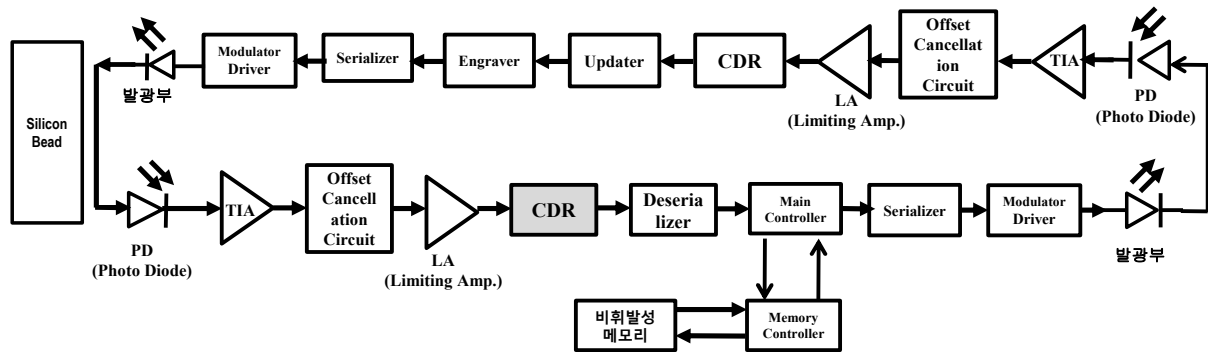


Fig. 1 Overall Silicon Bead system

한 기술이 발전하면서 클록 데이터 복원 회로 연구가 활발히 이루어지고 있다[3].

본 논문에서는 의료용 실리콘 비드의 정보를 이용한 클록 데이터 복원 회로를 제안한다. 일반적으로 실리콘 비드로부터 여러 정보를 얻는데 긴 시간이 걸린다. Fig. 1 에서 나타내는 것과 같이 실리콘 비드의 포토 다이오드는 실리콘 비드의 정보를 빛에서 전류로 바꾸어주는 역할을 하고 트랜스 임피던스 증폭기(Trans-Impedance Amplifier)와 리미팅 증폭기(Limiting Amplifier)에 의해 전류는 전압으로 변환된다. 실리콘 비드에 전달되는 데이터 속도가 변화하기 때문에 이에 맞춰 복원이 요구된다.

선행된 연구에서 알려져 있는 블라인드 오버샘플링(Blind Oversampling) 클록 데이터 복원 회로는 코스 데이터 복원(Coarse Data Recovery) 회로와 이 데이터를 보정해주는 블록으로 구성되어 있다. 2 단계로 구성하여 정확한 클록 데이터 복원을 할 수 있지만 의료용 실리콘 비드 어플리케이션에 사용되기에는 더 많은 소모가 발생하고 변화하는 데이터 속도를 전달 받기 힘들다[4]. 본 논문에서는 데이터 복원 회로를 디지털 방식인 머저리티 보팅(Majority Voting)을 이용하여 저 전력으로 동작이 가능하고 넓은 범위의 전압 제어 발진기를 이용하여 가변 속도 클록 회로가 동작 가능하도록 하였다. 제안하는 가변적인 속도 클록 데이터 복원 회로는 0.13 μm CMOS 공정을 이용하여 설계하였다.

2. 본 론

2.1 일반적인 클록 데이터 복원 회로

Fig. 2 는 일반적인 클록 데이터 복원 블록 다이어그램을 나타낸다. 수신되는 데이터를 이용하여 클록을 복원하고 그 데이터를 D 플립플롭을 이용하여 데이터를 복원하는 형태이다. 일반적인 클록 데이터 복원회로는 많은 전력을 소비하게 되고 하모닉 로킹(Harmonic Locking) 문제가 발생하여 본 논문에서는 이를 해결할 수 있는 구조를 제안하고자 한다[5]. 데이터 복원을 디지털을 이용한 블라인드 오버샘플링(Blind Oversampling) 기법을 이용하여 구현한 구조를 사용하였다.

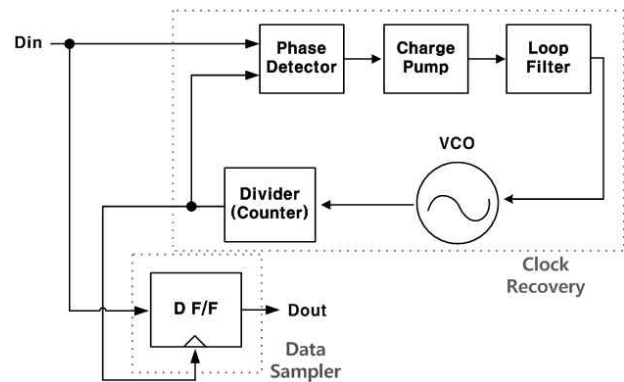


Fig. 2 Conventional Clock and Data Recovery Block Diagram

2.2 제안하는 가변적인 속도 클럭 데이터 복원 회로 구조

Fig. 3 는 오버샘플링 기법에 대한 방법에 대해 소개하였다. 나타난 그림은 3x 오버샘플링에 대해 보여준다[6]. 메인 클럭인 DCLK만을 이용하여 데이터 샘플링을 할 경우 데이터의 오류가 발생할 확률이 높아진다. 이를 개선하기 위해 1개의 데이터 비트에 LCLK, DCLK, RCLK의 3번의 샘플링을 통해 지터(Jitter)에 의해 발생하는 에러의 최소화가 가능하도록 한다. 여러 번의 샘플링을 통해 데이터 비트를 판단함으로써 데이터의 정확도를 향상시켰다[7].

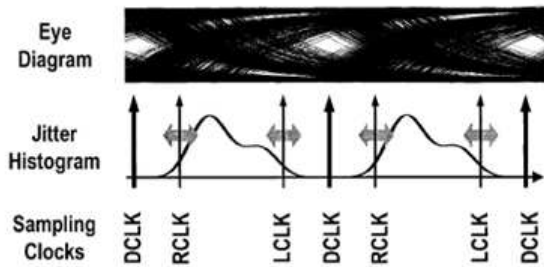


Fig. 3 The Concept of Oversampling

Fig. 4 는 클럭 복원 블록 다이어그램을 나타낸다. 데이터 입력이 주파수 디텍터를 통해 전달 받고 이를 통해 출력되는 Up(FUP) 신호와 Down(FDN)신호를 이용하여 차지펌프를 동작시킨다. 루프필터에 의해 출력되는 전압을 이용하여 전압제어 발진기를 제어하며 이를 통해 클럭

을 복원한다. 가변적인 데이터 속도의 데이터 클럭 복원 회로를 구현하기 위해 밴드 선택 블록(Band Selection Block)을 사용하여 단일 비트 속도(Bit-rate)가 아닌 넓은 영역의 비트 속도(Bit-rate)에서 동작하도록 설계하였다. 주파수 디텍터(Frequency Detector)에 의해 주파수 영역을 판단하고 밴드 선택(Band Selection)을 통해 밴드를 변경하도록 하였다. 넓은 범위를 가지는 전압 제어 발진기(Wide Range VCO)와 밴드 선택(Band Selection) 기법을 복합적으로 사용하여 가변적인 클럭 데이터 복원 회로를 구현하였다 [8][9].

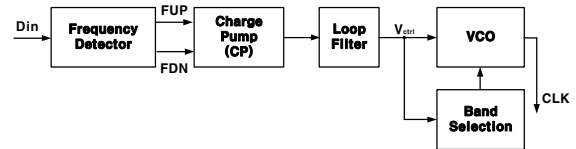


Fig. 4 Proposed Clock Recovery Block Diagram

Fig. 5 는 제안하는 가변적인 속도 데이터 복원 회로를 나타낸다. 의학용 실리콘 비드에 사용되는 데이터 속도는 저주파 대역에서 사용한다. 기존에 블라인드 오버샘플링(Blind Oversampling) 기법을 사용하는 클럭 데이터 복원 회로는 위상 검출 로직을 이용하여 데이터를 복원하지만[10] 본 논문에서는 카운터 및 데이터 레지스터, 머저리티 보팅(Majority Voting) 방법을 이용하는 데이터 복원 방법을 제안하였다. 복원된 클럭을 이용하여 Fig. 5의 블록들을 동작시키고 프리엠 데

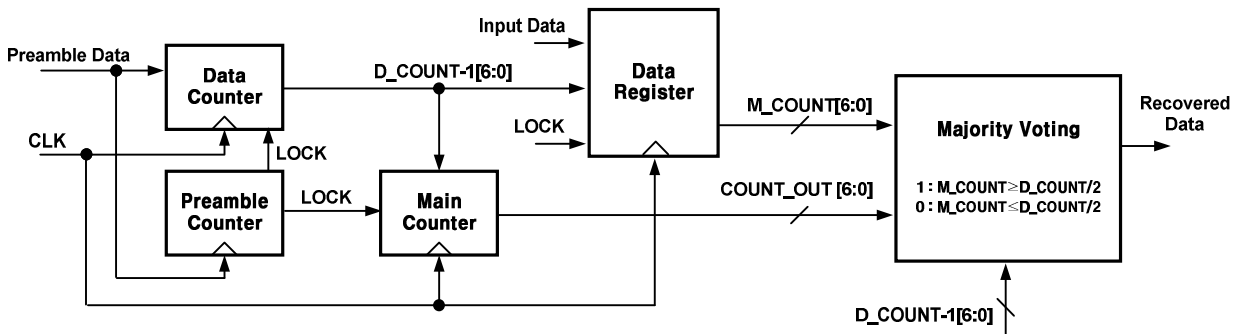


Fig. 5 Proposed Variable Rate Data Recovery Block Diagram

이더가 들어올 경우 LOCK 신호가 발생한다. LOCK 신호를 받은 데이터 카운터는 입력 데이터의 카운팅을 통해서 데이터의 '1'과 '0'을 구분한다. 이 때 카운트 된 M_COUNT가 $D > COUNT/2$ 의 비교를 통해 데이터를 복원하게 된다.

Fig. 6 은 클록 데이터 복원 회로의 타이밍 다이어그램을 나타낸다. 초기에 일정 시간동안 프리앰블 신호를 전달 받고 일정 패턴을 프리앰블 카운터가 지한 후에 LOCK 신호를 발생시킨다. LOCK 신호를 전달 받은 데이터 카운터는 LOCK 신호의 상승 에지에서 D_COUNT[6:0]를 홀딩한다. LOCK 신호가 발생된 후 데이터 레지스터는 M_COUNT[6:0]를 머저리티 보팅(Majority Voting)에 전달해 준다. 머저리티 보팅(Majority Voting)은 $D_COUNT/2$ 의 기준 값과 비교하여 데이터 패턴을 복원한다. 만약 $D_COUNT/2$ 의 기준 값보다 전달 받은 데이터가 클 경우 그 값은 '1'로 인식하며 반대로 $D_COUNT/2$ 의 기준 값보다 전달 받은 데이터가 작을 경우 그 값은 '0'으로 인식한다.

3. 실험 결과

Fig. 7 는 클록 데이터 복원 회로의 레이아웃을 나타낸다. 0.13 μm CMOS 공정에서 제작되었으며 CDR의 코어 면적은 $120\mu\text{m} \times 75\mu\text{m}$ 이다.

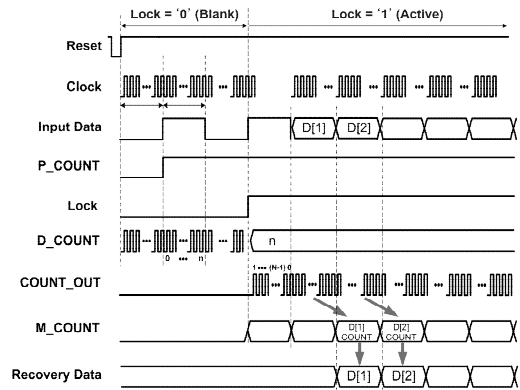


Fig. 6 Timing Diagram of Variable Rate CDR Circuit

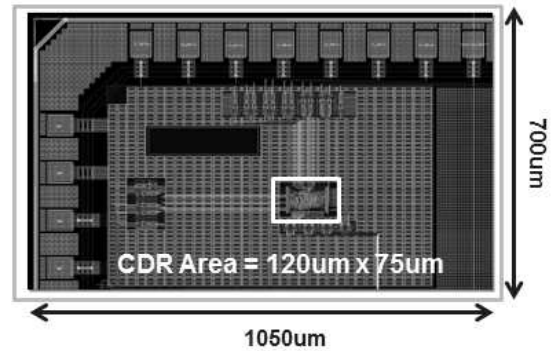


Fig. 7 Chip Layout

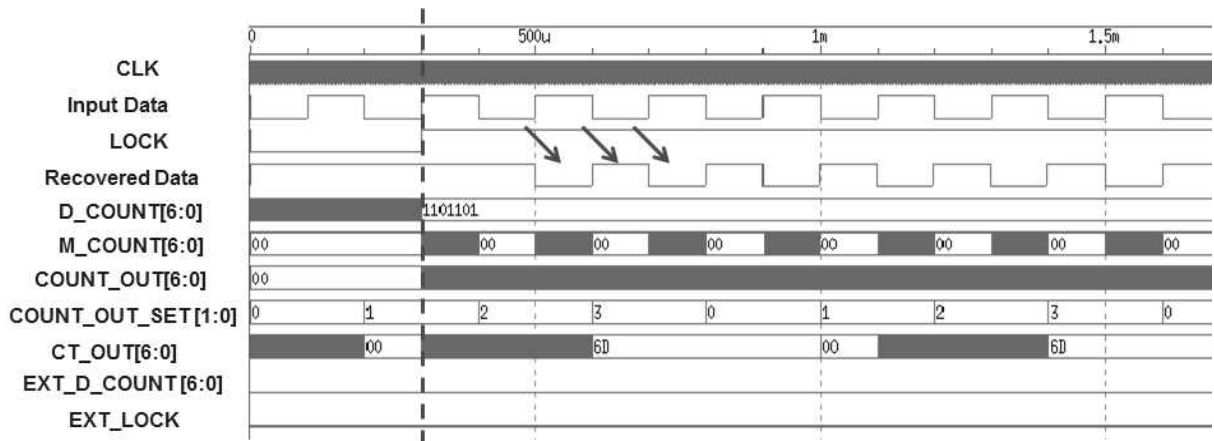


Fig. 8 Clock and Data Recovery Simulation Result

Fig. 8 는 클럭 데이터 복원 회로의 시뮬레이션 결과를 나타낸다. 입력데이터 에서 초기에 일정 시간 동안 프리앰블 신호를 감지한 후에 신호를 복원하기 시작한다. LOCK신호의 상승 에지에서 D_COUNT[6:0]이 고정되는 것을 알 수 있으며 그 후에 데이터가 D_COUNT 값에 따라 복원이 되는 것을 확인할 수 있다. Fig. 8 은 데이터 속도가 10kbps일 때의 시뮬레이션 결과이며 HSIM으로 검증을 진행하였다.

Fig. 9 는 클럭 데이터 복원 회로의 측정 보드를 나타낸다. 측정 보드는 Chip On Board (COB)로 제작 되었다.

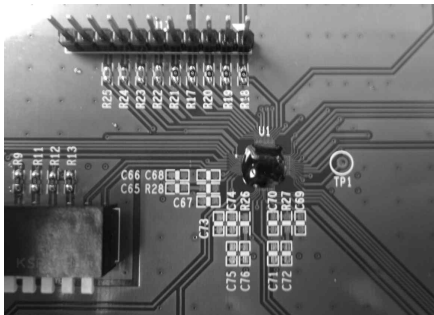


Fig. 9 Measurement Board

Fig. 10 은 데이터 속도가 200bps, 2Kbps, 200kbps, 2Mbps일 때 측정된 파형을 나타낸다. 데이터 속도가 변하더라도 오버샘플링 클럭에 의하여 데이터가 복원될 수 있음을 나타낸다.

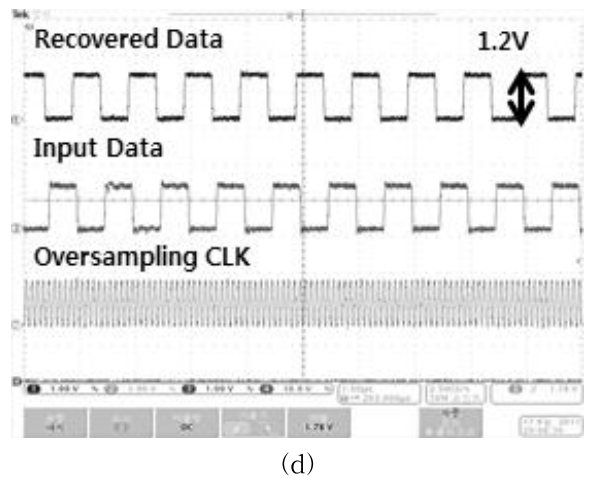
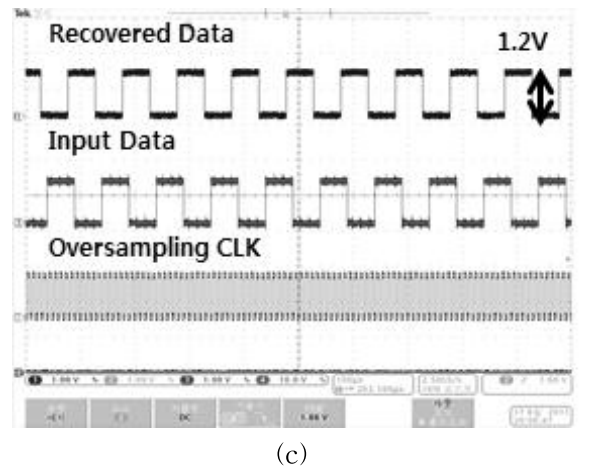
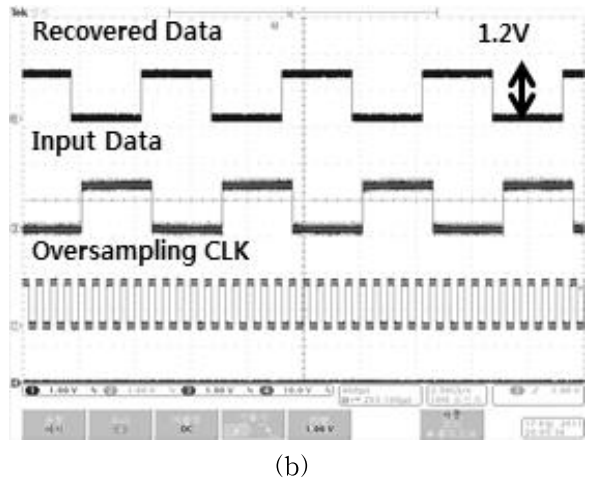
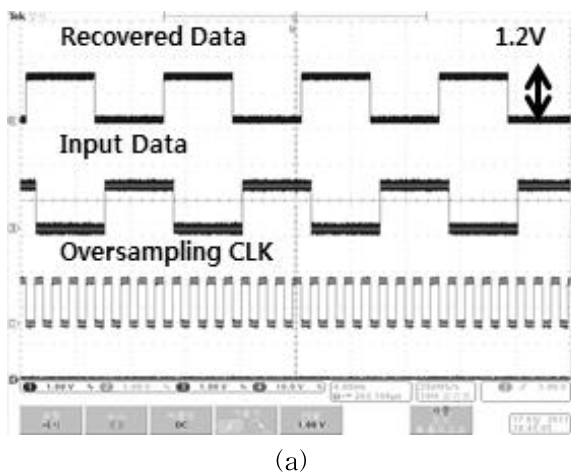


Fig. 10 Measured wave forms when the data rate is (a) 200bps (b) 2kbps (c) 200kbps (d) 2Mbps

Table 1 은 본 논문에서 제안한 가변적인 클럭 데이터 복원 회로의 성능을 나타낸다. 데이터 속도는 10bps에서 2Mbps까지 가능하며 블라인드 오버샘플링(Blind Oversampling) 클럭 데이터 복원 방식을 이용하였다. 소모 전력은 1MHz 클럭에서 약 4.4mW로 소모 되며 면적은 120 μ m x 75 μ m 이다

Table 1 Performance Summary

Parameter	[4]	This Work
Process	CMOS 0.18 μ m	CMOS 0.13 μ m
Data rate	180 bps ~ 720 Mbps	10 bps ~ 2 Mbps
T bit/ T Clock	5 x oversampling	128 x oversampling(Max)
CDR Type	Blind oversampling CDR	Blind oversampling CDR
Supply	1.8V	1.2V
Power Consumption	8.2mW @ 480Mbps	4.4 mW @ 1MHz clock
Core area	0.185 mm ²	120 μ m x 75 μ m

4. 결 론

본 논문은 블라인드 오버샘플링(Blind Oversampling) 기법을 이용한 가변적인 속도 클럭 데이터 복원 회로를 나타낸다. 본 연구에서는 넓은 범위를 가지는 전압 제어 발진기(Wide Range VCO)와 밴드 선택(Band Selection) 기법을 복합적으로 사용하여 가변적인 클럭 복원 회로를 구현했으며, 데이터 복원 회로는 디지털 구현을 통해 작은 면적을 가지면서 저전력 동작이 가능하도록 하였다. 이를 통해 기존에 연구된 CDR 구조와 달리[4] 실리콘 비드의 어플리케이션에 맞게 가변적인 데이터 속도에서 동작이 가능하고 작은 면적, 저전력에서 구동이 가능하다. 제안하는 구조는 0.13 μ m CMOS 공정에서 제작 되었으며 코어 회로의 면적은 120 μ m x 75 μ m 이다. 구현된 클럭 데이터 복원 회로는 10bps에서 2Mbps까지 동작한다. 전체 전력 소비는 1MHz 클럭일 때 1.2V 공급전압 기준에서 약 4.4mW를

소모한다.

References

- [1] J. J. Kim, K. C. Cho, and J. W. Kim, "Medical Information Processing System based on Wireless Network using RFID", Journal of the Korea Society Industrial Information System, Vol 11, No. 4, pp.1-9.
- [2] S. C. Ko and J. W. Jung, "A Design of All-Digital QPSK Demodulator for High-Speed Wireless Transmission Systems", Journal of the Korea Society Industrial Information System, Vol 8, No. 1, pp.83-91
- [3] Y. H. Park and S. Y. Lee, "Development of 1Gbps SNMP Optical Transmitter/Receiver System based on 1 Core Ring-type WDM PON", Journal of the Korea Society Industrial Information System, Vol 11, No. 3, pp.82-89
- [4] S. Park, K. Choi, J. Shin, J. Sim and H. Park, "A Single-Data-Bit Blind Oversampling Data-Recovery Circuit With an Add-Drop FIFO for USB2.0 High-Speed Interface", IEEE Transaction on Circuits and Systems II, Vol 552, No. 2 pp. 156 - 160, Feb. 2008.
- [5] B. Razavi, "Challenges in the Design of High-Speed Clock and Data Recovery Circuits", IEEE Communications Magazine, Aug. 2002, pp. 94-101.
- [6] S-H. Lee, M.-S. Hwang et al, "A 5-Gb/s 0.25- μ m CMOS Jitter-Tolerant Variable-Interval Oversampling Clock/Data Recovery Circuit," IEEE J. Solid-State Circuits, Vol 37, No. 12, Dec. 2002, pp. 1822-1830
- [7] S-H. Lee, M.-S. Hwang et al, "A 5-Gb/s 0.25- μ m CMOS Jitter-Tolerant Variable Interval Oversampling Clock/Data Recovery Circuit," ISSCC Dig., 2002, paper 15.5

[8] H.-R Lee et al., "A 1.2-V-only 900-mW 10 Gb Ethernet Transceiver and XAUI interface with robust VCO tuning technique", IEEE Journal of Solid-State Circuits, Vol 40, No. 11, pp. 2148 - 2158, Nov. 2005.

[9] J. Lee, B. Razavi, "A 40-Gb/s clock and data recovery circuit in 0.18- μ m CMOS technology," IEEE J. Solid-State Circuits, Vol 38, No. 12, Dec 2003, pp. 2181-2190

[10] J. Kim, D-K. Jeong, "Multi-Gigabit-Rate Clock and Data Recovery Based on Blind Oversampling," IEEE Communications Mag., Dec. 2003, pp. 68-74



박형구 (Hyung-Gu Park)

- 2010년 건국대학교 전자공학과 학사 졸업
- 2010년~현재 성균관대학교 정보통신대학 석박사통합과정

• 관심분야 : RF Transceiver, 무선 충전 시스템, Sigma-Delta ADC



이강윤 (Kang-Yoon Lee)

- 2003년 서울대학교 전기공학부 박사 졸업.
- 2003년~2005년 (주) 지씨티리 씨치 책임 연구원.
- 2005년~2012년 건국대학교 전자공학부 부교수

• 2013년~현재 성균관대학교 정보통신대학 부교수
 • 관심분야 : RF · 아날로그 집적회로설계, 아날로그/디지털 Mixed Mode 설계



조성훈 (Sung-Hun Cho)

- 2013년 홍익대학교 전기전자공학부 학사 졸업
- 2015년 성균관대학교 정보통신대학 석사 졸업
- 2015년~현재 성균관대학교 정보통신대학 박사과정

• 관심분야 : RF Transceiver



이동수 (Dong-Soo Lee)

- 2012년 건국대학교 전자공학과 학사 졸업
- 2014년 성균관대학교 정보통신대학 석사 졸업
- 2014년~현재 성균관대학교 정보통신대학 박사과정

• 관심분야 : RF Transceiver, Pre. Sensor