

논문 2015-52-8-5

# 다중 입력 다중 출력 통신 시스템을 위한 저 복잡도의 Joint QR decomposition-Lattice Reduction 프로세서

## ( A Low-Complexity Processor for Joint QR decomposition and Lattice Reduction for MIMO Systems )

박민우\*, 이상우\*, 김태환\*\*

( Min-Woo Park, Sang-Woo Lee, and Tae-Hwan Kim<sup>©</sup> )

### 요약

본 논문에서는 다중 입력 다중 출력 시스템을 위한 전 처리 과정인 QR Decomposition (QRD) 과 Lattice Reduction (LR) 에 대하여, 두 과정의 연산의 공유성을 바탕으로 이를 공동으로 처리하는 프로세서를 제안한다. 제안하는 전 처리 프로세서는 다중 사이클 아키텍처로 설계하여 하드웨어 복잡도를 낮추었고, 두 전 처리 과정을 채널 환경에 따라 선택적으로 수행한다. 제안하는 전 처리 프로세서는 0.18- $\mu\text{m}$  CMOS공정의 셀 라이브러리를 사용하여 139K의 논리 게이트로 구현되었고, 최대 117MHz의 동작주파수에서  $8 \times 8$  행렬에 대한 QRD와 LR의 수행에 대하여 5 $\mu\text{s}$ 의 latency를 갖는다.

### Abstract

This paper presents a processor that performs QR decomposition (QRD) as well as Lattice Reduction (LR) for multiple-input multiple-output (MIMO) systems. By sharing the operations commonly required in QRD and LR, the hardware complexity of the proposed processor is reduced significantly. In addition, the proposed processor is designed based on a multi-cycle architecture so as to reduce the hardware complexity. The proposed processor is implemented with 139k logic gates in a 0.18- $\mu\text{m}$  CMOS process, and its latency is 5 $\mu\text{s}$  for  $8 \times 8$  MIMO preprocessing both QRD and LR where the operating frequency is 117MHz.

**Keywords** : QR decomposition, lattice reduction, low complexity, multi-cycle architecture, latency

\* 학생회원, \*\* 정회원, 한국항공대학교 항공전자정보공학부

(School of Electronics and Information Engineering, Korea Aerospace University)

© Corresponding Author(E-mail: taehwan.kim@kau.ac.kr)

※ 본 연구는 경기도의 경기도지역협력연구센터 (GRRC) 사업[GRRCA-2015-B04, 차세대 N-스크린 서비스를 위한 스크린 협업 기술 및 스마트 카메라 기술 연구]의 지원을 받아 수행된 연구임.

Received : April 21, 2015      Revised : June 30 2015

Accepted : July 28, 2015

## I. 서론

무선 통신 환경에서 주파수 대역폭과 송신 전력의 제한 하에서 높은 데이터 전송률을 달성하기 위해서 다중 입력 다중 출력 (multiple-input multiple-output, MIMO) 시스템이 널리 사용되고 있다<sup>[1]</sup>. MIMO 시스템은 동일한 주파수 대역에서 다수의 공간 스트림을 형성해서 데이터를 병렬적으로 전송하기 때문에 각 공간 스트림 사이에 간섭이 발생한다. 따라서 MIMO 시스템에

서는 이러한 간섭을 고려하여 심볼 검파를 수행하여야 하며, 이는 복잡한 신호처리 과정을 수반된다.

MIMO 시스템의 심볼 검파 방법으로는 연산 복잡도가 높지만 최적의 비트 에러율 (bit-error rate: BER) 성능을 보이는 sphere decoding (SD)<sup>[3]</sup> 등의 방법이 있고, 연산 복잡도가 상대적으로 낮지만 채널의 상태에 따라 BER 성능이 열화되는 zero forcing (ZF), successive interference cancellation (SIC) 검파 방법 등이 있다<sup>[2]</sup>. QR decomposition (QRD)는 SD, SIC와 같은 계층적인 검파 과정에 필수적으로 요구되는 전 처리 과정이다. lattice reduction (LR)은 채널의 열 벡터간 correlation을 작게 만들어, 연산 복잡도가 낮지만 BER 성능 열화가 발생할 수 있는 ZF, SIC 등의 검파 방법에 적용되어 해당 방법의 BER 성능을 비약적으로 향상시킬 수 있는 전 처리 과정이다.

MIMO 시스템을 위한 심볼 검파의 전 처리 프로세서의 구현에 대한 기존 연구들은 처리 과정의 throughput을 높이는 측면에 집중하였다<sup>[14, 17]</sup>. 이를 위해 pipelined 아키텍처 기반으로 설계하여 하드웨어 복잡도가 높다는 문제점이 있었다. 하지만 무선 랜이나 long-term evolution (LTE) 등의 실제 MIMO 시스템들에서는 다수의 심볼 벡터로 구성된 프레임 단위로 통신이 이루어지며 한 프레임 안에서는 채널 상태가 일정하다고 가정되어<sup>[1]</sup>, 채널 행렬을 처리하는 전 처리 프로세서의 throughput을 높이는 것보다 latency와 하드웨어 복잡도를 줄이는 것이 더 중요하다. 또한, SIC나 SD 등의 검파 방법을 위해서는 필수적으로 QRD가 요구됨에도 불구하고, 기존의 LR에 대한 연구들에서<sup>[10, 14]</sup> 제안하는 프로세서에서는 LR만을 수행할 수 있어서 추가적으로 QRD를 수행하기 위한 프로세서가 필요하다<sup>[12]</sup>.

이런 점들에 착안하여, 본 논문에서는 낮은 하드웨어 복잡도를 갖는 전 처리 프로세서를 제안한다. 기존의 연구들은 QRD<sup>[12]</sup> 또는 LR<sup>[10, 13-14]</sup>을 단독으로 처리하는 프로세서를 구현하였지만, 본 논문에서의 전 처리 프로세서는 QRD와 LR의 연산의 공유성을 발견하여 하나의 연산 유닛을 공유함으로써 두 전 처리 과정을 모두 수행 가능하면서도 낮은 하드웨어 복잡도를 갖는다. 또한 다중 사이클 아키텍처 기반으로 설계하여 하나의 하드웨어 유닛을 공유하여 재사용함으로써 낮은 하드웨어 복잡도를 갖으면서도 동등한 수준의 latency를 갖는다. 제안하는 프로세서는 0.18- $\mu\text{m}$  CMOS공정의 셀 라

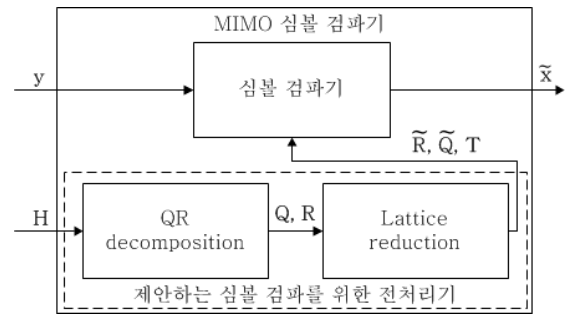


그림 1. MIMO 수신 시스템

Fig. 1. Multiple-input multiple-output receiver system.

이브러리를 사용하여 139K의 논리 게이트로 구현되었고, 8 × 8 행렬에 대한 QRD와 LR의 전체를 수행하는데 5 $\mu\text{s}$ 의 latency를 갖는다.

본 논문의 나머지 구성은 다음과 같다. II장에서는 MIMO 시스템의 심볼 검파와 이에 대한 전 처리 과정인 QRD, LR을 설명한다. III장에서는 제안하는 프로세서의 동작 원리 및 아키텍처를 보인다. IV장에서는 제안하는 프로세서의 구현 결과를 정리하고, 이를 기존 결과와 비교하고 고찰한다. V장에서는 결론을 맺는다.

## II. MIMO 심볼 검파 및 전 처리

$N_T$ 개의 송신 안테나와  $N_R$ 개의 수신 안테나를 갖는  $N_T \times N_R$  MIMO 시스템에 대한 실수 영역모델은 다음과 같다.

$$\mathbf{y} = \mathbf{H} \cdot \mathbf{x} + \mathbf{n}. \quad (1)$$

위 모델에서, 수신 심볼 벡터  $\mathbf{y}$ 는  $2N_R \times 1$ 의 크기를 갖고,  $\mathbf{H}$ 는 채널 행렬로  $2N_R \times 2N_T$ , 잡음 벡터인  $\mathbf{n}$ 은  $2N_R \times 1$ 의 크기를 각각 갖고, 송신 심볼 벡터  $\mathbf{x}$ 는  $2N_T \times 1$ 의 크기를 갖으며, 각 요소는 정상  $\Omega$ 의 심볼 집합에서 선택된다. MIMO 심볼 검파는  $\mathbf{y}$ 와  $\mathbf{H}$ 가 주어진 상태에서  $\mathbf{x}$ 를 추정하는 것으로, maximum-likelihood (ML) 관점에서 최적의 추정 값인  $\tilde{\mathbf{x}}$ 는 다음과 같이 표현된다.

$$\tilde{\mathbf{x}} = \min_{\mathbf{x} \in \Omega_{M}^N} \|\mathbf{y} - \mathbf{H}\mathbf{x}\|^2. \quad (2)$$

효율적인 MIMO 심볼 검파를 위해서는 QRD와 LR을 통해  $\mathbf{H}$ 를 전 처리할 필요가 있다. 그림 1은 MIMO 시스템에서  $\mathbf{H}$ 의 전 처리 과정을 거쳐 심볼 검파하는

과정을 보여준다. (1)에서 H를 QRD를 통하여 unitary 행렬인 Q와 upper-triangular 행렬인 R로 분해하여 식을 변형하고 양 변에 QH를 곱한 후, ML 기법을 이용해  $\tilde{\mathbf{x}}$ 를 추정하면 다음과 같이 표현된다<sup>[4]</sup>.

$$\tilde{\mathbf{x}} = \min_{\mathbf{x} \in \Omega^{N_T}} \|\mathbf{Q}^H \mathbf{y} - \mathbf{R}\mathbf{x}\|^2 = \min_{\mathbf{x} \in \Omega^{N_T}} \|\tilde{\mathbf{y}} - \mathbf{R}\mathbf{x}\|^2. \quad (3)$$

(3)에서  $\tilde{\mathbf{y}}$ 는 QHy이고, ML 기법은 수신 심볼 벡터  $\tilde{\mathbf{y}}$ 에서 가장 가까운 x를 찾는다.

LR은 QRD와는 다르게 필수적인 전 처리 과정은 아니다. ZF, SIC와 같은 심볼 검파 방법은 수신 복잡도는 낮지만 ML 기법에 비해 채널 상태에 따른 BER 성능 열화가 심하다는 단점이 있다. 이를 극복하기 위해 LR은 H를 직교성이 높은 기저 벡터로 구성된 행렬로 변환하여 성능 열화가 발생하는 검파 방법들을 사용하더라도 ML 기법에 준하는 디버시티 이득을 얻을 수 있다<sup>[5]</sup>. MIMO 시스템의 모델을 LR을 적용하여 나타낸 식이다.

$$\mathbf{y} = \mathbf{H}\mathbf{x} + \mathbf{n} = (\mathbf{H}\mathbf{T})(\mathbf{T}^{-1}\mathbf{x}) + \mathbf{n} = \hat{\mathbf{H}}\mathbf{z} + \mathbf{n}. \quad (4)$$

위 식은 채널 행렬 H를 직교성이 높은 기저 벡터로 변환하기 위한 unimodular 행렬 T를 이용한 연산이다. 즉, 행렬  $\hat{\mathbf{H}}$ 는 직교 행렬이고 송신 심볼 벡터 x는  $\mathbf{T}^{-1}\mathbf{z}$  연산을 통하여 구할 수 있다. 결론적으로, 전 처리 과정 LR은 연산 복잡도가 낮지만 성능 열화가 발생할 수 있는 검파 방법의 단점을 보완하는 역할을 한다. LR을 수행하는 대표적인 방법으로 Lenstra-Lenstra-Lovasz(LLL) 알고리즘이 제안되었다<sup>[7]</sup>. LLL 알고리즘은 직교화 과정을 통한 size reduction 과정과 열 벡터 교환 과정을 반복적으로 수행하기에 연산 복잡도가 높고, 가변적인 연산량을 갖는 단점이 있다. 이러한 단점을 보완하기 위해 HOLL (hardware optimized LLL)등 새로운 알고리즘에 대한 연구가 진행되었다<sup>[8-9, 13-14]</sup>.

### III. 제안하는 전 처리 프로세서

본 장에서는 제안하는 전 처리 프로세서의 연산 과정과 더불어 하드웨어 구조와 그 동작 방식에 대해 설명한다. 제안하는 전 처리 프로세서는 QRD와 LR의 연산을 수행함으로써 채널 행렬을 심볼 검파를 위해 변형한

다. 본 논문에서는 QRD와 LR의 연산을 수행함에 있어 두 전처리 과정의 일부 연산 공유성을 바탕으로 하나의 연산 유닛을 공유함으로써 낮은 하드웨어 복잡도를 달성한다. 또한, 다중 사이클 아키텍처를 기반으로 설계하여 기존 연구와 비교하여 하드웨어 복잡도는 더욱 낮추면서도 동등한 수준의 latency를 달성한다.

#### 1. 제안하는 프로세서의 QRD 및 LR 연산 과정

본 논문에서는 QRD와 LR 두 전처리 과정의 일부 연산 공유성을 이용하여 하드웨어 구현에 있어 이점을 얻는다. 제안하는 프로세서는 전 처리 과정인 QRD와 LR의 연산을 수행한다. QRD는 Givens Rotation (GR)방식을 통해 연산되고, LR은 HOLL 알고리즘을 적용하여 연산된다. HOLL 알고리즘의 basis update 과정은 QRD와 마찬가지로 GR방식에 의해 연산된다. 이는 GR방식이 다른 어떠한 방식보다 하드웨어 구현에 적합하기 때문이다<sup>[12]</sup>. 제안하는 전 처리 프로세서는 각 과정

$(\tilde{\mathbf{R}}, \tilde{\mathbf{Q}}, \mathbf{T}) = \text{Joint\_QRD\_LR}(\mathbf{H}, \text{mode})$

- 1)  $\tilde{\mathbf{R}} = \mathbf{H}$ ,  $\tilde{\mathbf{Q}}^H = \mathbf{I}_{N_T \times N_R}$ ,  $\mathbf{T} = \mathbf{I}_{N_R \times N_R}$ ; stop = FALSE;
- 2)  $k=2$ ;
- 3) while  $k \leq N_T$  % Update  $\tilde{\mathbf{R}}$  and  $\tilde{\mathbf{Q}}$  using CU;
- 4)  $\boldsymbol{\theta} = \begin{bmatrix} a & b \\ -b & a \end{bmatrix}$  with  $a = \tilde{\mathbf{R}}(k-1, k-1) / \|\tilde{\mathbf{R}}(k-1:k, k-1)\|$ ;  
 $b = \tilde{\mathbf{R}}(k, k-1) / \|\tilde{\mathbf{R}}(k-1:k, k-1)\|$ ;
- 5)  $\tilde{\mathbf{R}}(k-1:k, k-1 : N_T) = \boldsymbol{\theta} \tilde{\mathbf{R}}(k-1:k, k-1 : N_T)$ ;
- 6)  $\tilde{\mathbf{Q}}(:, k-1:k) = \boldsymbol{\theta} \tilde{\mathbf{Q}}(:, k-1:k)$ ;
- 7) end
- 8) while stop = FALSE or mode = 1;
- 9)  $k = 2$ ; stop = TRUE;
- 10) while  $k \leq N_T$
- 11) for  $m = k-1 : -1 : 1$
- 12)  $\mu_q = \text{QUANTIZATION}(\tilde{\mathbf{R}}_{m,k} / \tilde{\mathbf{R}}_{m,m}, [0, \pm 1, \pm 2])$ ;
- 13)  $\tilde{\mathbf{R}}(1:m, k) = \tilde{\mathbf{R}}(1, m:k) - \mu_q \tilde{\mathbf{R}}(1, m:m)$ ;
- 14)  $\mathbf{T}(:, k) = \mathbf{T}(:, k) - \mu_q \mathbf{T}(:, m)$ ;
- 15) end
- 16) if  $|\tilde{\mathbf{R}}_{k-1, k-1}| > |\tilde{\mathbf{R}}_{k, k}|$
- 17) Swap (k-1)th and kth columns in  $\tilde{\mathbf{R}}$  and  $\mathbf{T}$
- 18) Update  $\tilde{\mathbf{R}}$  and  $\tilde{\mathbf{Q}}$  using CU;
- 19) stop = FALSE;
- 20) end
- 21)  $k = k+1$ ;
- 22) end
- 23) end

그림 2. 제안하는 프로세서의 QRD와 LR의 공동 연산과정

Fig. 2. Joint QRD and LR in the proposed processor.

을 순차적으로 수행하기에 하드웨어 유닛 공유가 가능하다. 따라서 제안하는 프로세서는 QRD와 LR의 연산 공유성을 통하여 불필요한 하드웨어 유닛을 추가시키지 않고, 하나의 하드웨어 유닛을 공유하여 각 연산을 수행한다.

제안하는 프로세서는 QRD와 LR의 연산과정을 선택적으로 수행한다. 대부분 심볼 검파 방법에 필수적인 전 처리 과정인 QRD는 고정적으로 수행되고, 필요에 따라 LR의 수행여부가 결정된다. 그림 2는 제안하는 프로세서의 연산 과정을 나타낸다. 1번째 줄에서  $\mathbf{I}_{N_T \times N_T}$  크기를 가진 단위행렬이다. 8번째 줄에서 mode 신호에 의해 LR을 수행할 지 결정하게 된다. 만약 채널의 환경이 좋아 LR을 수행할 필요가 없다면 mode 신호는 0으로 입력될 것이고, 채널의 환경이 불량하다면 LR을 수행하기 위해 mode 신호는 1로 입력될 것이다.  $\mu_q$  값의 99.9%가 0,  $\pm 1$ ,  $\pm 2$ 값으로 정해지기 때문에 12번째 줄의 QUANTIZATION을 통하여  $\mu_q$  값을 구해준다<sup>[12]</sup>.  $\mathbf{R}(a:b, c:d)$ 은  $\mathbf{R}$ 의  $a$ 행부터  $b$ 행,  $c$ 열부터  $d$ 열까지의 부분행렬을 의미한다. 2-7번째 줄은 GR 방식을 통한 QRD를 나타낸다. 이 과정에서  $\mathbf{H}$ 는 unitary 행렬  $\mathbf{Q}$ 와 upper triangular 행렬  $\mathbf{R}$ 로 분해된다. 11-18번째 줄은 LR의 알고리즘인 HOLL을 나타낸다. HOLL 알고리즘은 고정적인 iteration만을 수행하기 때문에 고정적인 latency를 달성한다. LR은 11-15번째 줄의  $\mu$ 값을 양자화한 후  $\mathbf{R}$ 과  $\mathbf{T}$ 의 size reduction을 수행 하는  $\mu$ -calculation & size reduction 과정, 16-17번

제 줄의 Siegel's condition에 따라  $\mathbf{R}$ ,  $\mathbf{T}$ 의 열 벡터 교환 연산을 수행하는 condition & swap 과정, 18번째 줄의 basis update 과정으로 나뉘게 된다. basis update 과정은 QRD와 동일하게 GR방식을 사용하며, CU를 통하여 size reduction과 열 벡터의 교환과정을 거친  $\mathbf{R}$ 을 upper-triangular 행렬로 만들어주기 위한 연산을 수행한다.

## 2. 저 복잡도를 가진 하드웨어 구현

제안하는 전 처리 프로세서는 낮은 하드웨어 복잡도를 달성하기 위하여 다중 사이클 아키텍처 기반으로 설계하였다. 그 결과 기존의 pipelined 아키텍처 기반으로 설계된 연구들에 비해서 낮은 하드웨어 복잡도를 갖으

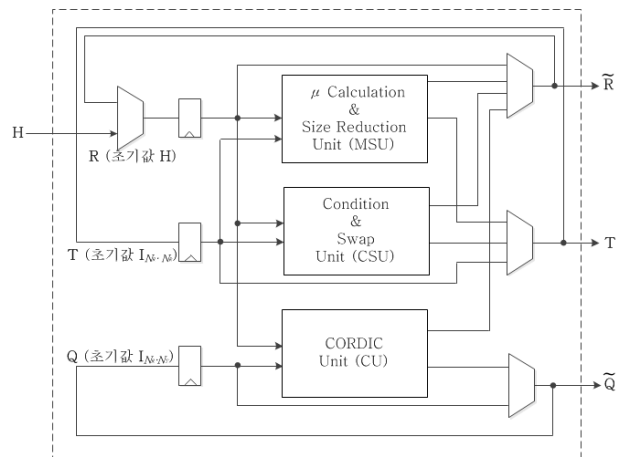


그림 3. 제안하는 전처리 프로세서의 전체 구조  
Fig. 3. Overall architecture of the proposed processor.

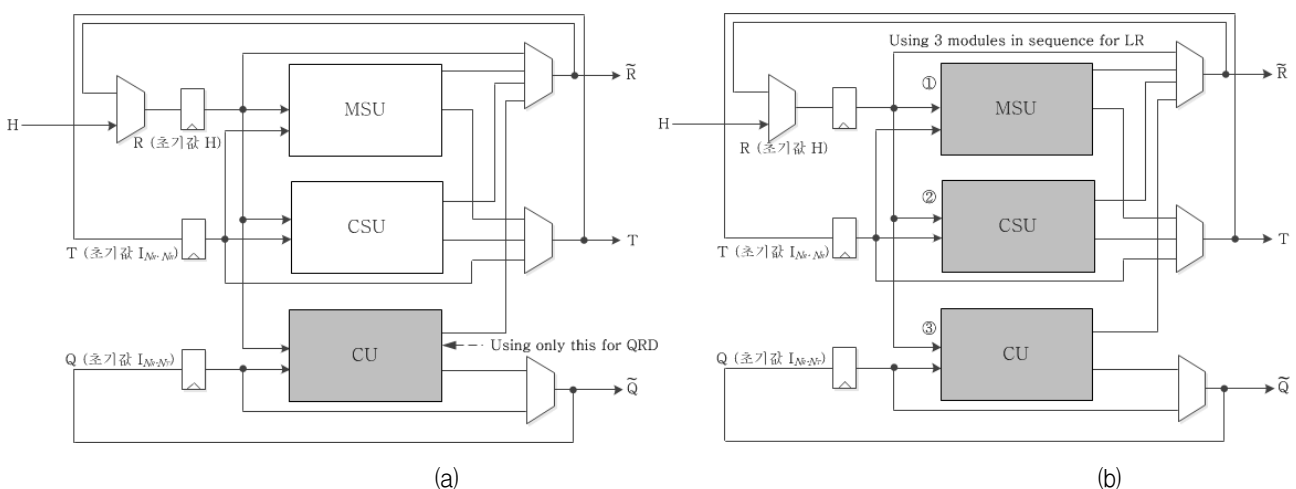


그림 4. 제안하는 전 처리 프로세서의 QRD와 LR 동작 과정 (a)는 QRD 모드이며 CU만이 활성화된다. (b)는 LR을 수행할 시 활성화되는 유닛이고, MSU, CSU, CU가 순차적으로 동작한다.  
Fig. 4. Activation of the sub-units in the proposed processor for (a) QRD and (b) LR.

면서도 동등한 수준의 latency를 갖는다. 기존의 연구들은 throughput을 향상시키기 위하여 pipelined 아키텍처 기반으로 설계하였다. 하지만 실제 MIMO 시스템들은 다수의 심볼 벡터로 구성된 프레임 단위로 통신이 이루어지고, 한 프레임 내에서는 채널 환경이 동일하다고 가정되기 때문에 심볼 검파 이전의 채널을 통한 전처리 과정은 throughput의 향상보다는 latency 관점의 설계가 필요하다. 따라서 본 논문은 높은 하드웨어 복잡도를 갖는 pipelined 아키텍처가 아닌 다중 사이클 아키텍처 기반으로 하드웨어를 구현하여 낮은 하드웨어 복잡도를 달성한다. QRD와 LR의 basis update 모두 CU를 통하여 GR방식으로 연산을 수행하게 된다. GR방식은 덧셈기, 시프트 연산기 등 비교적 하드웨어 복잡도가 낮은<sup>[6]</sup>CORDIC에 의해 연산이 가능하므로 저 복잡도 하드웨어 구현에 적합한 연산방식이다<sup>[6]</sup>. 제안하는 프로세서는 두 전 처리 과정의 연산 공유성을 통해 CU를 공유함으로써 하드웨어 복잡도를 낮추었다. 그림 3은 제안하는 하드웨어의 전체 아키텍처를 나타낸다. QRD를

수행할 때는 CU만이 동작하며, LR을 수행할 때는 MSU, CSU, CU가 순차적으로 동작한다. 제안하는 전 처리 프로세서의 QRD와 LR의 동작 과정은 그림 4에서 설명한다.

MSU에서는  $\mu$ 값을 계산한 뒤  $\mathbf{R}$ ,  $\mathbf{T}$ 의 size reduction을 수행한다. 그림 5는 MSU의 내부 구조를 나타낸다. 먼저  $\mathbf{R}$ ,  $\mathbf{T}$ 가 입력되며  $\mathbf{R}$ 에 의해  $\mu$ 값이 계산된다. HOLL 알고리즘을 사용하기 때문에  $\mu$ 값을 직접 계산하지 않고 양자화 시키는 과정을 통해 연산 복잡도를 낮추었다.  $\mu$ -calculation 블록은 값을 양자화 시키는 역할을 하고 양자화 된  $\mu$ 값은 size reduction 블록의 멀티플렉서의 제어신호로 입력된다. 계산 결과는 size reduction 블록에 의해  $\mathbf{R}$ ,  $\mathbf{T}$ 의 size reduction을 수행한다. 이 과정은 조합 논리회로로 구현되었기 때문에 1 클럭 사이클이 소요된다. 계산된  $\mathbf{R}$ 은 각 열 벡터의 크기가 작아지게 되고, 계산된  $\mathbf{T}$ 는 심볼 검파 이후 좌표계를 보정 할 때 사용된다.

CSU에서는 size reduction된  $\mathbf{R}$ ,  $\mathbf{T}$ 의 열 벡터 교환

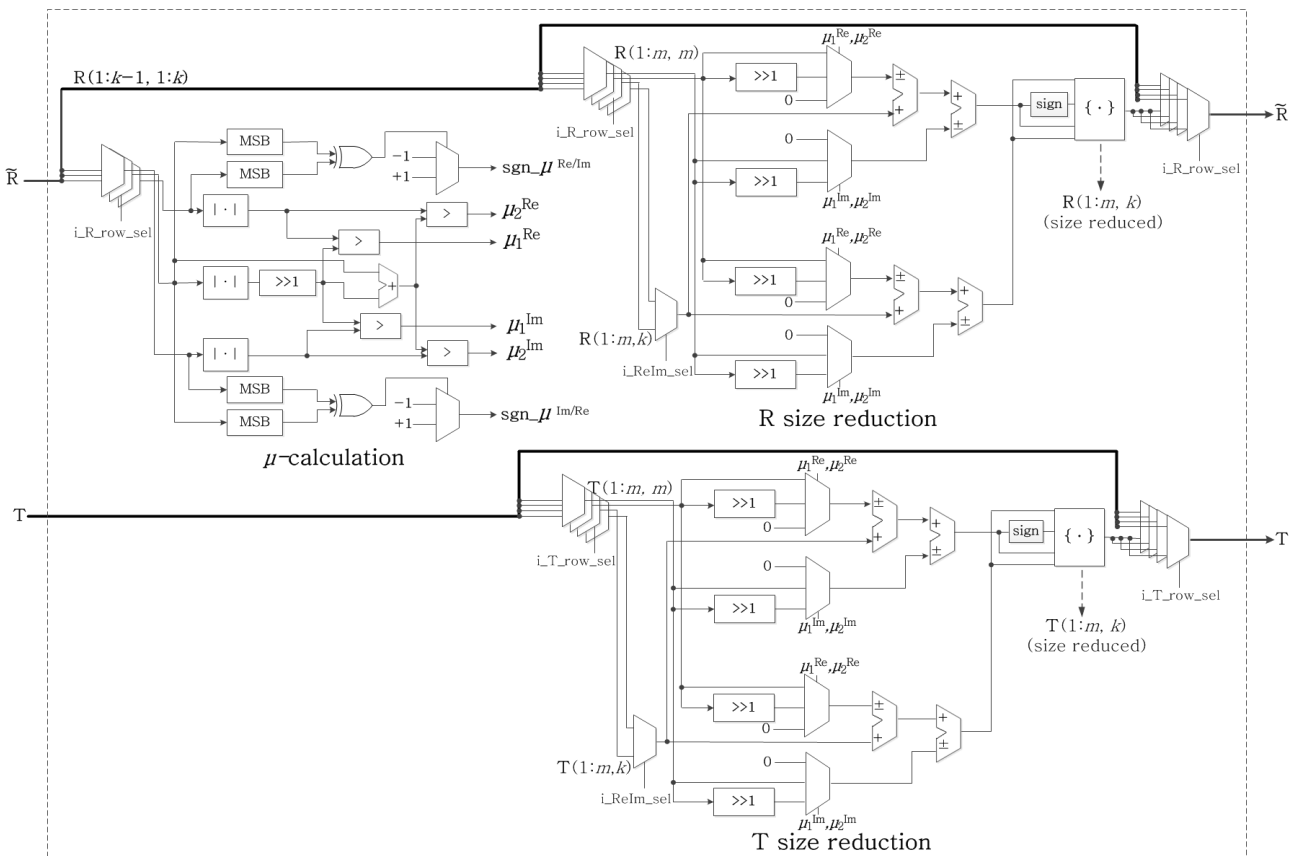


그림 5. MSU의 내부구조 ( {•}연산은 입력 데이터의 concatenation을 수행한다. )  
 Fig. 5. Internal structure of MSU, where {•} is a concatenation operator.

과정이 이루어진다. 그림 6은 CSU의 내부 구조이다. Siegel's Condition Check 블록에서  $\mathbf{R}$ 의 대각 성분만을 비교하여 swap 조건을 결정한다. 만약 Siegel's condition이 만족하지 않는다면 Swap 유닛에서 열 벡

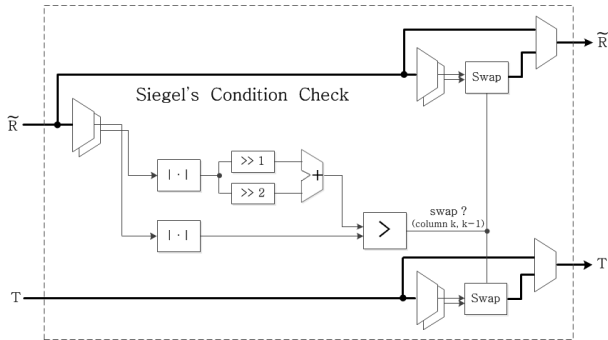
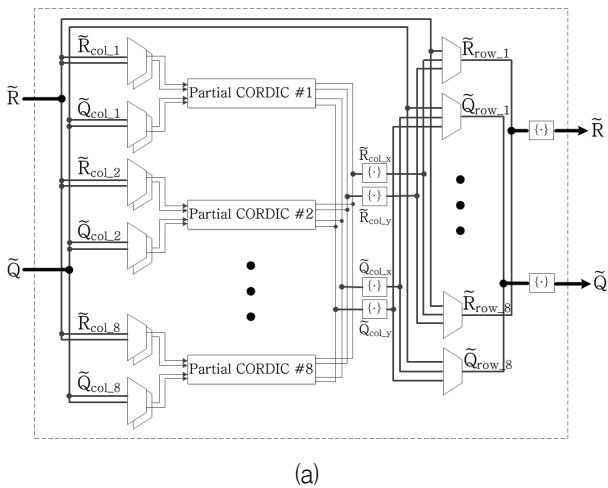
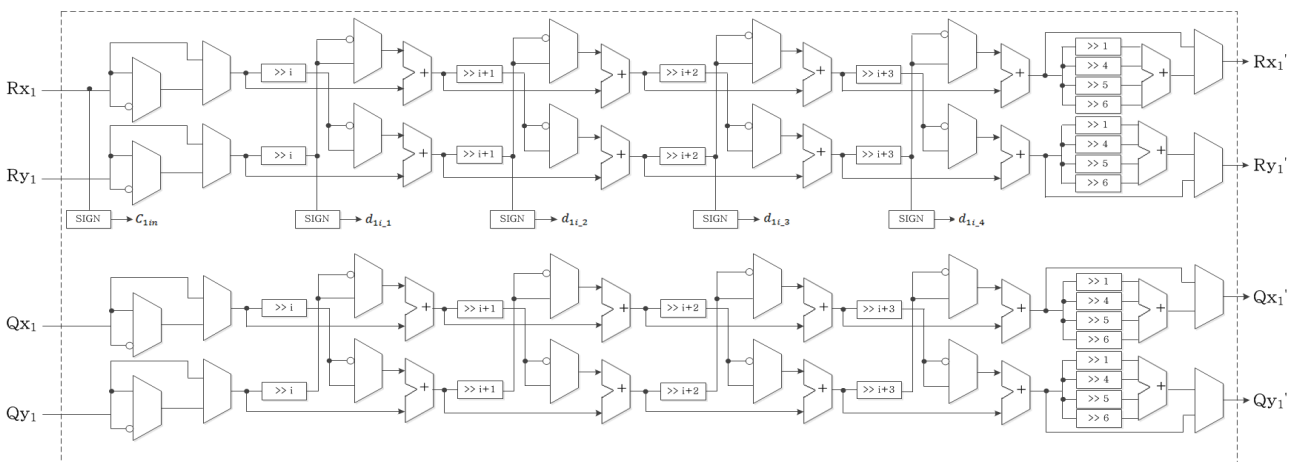


그림 6. CSU의 내부구조  
Fig. 6. Internal structure of CSU.



(a)



(b)

그림 7. (a) CU의 내부구조 (b) Partial CORDIC의 내부구조  
Fig. 7. (a) Internal structure of (a) CU and (b) partial CORDIC

터가 교환된  $\mathbf{R}$ 과  $\mathbf{T}$ 가 최종 결과로 얻어질 것이고, 만족 한다면 기존의  $\mathbf{R}$ ,  $\mathbf{T}$ 가 최종 결과로 얻어질 것이다. Siegel's condition을 사용함으로써 CLLL 알고리즘<sup>[7]</sup>의 Lovasz's condition에 비해 연산 복잡도를 낮추었다. Siegel's condition을 통하여  $\mathbf{R}$ 의 대각 성분의 크기만을 비교하며 조건을 만족할 시, 각 열 벡터의 교환 과정이 수행된다. Siegel's condition은 Swap 유닛의 제어 신호로 입력되며 조건을 만족할 시 2개의 Swap 유닛에서  $\mathbf{R}$ ,  $\mathbf{T}$ 의 열 벡터 교환 과정이 동시에 진행되며 조합 논리회로로 구현되어 1 클럭 사이클만이 소요된다.

CU는 8개의 병렬적인 partial CORDIC을 포함하며 GR방식을 통하여 QRD와 basis update 연산을 수행한다. 그림 7은 CU의 내부 구조를 나타낸다.  $\mathbf{R}$ 과  $\mathbf{Q}$ 가 입력되고 각 열 벡터에서 2개의 성분만이 partial CORDIC에 입력된다. 결과로 출력된 성분들은 concatenation되고, 최종적으로 각 행 벡터가 concatenation되어 결과가 출력되는 구조이다.  $8 \times 8$  실수 영역모델의 모든 열을 동시에 연산하기 위해 partial CORDIC 8개를 병렬적으로 사용함으로써 QRD 및  $\mathbf{Q}$ ,  $\mathbf{R}$ 의 basis update를 효과적으로 수행한다.  $8 \times 8$  행렬은 열 단위로 분해되고 각 열 중 2개의 성분이 선택되어 각각 partial CORDIC의 입력으로 들어간다. partial CORDIC은 타 유닛간의 critical path를 고려하여 CORDIC 연산을 4stage 연결하여 사용한다. 즉, CORDIC 연산과 동작은 동일하지만 4번의 CORDIC 연산이 1 클럭 사이클 동안 수행된다. 이로써 기존의 pipelined 구조로 설계된 HOLL 알고리즘에 비해 더

낮은 하드웨어 복잡도를 달성할 수 있다. 제안하는 전 처리 프로세서는 QRD와 LR의 연산 과정의 유사성을 이용하여 하드웨어 유닛 공유를 통해 하드웨어 복잡도를 최소화시켰고, 다중 사이클 아키텍처 기반으로 설계하였기 때문에 pipelined 아키텍처 기반으로 설계된 기존의 논문 [8~9, 14, 17]들에 비해서 낮은 하드웨어 복잡도를 갖으면서도 동등한 수준의 latency를 달성하였다.

IV. 구현 결과 및 고찰

제안하는 프로세서는 심볼 검파에 필요한 전 처리 과정인 QRD와 LR을 겸용하도록 구현되었다. 제안하는 프로세서는 전 처리 과정인 LR을 제공함으로써 채널의 상태에 따른 BER 성능 열화가 발생하는 심볼 검파 방법의 BER 성능을 향상시킨다. 그림 8은 전 처리 과정 LR이 수행되지 않은 SIC, 제안하는 QRD와 LR이 결합된 전 처리 프로세싱을 수행한 SIC 검파 방법의 시뮬레이션 결과와 잡음 전력 스펙트럼 밀도의 비로써 정의된다. 제안하는 전 처리 과정을 거친 SIC 검파 방법은 기존 SIC 검파 방법에 비해 크게 향상된 BER 성능 이션 결과를 나타낸다. signal-to-noise ratio (SNR)은 을 보인다. 송수신 안테나 4개를 갖고 QPSK와 16QAM을 지원하는 MIMO 시스템 환경에서 제안하는 전 처리 과정을 거친 SIC는 기존의 SIC 검파 방법과 비교하여 BER 성능이  $10^{-3}$ 일 때 각각 10dB, 7dB의 성능 이득을 취한다.

제안하는 프로세서는 0.18- $\mu$ m CMOS 공정의 셀 라이브러리를 사용하여 합성되어 최대 117MHz의 동작 주파수를 갖는다. 표 1은 기존의 구현결과와 제안하는

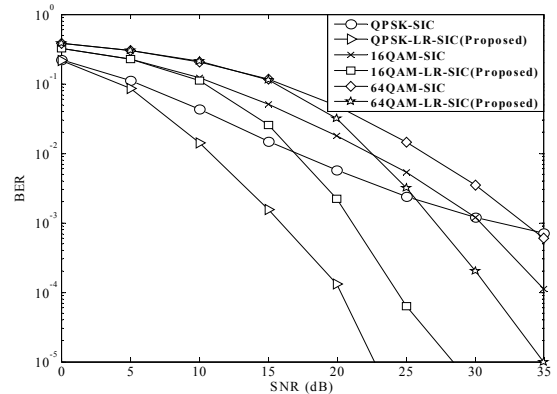
표 1. 구현 결과

Table 1. Implementation results.

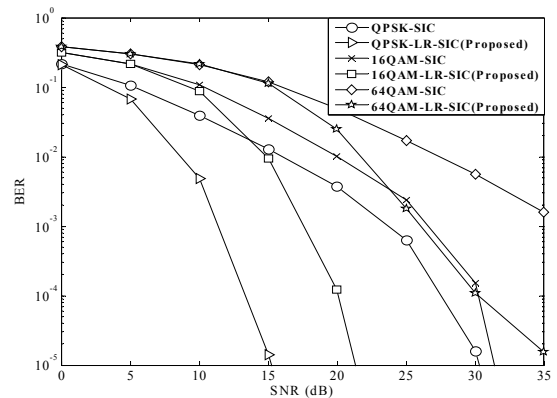
Processor	[11]	[14]	[15]	[17]	This work
Functionality	QRD	LR	LR	QRD-LR	QRD-LR
Matrix size	$8 \times 8$ (real)	$8 \times 8$ (real)	$8 \times 8$ (real)	$8 \times 8$ (complex)	$8 \times 8$ (real)
CMOS technology	90nm	65nm	90nm	90nm	180nm
Operating frequency	125MHz	833MHz	37MHz	55MHz	117MHz
Latency ( $\mu$ s)	0.29	0.38	3.89	43.5	5
Gate count (KGE) <sup>a)</sup>	115	193	200	456	139
FOM <sup>b)</sup>	241	16.34	34.7	0.92	12.30

<sup>a)</sup> 1GE = 가장 작은 2-input NAND의 게이트 수

<sup>b)</sup> 1FOM =  $10^6 / (KGE \cdot \text{latency}(\text{cycles}))$



(a)



(b)

그림 8. BER 성능

(a) : 3x3 MIMO 시스템, (b) : 4x4 MIMO 시스템

Fig. 8. BER performance.

(a) : 3x3 MIMO system, (b) : 4x4 MIMO system

프로세서의 구현결과를 비교한 표이다. 기존의 구현 결과<sup>[11, 14-15]</sup>에서는 QRD 또는 LR만을 수행할 수 있지만

제안하는 프로세서는 두 전 처리 과정을 모두 수행 가능하다. latency와 하드웨어 복잡도를 동시에 고려하여 기존의 연구 결과와 비교하기 위해서 figure of merit (FOM) =  $10^6 / (\text{KGE} \cdot \text{latency}(\text{cycles}))$ 을 도입하였다. 제안하는 프로세서는 [17]에 비해 13배 이상의 FOM을 보이며, 기존의 LR만을 수행하는 프로세서를 구현한 [14], [15]과 비교하여 제안하는 전 처리 프로세서가 QRD를 추가적으로 수행함에도 불구하고 FOM 관점에서 동등한 결과를 보인다.

## V. 결 론

본 논문에서는 MIMO 시스템을 위한 전 처리 과정인 QRD와 LR을 겸용으로 처리하여 낮은 하드웨어 복잡도를 가지고 높은 효율을 보이는 프로세서를 제시하고 구현하였다. 제안하는 프로세서는 QRD와 LR의 일부 연산 유사성을 이용하여 하드웨어를 공유함으로써 하드웨어 복잡도를 낮추었다. 심볼 검파 이전의 채널을 이용한 전 처리 과정은 throughput의 향상보다 latency 관점의 설계가 필요하므로 다중 사이클 아키텍처를 기반으로 설계되어 저 복잡도, 고효율 하드웨어로 구현되었다. 제안하는 프로세서는 0.18- $\mu\text{m}$  CMOS 공정에서 139K의 게이트 수로 구현되어 송수신 안테나 4개를 갖는 MIMO 시스템에서 5 $\mu\text{s}$ 의 latency를 달성하였다.

## REFERENCES

- [1] V. Tarokh, H. Jafarkhani, and A. Calderbank. "Space-time block codes from orthogonal designs," *IEEE Trans. Inf. Theory*, vol. 45, no. 5, pp. 1456-1467, Jul. 1999.
- [2] P. W. Wolniansky, G. J. Roschini, G. D. Golden, and R. A. Valenzuela. "V-BLAST: an architecture for realizing very high data rates over the rich-scattering wireless channel," *Proc. Int. Symp. Sig. Sys. Elect.* pp. 230-235. Sep. 1998.
- [3] E. Agrell, T. Eriksson, A. Vardy, and K. Zeger. "Closest point search in lattices," *IEEE Trans. Inf. Theory*, vol. 48, no.8, pp. 2201-2214. Aug. 2002.
- [4] M. O. Damen, H. El Gamal, and G. Caire. "On maximum-likelihood detection and the search for the closest lattice point," *IEEE Trans. Inf. Theory*, vol. 49, no. 10, pp. 2389-2402, Oct. 2003.
- [5] M. Taherzadeh, A. Mobasher and A. K. Khandani. "LLL reduction achieves the receive diversity in MIMO decoding," *IEEE Trans. Inf. Theory*, vol. 53, no. 12, pp. 4801, Dec. 2006.
- [6] P. K. Meher, J. Valls, T. B. Juang, K. Sridharan, K. Maharatna. "50 years of CORDIC: algorithms, architectures, and applications," *IEEE Trans. Circuits Syst. I, Reg. Papers.* vol. 56. no. 9. pp. 1893 - 1907. Sep. 2009.
- [7] A. K. Lenstra, H. W. Lenstra, and L. Lovasz, "Factoring polynomials with rational coefficients," *Math. Ann*, vol. 261, pp. 515 - 534, 1982.
- [8] X. Ma and W. Zhang, "Performance analysis for MIMO Systems with lattice-reduction aided linear equalization," *IEEE Trans. Commun.* vol. 56. no. 2. pp. 309 - 318. Feb. 2008.
- [9] Luis G. Barbero, David L. Milliner, T. Ratnarajah, John R. Barry, and C. Cowan, "Rapid prototyping Clarkson's lattice reduction for MIMO detection," *Proc. IEEE Int. Conf. Commun.*, pp. 1-5, Jun. 2009.
- [10] B. Gestner, Z. Wei, X. Ma, and D. V. Anderson, "Lattice reduction for MIMO detection: From theoretical analysis to hardware realization," *IEEE Trans. Circuits Syst. I, Reg. Papers.* vol. 58, no. 4. pp. 813 - 826, Apr. 2011.
- [11] Tsung-Hsien Liu, Chun-Ning Chiu, Pei-Yu Liu and Yuan-Sun Chu. "Block-Wise QR-Decomposition for the Layered and Hybrid Alamouti STBC MIMO Systems: Algorithms and Hardware Architectures." *IEEE Trans. Signal Process.* vol. 62. no. 18. Sep. 2014.
- [12] Zheng-Yu Huang and Pei-Yun Tsai, "Efficient implementation of QR decomposition for gigabit MIMO-OFDM systems," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 58, no. 10, pp. 2531 - 2542, Oct. 2011.
- [13] Chungwon Lee, Ho-Kyoung Lee, and Seowon Heo, "Low-Complexity Lattice Reduction Aided MIMO Detectors Using Look-Up Table," *Jour. IEIE*. vol. 46. no. 5. pp. 88 - 94. May. 2005.
- [14] M. Shabany, A. Youssef, and G. Gulak, "High-throughput 0.13- $\mu\text{m}$  CMOS lattice reduction core supporting 880 Mb/s detection," *IEEE Trans. Very Large Scale Integre. (VLSI) Syst.* vol. 21, no. 5, pp. 848 - 861, 2013.
- [15] Chun-Fu Liao, Yuan-Hao Huang. "Power-Saving 4  $\times$  4 Lattice-Reduction



Processor for MIMO Detection With Redundancy Checking,” *IEEE Trans. Circuits Syst. II. Exp. Briefs.* vol. 58. no. 2. Feb. 2011.

- [16] Min-Woo Lee and Jongsun Park. “Sign-Select Lookahead CORDIC based High-Speed QR decomposition Architecture for MIMO Receiver Applications,” *IEIE J. of Semiconductor Technology and Science.* vol. 11. no. 1. pp. 6 - 14. Mar. 2011.
- [17] Chun-Fu Liao, Jhong-Yu Wang and Yuan-Hao Huang, “A 0.18nJ/Matrix QR decomposition and Lattice Reduction Processor for 8×8 MIMO Preprocessing,” *Proc. Asian Solid-State Circuits Conf.* pp. 161-164. Nov. 2013.

---

저 자 소 개

---



박 민 우(학생회원)  
2009년~현재 한국항공대학교  
항공전자정보공학부 학사  
과정  
<주관심분야 : 회로 및 시스템,  
VLSI 설계, ASIC 설계>



이 상 우(학생회원)  
2010년~현재 한국항공대학교  
항공전자정보공학부 학사  
과정.  
<주관심분야 : 회로 및 시스템,  
VLSI 설계, ASIC 설계>



김 태 환(정회원)-교신저자  
2005년 연세대학교 전기전자  
공학과 학사 졸업.  
2007년 한국과학기술원 전기 및  
전자공학과 석사 졸업.  
2010년 한국과학기술원 전기 및  
전자공학과 박사 졸업.  
2011년~현재 한국항공대학교 항  
공전자정보공학부 교수.

<주관심분야 : 회로 및 시스템, VLSI 설계, ASIC  
설계>