



# 차세대 Ge/III-V 반도체 소자 연구

## I. 서론

10nm급 이하 논리 CMOS (complementary metal oxide semiconductor, 상보형금속산화반도체) 성능의 지속적인 발전을 위해 기존 Si 기술을 대체하는 Ge/III-V 물질을 도입하여 물리적인 미세화 한계를 극복하고 낮은 동작 전압에서 고성능 저전력 특성을 확보하는 CMOS 기술에 관한 연구가 진행 중 이다<sup>[1-4]</sup>. 실용적인 Ge/III-V 기술의 구현은 기존의 CMOS 공정과 호환성을 통한 이종집적 (heterogeneous integration)을 전제로 하기 때문에 고품위 헤테로에피택시, 고유전물질, 저저항전극 등 핵심 모듈 개발을 필요로 한다. 해외 논리반도체 IC

(integrated circuit) 기업들이 Ge/III-V 연구를 주도 하였으나, 최근 국내 반도체 기업들도 축적된 메모리 반도체 기술을 연장

**Ge/III-V 반도체 소자는 기존의 CMOS 공정과의 호환성을 전제로 하며, 고품위 헤테로에피택시, 고유전물질, 저저항 전극 등의 핵심 기술을 필요로 한다.**

적용하여 추격하고 있다. 국내 타 분야에 축적된 Ge/III-V 인프라의 적극적 활용으로 시너지가 발생한다면 이 분야 국내 경쟁력이 향상 될 것으로 보고 있다. Ge/III-V CMOS는 Si 기판에 이종집적 되는데 물질간 격자불일치로 인한 결정결함을 high aspect ratio trapping으로 감소시키며 3D 채널 구조를 제작 하는 방법이 유력시 된다. 이런 점에서 Ge/III-V CMOS는 10nm급 이하급에서 기존의 Si CMOS의 대체 기술로 상호 보완성은 있으나, 향후 기술의 성숙도, 지속성, 경제성을 고려하여 전략적 판단이 필요하다.

스케일링 (scaling)에 의한 고비용 저성장 기술개발 한계를 극복하고 미래 융합형 IT 기반 사회 시스템 구축을 위해 고성능 절전형 미래 반도체

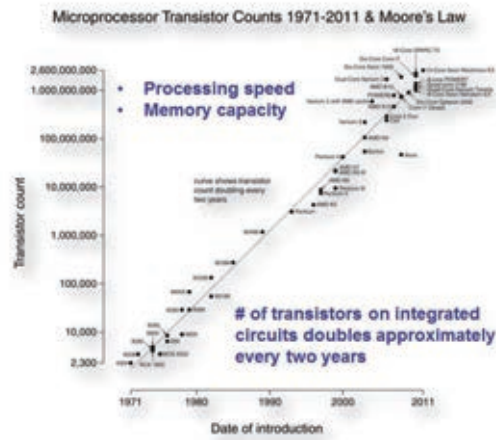


오 정 우  
연세대학교  
글로벌융합공학부

체 소자 기술이 필요하다. 기술의 성능비 제조단가 및 지속가능성을 고려하여 기존의 실리콘 기반에서 이종반도체와 접합을 통한 일괄공정으로 집적 되어 한다. 정보처리 트랜지스터가 미래형 소자 규격에 대응하기 위해 Ge/III-V 물질을 헤테로에피택시를 통해 Si 플랫폼에 제작하는 연구는 이미 진행되어 왔다. 기술의 성공적 도입에 대한 예측은 차치 하고라도 이종접합을 통한 단기적 패러다임 변화는 정보처리용 인터컨넥션 기술로 확장되고 있다. 기존의 구리배선을 대체하는 광배선을 실리콘기반 나노포토닉스를 통해 초단거리 데이터전송에 사용한다. 실리콘의 근본적 한계로 인해 특히 광원인 레이저는 Ge/III-V 물질로 제작하되 Si 플랫폼에서 집적되어야 한다는 것은 트랜지스터 개발과 같은 환경이다. 정보처리소자에 요구되는 이러한 변화는 에너지변환소자인 전력트랜지스터에도 규격의 범위는 상이할 수 있으나 이종집적 환경에서 연구되어야 된다는 점은 역시 동일하다. 높은 전력변환 효율 및 신뢰성 향상을 위해 와이드밴드갭인 기반 전력트랜지스터에 대한 요소 기술이 개발 중인데, 기존 Si 기판과는 다른 orientation에서 성장하는 헤테로에피택시 기술은 오믹전극 및 문턱전압 이슈등과 함께 해결해야 할 과제로 남아있다. 이상의 기술들이 우수한 CMOS 환경에서 가속 발전하는 장점은 있으나, 도입 시기 및 개발방법 구체화를 위한 로드맵 작성에 대한 논의는 필요하다.

## II. Si CMOS 스케일링 한계

지난 수십년간 Si 기반의 논리 및 메모리 반도체는 CMOS 기술로 구현 되고 있는데, 기술의 발전은 스케일링 이란 방법으로 지속적으로 유지 되고 있다. 스케일링은 정해진 반도체 기판 면적에 더 많은 소자를 집적하여 CMOS 회로의 성능을 높이는 것으로, 논리 및 메모리 반도체 기술을 지속적으로 발전시킬 수 있는 원동력 이었다. <그림 1>은 세계적 반도체 제조회사인 Intel사의 창시자중에 한명인 Moore가 예측한 반도체 집적도를 보여주는 것으로, 2년 마다 소자의 집적도는 2배씩 증가한다는 예측이 지금껏 꽤 정확히 지켜지고 있다. 핵심 소자인 트랜지스터의 수를 증가 시키면 논리 반도체의 연산속도

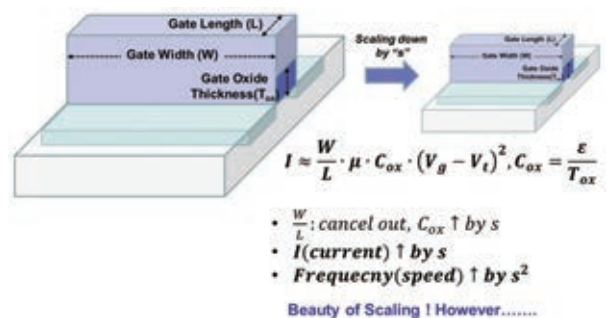


<그림 1> Moore's Law와 시간에 따른 집적도

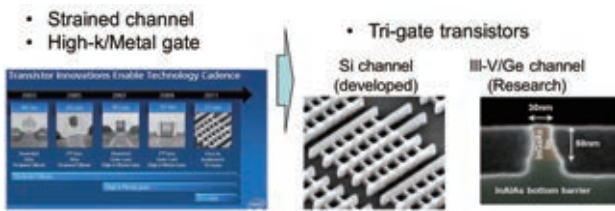
를 빠르게 할 수 있고, 메모리 반도체의 저장용량을 증가 시킨다. 또한 일괄공정에 의해 더 많은 소자를 제작 할 수 있어 공정단가 및 제품가격을 낮춰 기업 경쟁력 유지의 수단이 되어 왔다.

스케일링은 트랜지스터의 평면 및 단면 방향으로 할 수 있는데 <그림 2>, 평면 방향으로 게이트, 소오스, 드레인 전극의 길이를 작게 하여 전하 (전자 또는 정공)의 이동 속도를 향상 시키고, 단면 방향으로 절연체의 두께를 얇게 하여 전하의 양을 증가 시켜 궁극적으로 트랜지스터의 전류 밀도를 효과적으로 조절 할 수 있게 된다.

그러나 스케일링이 매년 지속적으로 진행되면서 여러 원치 않는 물리적 현상이 발생하게 되었다. 대표적인 것이 short channel effect로 게이트 길이가 나노 스케일로 짧아지면 게이트에 의한 수직 방향 전계효과가 소오스, 드레인에 의한 수평 방향 전계효과에 방해받아 채널에서 전하의 흐름을 제어하는 통제력을 잃게 된다. 이로 인



<그림 2> 스케일링에 의한 소자특성 변화



〈그림 3〉 기술단계에 따른 소자 구조 변화

해 누설 전류가 증가하고, 이는 신호의 스위칭 속도를 떨어뜨리며 전력 소모를 증가시키는 원인이 된다. 이러한 현상은 게이트를 이루고 있는 절연체의 두께가 물리적 한계점 이하로 얇아지면서 전하의 터널링이 발생하는 것에 의해서도 기인한다. 따라서 기존의 Si 기반 CMOS 스케일링을 보완 또는 대체 할 수 있는 새로운 기술로 high mobility channel CMOS 연구를 시작 하게 되으며, 게이트 전계효과 통제력을 강화하기 위해 트랜지스터 구조는 삼차원으로 진화하고 있다<sup>[5]</sup>〈그림 3〉.

### III. High mobility channel CMOS 도입

Si 반도체를 대체하는 물질로 고전하 이동도 (high mobility) Ge 과 III-V 반도체 channel에 대해 핵심 공정 개발 및 소자 집적화에 관해 많은 연구가 진행 되고 있다. III-V 반도체라 함은 주기율표의 3족과 5족의 원소가 합하여 화합물반도체를 이루는 형태이다. 따라서 〈표 1〉에서 보면 GaAs, InAs, InP, InSb가 이에 해당하며 Ge 반도체는 Si과 같이 4족에 위치한 것으로 단원자반도체 물질이다. Ge/III-V 반도체는 Si 대비 전하의 이동도 (mobility)가 우수 하다. Ge은 양전하를 가지는 정공의 이동도가, III-V는 음전하를 가지는 전자의 이동도가 Si 대비 높은 특성을 보인다. 따라서 정공 전하의 이동을 제어하는 PMOS와 전자의 이동을 제어하는 NMOS 트랜지스터로 구성된 CMOS 의 에서 Ge 과 III-V 반도체는 Si 반도체의 PMOS 와 NMOS를 대체하는데 사용 할 수 있다.

전하의 이동도가 높으면 트랜지스터의 전류 밀도를 높여 스위칭 속도를 향상 시킬 수 있으므로 고성능 반도체

〈표 1〉 High mobility channel용 반도체

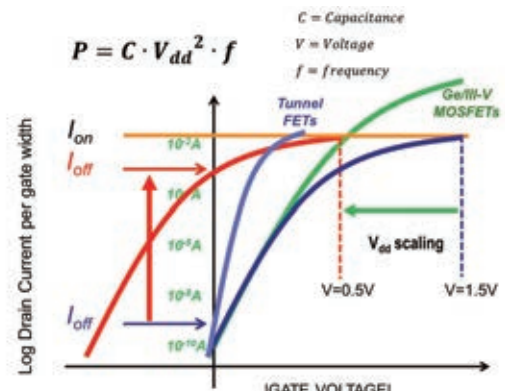
$$I \approx \frac{W}{L} \cdot \mu \cdot C_{ox} \cdot (V_g - V_t)^2 = W \cdot C_{ox} \cdot (V_g - V_t) \cdot \underbrace{\mu \cdot \frac{(V_g - V_t)}{L}}_{\text{Channel charge velocity}}$$

	Si	Ge	GaAs	InAs	InP	InSb
Electron mobility (cm <sup>2</sup> /Vs)	1600	3900	9200	40000	5400	77000
Electron effective mass (m <sub>e</sub> )	m <sub>e</sub> : 0.19 m <sub>v</sub> : 0.916	m <sub>e</sub> : 0.082 m <sub>v</sub> : 1.487	0.067	0.023	0.082	0.014
Hole mobility (cm <sup>2</sup> /Vs)	430	1900	400	500	200	850
Electron effective mass (m <sub>e</sub> )	m <sub>em</sub> : 0.48 m <sub>ev</sub> : 0.16	m <sub>em</sub> : 0.28 m <sub>ev</sub> : 0.044	m <sub>em</sub> : 0.45 m <sub>ev</sub> : 0.582	m <sub>em</sub> : 0.57 m <sub>ev</sub> : 0.35	m <sub>em</sub> : 0.45 m <sub>ev</sub> : 0.12	m <sub>em</sub> : 0.44 m <sub>ev</sub> : 0.016
Band gap (eV)	1.12	0.66	1.42	0.36	1.34	0.17
Permittivity	11.8	16	12	14.8	12.6	17

pMOSFET                      nMOSFET

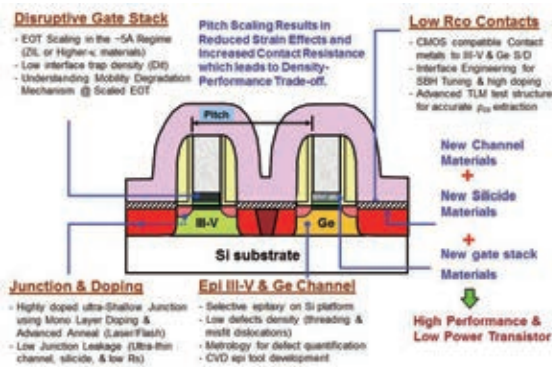
IC 제작이 가능하다. 반도체 소자 성능 향상은 앞에서 다루었듯이 게이트 길이 및 절연막 두께 스케일링을 통해 전하 속도 및 전하 양을 증가 시켜 전류 밀도를 높였다. 하지만, 스케일링이 극한으로 가며 원치 않는 전계 효과 및 누설 전류로 인해 소자의 지속적 성능 향상이 제한되는 문제점을 Ge/III-V 반도체로 전하이동도 향상을 통해 해결 하고자 하는게 도입 배경이라고 할 수 있다.

트랜지스터의 전류밀도를 높일 수 있다는 것은 동작전압을 낮출 수 있다는 것을 의미하기도 한다. 트랜지스터의 동작전압은 수평, 수직 방향의 물리적 스케일링과 함께 진행되고 있으며 기술단계 진화에 따라 낮은 동작전압을 요구 한다. 동작전압 스케일링은 물리적 스케일링에 따른 동일한 전계를 유지하기 위함인데, 트랜지스터의 문턱전압 (threshold voltage) 및 문턱전압 이하 기율기



〈그림 4〉 Ge/III-V 소자의 동작전압 감소





〈그림 5〉 Si 기반 Ge/III-V 소자 핵심 기술

(subthreshold swing) 제한으로 동작전압의 스케일링은 물리적 스케일링에 비해 상대적으로 느리게 진행되고 있다.

하지만 〈그림 4〉에서, high mobility channel을 사용하면 Si 대비 높은 트랜스컨덕턴스 (transconductance)로 동일한 동작전압에서는 높은 전류밀도를 얻을 수 있고, 동일한 전류밀도에서는 낮은 문턱전압을 얻을 수 있기 때문에 동작전압 스케일링에 동력을 줄 수 있다. 문턱전압을 낮추면 전력소모를 크게 줄일 수 있음은 아래 그림의 식에서 확인 할 수 있다. Ge/III-V 반도체 channel의 사용으로 고성능 동작을 하면서 전력소모를 낮출 수 있으므로 모바일 디바이스의 AP (application processor)의 배터리 소모를 획기적으로 줄일 수 있다.

실질적으로 기존의 Si CMOS 대체 기술이 되기 위해서는 공정의 호환성을 일차적으로 확보해야 한다. 기존의 Si 플랫폼에서 제작하기 위해 Ge/III-V 반도체는 Si 기판에 결정결합을 최소화 하며 성장 시킬 수 있어야 한다. 이종의 물질 성장을 헤테로 에피택시라고 하는데, 성장 공정에서 가장 어려운 물리적 제약은 이종 물질간의 다른 격자상수이다. 넓은 범위에서도 규칙적인 원자구조를 가진 단결정 반도체에 격자상수 불일치로 인한 결함이 포함되면 p-n 접합의 누설 전류가 생기고 결함은 깊은 준위의 에너지 사이트로 작용하여 반도체의 신뢰성을 열화시키는 주요한 요인으로 작용 한다.

〈그림 5〉는 high mobility channel 반도체를 Si 기판

에 집적하였을 때 발생하는 기술적 이슈들로 MOS 게이트 스택에서 절연막 형성 기술, 소오스, 드레인 전극의 금속층 접합 및 불순물 주입, 그리고 헤테로 에피택시에서 필요한 기술적 규격 사항을 보여 준다<sup>[6]</sup>. 이러한 요소 기술들이 개발되어 서로 집적화 되어 트랜지스터를 제작 할 수 있을 때 기존의 Si CMOS를 대체 할 수 있는 기술로 간주 할 수 있다.

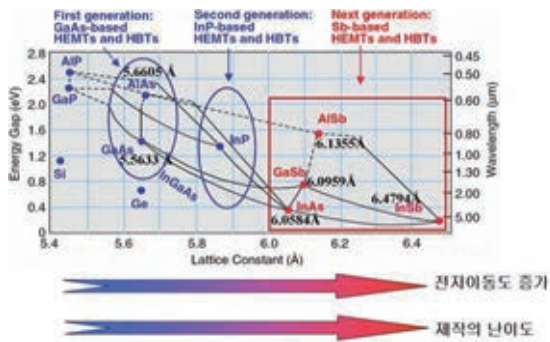
## IV. 핵심 공정 기술

CMOS 기술에서 주도적 역할을 하였던 Si을 새로운 반도체 물질로 대체하기 위해서는 기술적으로 해결 할 핵심 공정이 있다. 우수한 특성을 가진 Ge/III-V 반도체 물질이라 할지라도 Si 기판에서 일괄공정이 되어야 한다. 즉, 헤테로 에피택시를 통해 기존 대구경 Si 기판에 단결정으로 성장되어야 하고, 게이트 스택 및 소오스, 드레인 전극 공정은 기존의 절연체, 금속층 형성 기술로 제작 되어야 한다. 또한 CMOS 트랜지스터 집적 후 소자의 특성은 기존의 Si CMOS 기술을 연장하였을 때 보다 우수한 특성을 가져야 한다. 다음은 해결해야 할 핵심공정에 대해 알아보도록 한다.

**헤테로 에피택시에서 가장 어려운 물리적 제약은 이종 물질간의 서로 다른 격자상수이다.**

### 1. 헤테로 에피택시

Si (격자상수  $a=0.543$ ) 과 Ge ( $a=0.566$ ) 은 약 4%의 격자부정합 (lattice mismatch)으로 Si 25 원자 마다 1개의 전위 (misfit dislocation)를 형성한다. III-V 화합물 반도체인 GaAs는 Ge과 비슷한 격자상수로 Si 기판에 성장 시키면 약 4%의 격자부정합을 나타낸다. 격자부정합 때문에 성장된 Ge 과 GaAs 반도체에는 계면에서 misfit dislocation, 표면에서 threading dislocation이 형성된다. 이러한 결정결함은 반도체 소자에서 비이상적인 거동을 유발 하므로 최소화 시켜야 함은 위에서 언급하였다. 여러 화합물반도체 물질 중에서 특히 InGaAs (In=53%) 삼원계 반도체는 양자역학적 해석으로 전하 농도 및 이동도가 우수해 Si NMOS 대체 물질로 보고 있는데, 이 경우

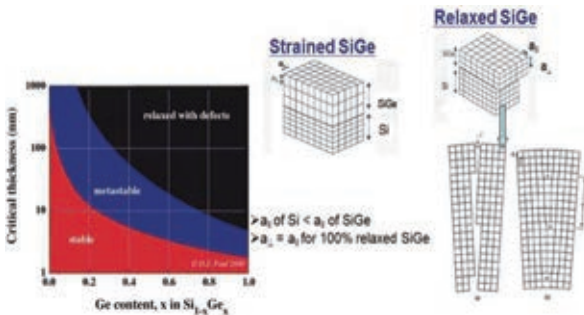


〈그림 6〉 Si 대비 격자상수 불일치도

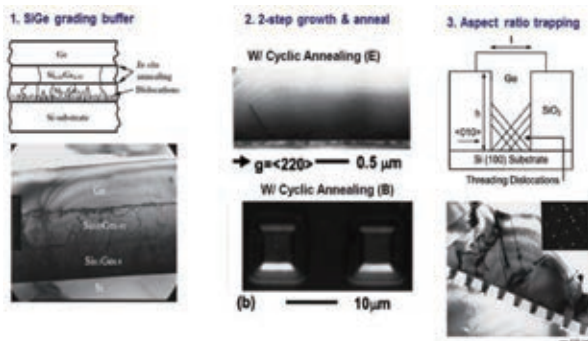
Si 기판과의 격자부정합은 8%로 매우 크다. 아래의 표에 보듯이 전자 이동도가 높은 화합물반도체는 상대적으로 격자부정합 차이로 Si 기판에 일괄 제작 난이도가 높은 것이 특징이다(그림 6).

격자부정합이 있는 이종물질이 성장될 때 결정결함이 발생하지 않고 기판과 성장 물질 격자 스트레인 형태로 부정합성을 지탱할 수 있는데, 이를 임계두께 (critical thickness)라고 한다. 임계두께 이하에서는 격자상수가

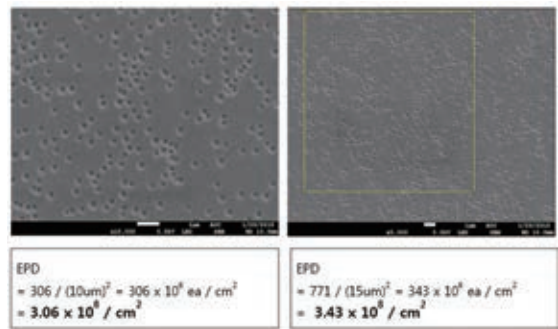
**헤테로 에피택시에서 결정 결함이 발생하지 않고 성장될 수 있는 두께를 임계두께라고 한다.**



〈그림 7〉 헤테로에피택시 임계두께



〈그림 8〉 결함감소를 위한 성장기술



〈그림 9〉 EPD에 의한 결정결함 정량화

다른 이종 물질임에도 결정결함이 발생하지 않는다. 하지만 임계두께 이상으로 성장 시키면 부정합성을 지탱 하였던 격자 스트레인이 증가하며 더 이상 지탱하지 못하게 (relaxation) 된다. 이에 대한 결과는 결정결함으로 나타난다.

〈그림 7〉은 Si 기판에 SiGe을 성장시킬 때 Ge 조성에 따른 임계두께를 보이는데 좀 더 자세히 본다면 성장온도에 따라 임계두께 변화를 stable, metastable, relaxed with defects 구간으로 보여 준다. 또한 임계두께 이하, 이상에서 스트레인과 릴렉스 메커니즘을 격자로 보이고 있다<sup>[7]</sup>.

〈그림 8〉은 높은 Ge 조성에서 얇은 임계두께를 극복하기 위해, 즉 성장시키는 Ge 결정성을 임계두께 이상에서도 향상시키기 위해 사용하는 결정성장 방법으로 SiGe 완충층 (grading buffer)을 사용, 저온/고온으로 나눠서 두 온도에서 성장 후 열처리를 가하는 방법 (2-step growth and anneal), 결정결함을 트렌치 내부에 가두어 표면에는 dislocation이 도달 하지 않도록 하는 aspect ratio trapping 방법을 도식과 전자현미경 이미지로 보여 주고 있다<sup>[8-10]</sup>.

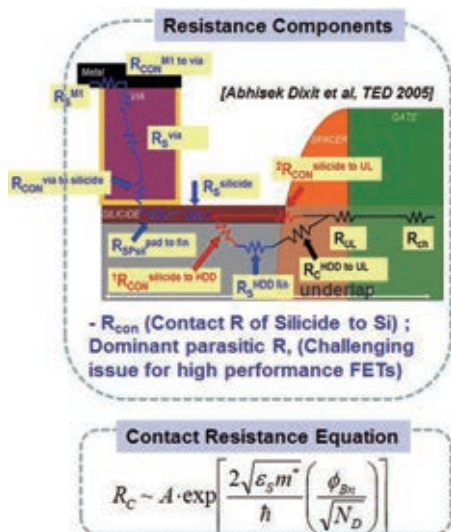
〈그림 9〉는 Si 기판에 성장시키는 Ge 박막층의 결정결함을 정량화하기 위해 EPD (etch pit density) 방법을 사용한다. EPD는 성장된 Ge 표면에 나타난 결함 (threading dislocation)을 선택적으로 식각하는 용액을 사용하여 결함농도를 정량화 한다. 반도체 결정내의 결함 밀도는 scattering center로 작용하여 전자 이동도를 감소시키며 소자의 특성을 저하 시키므로 결함밀도에 따른

소자특성 변화 관계에 대한 이해가 필요하다. 결함의 농도범위에 따라 또는 매우 낮은 결함농도 정량화로 EPD는 적합하지 않으므로 x-ray 또는 전자현미경으로 대체가 가능하다.

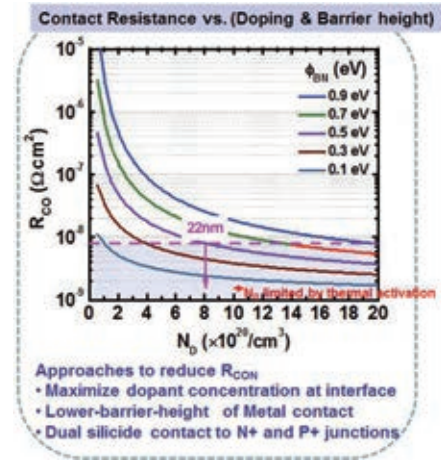
## 2. 전극 저항 저감

High mobility channel 반도체로 높은 전류밀도 또는 트랜스컨덕턴스를 얻을 수 있다고 하였는데, 이는 반도체 물질의 전하이동도가 높아서 가능한 것이다. 즉 도체와 반도체 특성을 조건에 따라 가질 수 있는 반도체는 저항 조절이 가능 하며 high mobility channel 반도체는 더욱 낮은 저항을 가질 수 있으므로 높은 전류밀도를 가진다. 금속 배선을 통해서 외부로 전달하기 위해 거쳐야 되는 게 금속-반도체간 접촉을 이루는 소오스, 드레인 전극이다. 기존 Si channel 보다 더욱 낮은 전극의 저항이 high mobility channel 에서는 요구 된다.

소자가 스케일링됨에 따라 게이트 길이가 100nm 아래로 줄어들고 이로 인해 발생하는 short channel effect를 억제하기 위해서는 ultra-shallow source/drain junction이 반드시 필요하다. 하지만 source/drain junction depth가 얇아지고 scaling down에 따라 silicide region의 length가 감소하게 되면 source/drain 사이의 series resistance가 증가하게 된다. <그림 10>



<그림 10> 트랜지스터 저항성분 분석<sup>[6]</sup>



<그림 11> 도핑농도에 따른 접촉저항

은 source/drain 영역에서의 series resistance의 구성요소를 나타내기 위한 MOSFET 단면도와 각각의 series resistance를 구성하는 저항들에 대한 수식이다.

기술단계에 따라 소자의 스케일링이 진행 될수록 소오스, 드레인 전극의 p-n junction 깊이가 얇아 저야만 short channel effect를 제한 할 수 있다. 그러다 보면 불순물 농도가 낮아지게 되고 전극에서 기생 저항이 커지게 된다. 특히 channel 저항인 낮은 high mobility Ge, III-V 반도체에서 전극의 기생저항 증가는 트랜지스터의 성능을 직접적으로 열화 시키는 요인으로 작용한다. 또한 스케일링으로 전극의 면적도 줄어들기 때문에 단위 면적당 금속-반도체 접촉저항은 더욱 낮아야 되는 기술적 부담이 있다. 금속-반도체간 접촉저항 (specific contact resistivity)을 낮추기 위해 반도체 표면에 고농도 도핑법이 필요하고, 금속 일함수값 조절로 효과적인 터널링 전류를 증가시켜 접촉저항을 감소 시켜야 된다<그림 11>. 또한 Ge, III-V 반도체에서는 fermi-level pinning 현상이 있어 n-type 또는 p-type에 따라 상대적으로 낮은 접촉저항 달성이 더욱 어려운 경우가 있어, 이를 해결하고자 얇은 유전체를 계면에 증착하는 기술을 사용하기도 한다.

## V. 결론

지금까지 Si CMOS의 대체 기술로 보고되고 있는 Ge,





III-V CMOS에 관해 도입배경 및 핵심기술에 관해 살펴 보았다. 이론적으로 우수한 물리적 특성에도 불구하고 실질적으로 사용될 수 있을지에 관해서는 아직 의견이 다양하다. 반도체 공정 기술 뿐만 아니라 설비, 안전, 환경 등 매우 많은 인프라에 영향을 미치리라 본다. 한편으로는 막대한 투자로 기술이 개발 된다고 할지라도 과연 얼마나 지속 가능한 기술인가에 대한 경제적인 평가도 다각도에서 분석이 되고 있다. 그러나 새로운 기술 개발을 위해 다양한 분야에서의 노력은 계속 되고 있으며, 이미 우리의 생활에 적용되고 있는 초연결 사회 구축에 반도체 소자의 필수 특성인 고성능, 고절전 사양을 가진 소자 제작을 위해 차세대 반도체 물질은 충분한 연구를 필요로 하는 분야임에는 이견이 없다.

### 참고 문헌

- [1] B. Duriez et al., IEDM Tech. Dig., p. 522, 2013.
- [2] J. Mitard et al., VLSI Symp. Tech. Dig., p. 138, 2014.
- [3] M. Radosavljevic et al., IEDM Tech. Dig., p. 765, 2011.
- [4] D. H. Kim et al., IEDM Tech. Dig., pp. 761, .2012.
- [5] Kelin Kuhn, Peering into Moore's Crystal Ball: Transistor Scaling beyond the 15nm node, International symposium on advanced gate stack technology, 2010
- [6] Jungwoo Oh, CMOS-compatible III-V/Ge Channels for High-Performance and Low-Power, Semicon Japan 2011
- [7] M. L. Lee, E. A. Fitzgerald, M. T. Bultsara, M. T. Currie, and A. Lochtefeld, Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors J. Appl. Phys. 97, 011101 (2005)
- [8] Silvia Famà, Lorenzo Colace, Gianlorenzo Masini, Gaetano Assanto and Hsin-Chiao Luan, High performance germanium-on-silicon detectors for optical communications, Appl. Phys. Lett, 81, 586 (2002)
- [9] Hsin-Chiao Luan, Desmond R. Lim, Kevin K. Lee, Kevin M. Chen, Jessica G. Sandland, Kazumi Wada and Lionel C. Kimerling, High-quality Ge epilayers on Si with low threading-dislocation densities, Appl. Phys. Lett, 75, 2909 (1999)
- [10] J. Bai, J.-S. Park, Z. Cheng, M. Curtin, B. Adekore, M. Carroll,

A. Lochtefeld and M. Dudley, Study of the defect elimination mechanisms in aspect ratio trapping Ge growth, Appl. Phys. Lett, 90, 101902 (2007)



오 정 우

- 1997년 2월 연세대학교 공학 학사
- 1999년 2월 포항공과대학교 공학 석사
- 2004년 12월 University of Texas at Austin Ph.D.

〈관심분야〉  
3차원반도체, 정보처리광통신소자, 전력반도체