



차세대 저전력 터널링 트랜지스터

I. 서론

1965년에 무어의 법칙(Moore's Law)이 발표된 이래 반도체 업계는 금속-산화물 반도체 전계효과트랜지스터(metal-oxide semiconductor field-effect transistor, MOSFET) 기술에 기반을 두고 급속한 성장을 일구어왔다. 그러나 18개월 마다 반도체 집적회로의 성능이 2배로 증가한다는 무어의 법칙에 의한 반도체 업계의 공격적인 축소화 경쟁으로 인하여 최근 반도체 소자의 크기는 급속하게 작아지게 되었다. 이로 인하여 단채널 효과의 심화 및 미세 공정의 어려움이 심각한 문제로 등장하고 있다. 이러한 어려움을 극복하기 위하여 여러 가지 기술적 혁신이 이루어져 왔고 소자 축소화는 현재까지 지속되고 있는 상황이다. 기존의

초저전력 구동을 위해서는 매우 작은 문턱전압이하 기율기가 요구되며, Tunnel FET가 대안 중의 하나로 주목을 받고 있다.

실리콘의 격자구조를 변형시키는 스트레인드 실리콘(Strained Silicon)^[1]을 통하여 전자의 이동도를 높이는 기술, 게이트 유전막을 기존의 산화실리콘(SiO₂)보다 높은 유전율을 가지는 물질로 대체하는 High-k 기술^[1], 2차원 구조의 단일게이트 구조에서 3차원 구조의 핀펫(FinFET)^[2] 기술 등이 바로 그것들이다.

하지만 이러한 기술적 혁신들에도 불구하고 MOSFET은 여러 가지 근본적인 한계를 보유하고 있으며 그중 가장 심각한 것중의 하나는 문턱전압이하 기율기(subthreshold swing)의 한계이다. 문턱전압이하 기율기는 트랜지스터의 전류를 10배 증가시키기 위하여 인가되어야 하는 게이트 전압의 증가분을 의미하므로 작은 값을 가질수록 급격한 스위칭 동작으로 인해 저전력 구동에 유리하게 된다. 하지만 MOSFET은



최승현
서강대학교 전자공학과



최우영
서강대학교 전자공학과

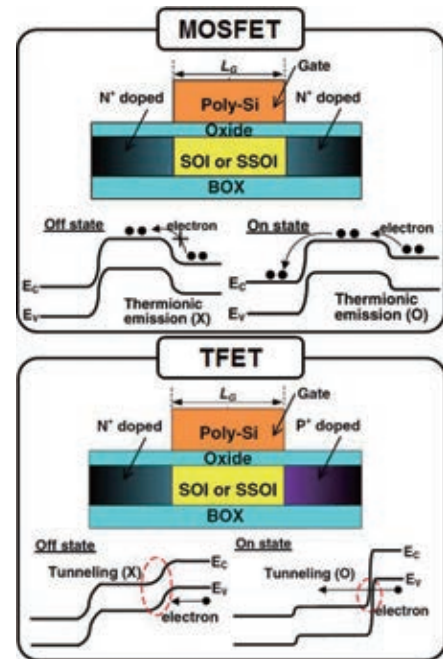
동작원리에 의하여 상온에서 60 mV/dec 이하 값을 얻기가 불가능하여 초저전력 구동이 불가능한 상황이다. 이러한 한계를 극복하기 위해 밴드간 터널링 (band-to-band tunneling) 이라는 양자역학적 효과를 이용하는 새로운 형태의 반도체 소자인 TFET (tunnel field-effect transistor)가 최근 활발히 연구되고 있다. 본 논문에서는 향후 반도체 산업계를 이끌 차세대 소자로 주목받고 있는 TFET과 TFET의 실용화를 제약하고 있는 여러 사안들 중에 공정 변이 (process variation)를 대표로 살펴 보도록 하겠다.

II. TFET 과 공정 변이

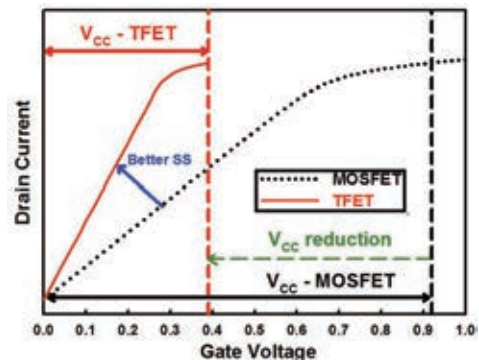
1. TFET

지속적인 반도체 소자의 축소는 단채널 효과를 심화시키고 누설전류 (leakage current)의 증가를 초래하게 된다. 이는 곧 소자가 동작하지 않는 상태에서의 전력 소비량인 누설 전력 밀도 (leakage power density)가 증가하게 되고, 결국 누설 전력 밀도가 실제 소자가 동작할 때의 전력 소모인 동적 전력 밀도(Dynamic Power Density)를 위협할 수준으로 까지 증가하게 되었다.

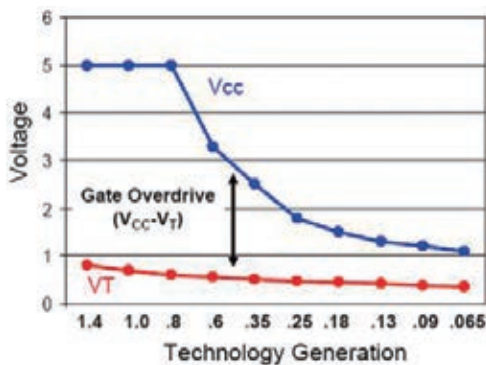
이러한 누설 전력 소모를 줄이기 위하여 <그림 1>과 같이 소자의 동작전압 (V_{cc})을 줄이는 노력이 필요한데, 이러한 동작 전압은 0.13 μm 노드 수준부터는 1 V 근방에서 정체되어 있는 상황이다^[3]. 이는 기존의 MOSFET의 동작 원리인 열전자 방출 (thermionic emission)의 특성 상 상온에서 문턱전압이하 기울기가 60 mV/dec 이하로



<그림 2> MOSFET과 TFET의 구조와 동작원리 비교



<그림 3> MOSFET과 TFET 의 성능 비교



<그림 1> 반도체 소자 크기의 축소와 동작 전압 감소의 정체^[3]

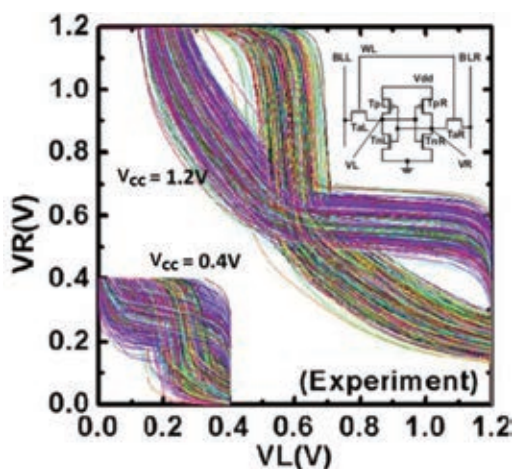
감소하는 것이 불가능하기 때문이다.

따라서 동작전압 축소의 한계를 극복하기 위해 열이온 방출과는 상이한 동작 원리를 갖는 다양한 트랜지스터가 개발되고 있으며 그 중 가장 많은 관심을 받고 있는 것이 밴드간 터널링을 이용하는 TFET이다. <그림 2>는 n형 SOI (silicon-on-insulator) 구조의 MOSFET과 TFET의 구조와 동작원리를 비교하고 있다. 여기서 확인할 수 있듯이, 기존 MOSFET 구조와 달리 TFET은 소스와 채널 영역의 불순물 도핑이 다른 구조를 가지게 되며, 이를 통하여 소스-채널 접합에서 터널링을 통해 전류를 발생

시키게 된다. 결과적으로 <그림 3>과 같이 향상된 문턱전압이 하 기울기를 구현할 수 있으며 이를 통하여 현 반도체 업계의 난제인 전력 소모 절감을 동작전압 축소를 이용한 저전력 동작을 통하여 해결할 수 있다.

2. 공정 변이

반도체 소자 크기의 축소는 더욱 높은 수준의 미세 공정을 요구하게 된다. 이로 인하여 단채널 효과 이외에 또 하나의 중요한 문제가 발생하게 되는데, 바로 공정 변이이다. 소자 크기의 축소 및 심화된 미세 공정 난이도는 같은 웨이퍼 (wafer) 내에서도 전기적 특성이 동일한 소자를 만들어내는데 어려움을 주게 되고, 이는 현재 반도체 소자 크기 축소에 있어서 넘어야 할 가장 큰 장애물 중 하나로 평가되고 있다.^[4] <그림 4>는 MOSFET으로 구성된 정적램(static random access memory, SRAM)의 특성 곡선이다. 동일한 웨이퍼 상에 구현되었지만 공정변이의 효과로 인하여 각 SRAM 마다 특성 곡선이 변하게 되고, 이로 인하여 회로 구성에 있어서 동작을 보장할 수 있도록 여분의 동작전압이 필요하게 된다. 이러한 공정 변이 효과는 동작전압이 축소될수록 더욱 큰 문제점을 발생시키게 된다. 동작전압이 축소될수록 확보할 수 있는 여분은 더욱 더 줄어들기 때문이다.



<그림 4> 공정 변이 효과로 인한 정적램의 특성 곡선 변동^[5]

이러한 공정 변이의 효과는 MOSFET과 유사한 공정으로 구현되는 TFET에서도 피할 수 없는 문제이다. 더욱이 TFET은 0.7 V 미만의 매우 작은 동작전압 영역에서 적용될 것으로 예상되므로 더욱 엄격한 공정 변이 효과의 조절을 요구하게 된다. 지금부터는 TFET의 공정 변이 효과를 본 연구그룹의 연구결과를 중심으로 살펴보도록 하겠다.

III. TFET의 공정 변이 효과

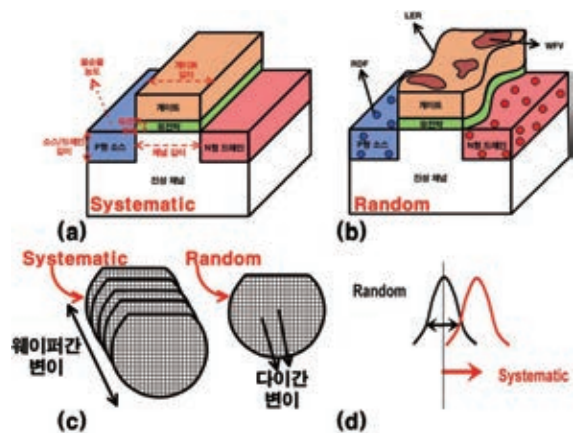
1. 체계적 변이 (Systematic Variation) 와 불규칙 변이 (Random Variation)

공정변이는 일반적으로 체계적 변이 (systematic variation) 와 불규칙 변이 (random variation)로 분류된다.

체계적 변이란, <그림 5(a)>와 같이 게이트 길이, 불순물 농도, 유전막 두께등의 전기적 특성을 결정하는 요소들의 규칙적 변동을 의미한다. 불규칙 변이는 <그림 5(b)>와 같이 소자의 불규칙적인 구조

적 변동을 의미하게 되며, 크게 RDF (random dopant fluctuation), WFV (work function variation), LER (line-edge roughness) 의 3가지로 나뉘게 된다. 이 중

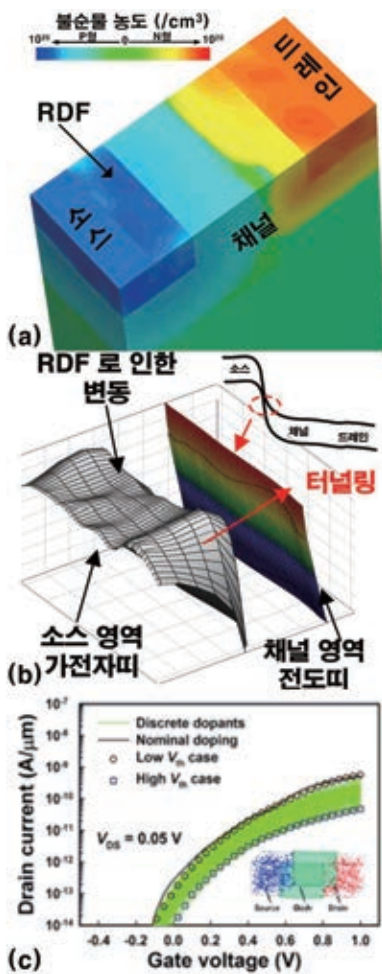
반도체 소자 크기의 축소에 의해 공정 변이가 매우 중요한 변수가 되고 있으며, 공정변이는 체계적 변이와 불규칙 변이로 분류된다.



<그림 5> 공정 변이 효과 (a) 체계적 변이, (b) 불규칙 변이, (c) 소자에 미치는 영향, (d) 체계적 변이와 불규칙 변이가 일으키는 변동의 차이^[4]

〈그림 5(c), (d)〉와 같이 체계적 변이는 웨이퍼간 소자의 전기적 특성을 결정하는 요소들의 규칙적 변동의 원인이 되며 결과적으로 문턱전압, 드레인 전류 등의 소자의 핵심 특성의 수평적 이동을 초래한다. 반면 불규칙 변이는 동일 웨이퍼 상에 구현된 반도체 소자간의 불규칙적 전기적 특성 변화를 초래하며 결국 〈그림 5(d)〉와 같이 소자 특성의 산포로 대변되는 불규칙적 변동을 일으키게 된다. 이 중에서 불규칙 변이는 정확한 예측이 불가능하여 심각한 문제를 야기하고 있다. 지금부터는 TFET의 불규칙 변이를 각 요소별로 살펴보도록 하겠다.

불규칙 변이로는 Random Dopant Fluctuation, Line Edge Roughness, Work Function Variation 등이 있다.



〈그림 6〉 (a) RDF 가 적용된 TFET의 불순물 농도, (b) RDF 가 TFET 에너지 밴드 구조에 미치는 영향, (c) RDF 에 의해 발생하는 TFET 전달 곡선의 산포^[6]

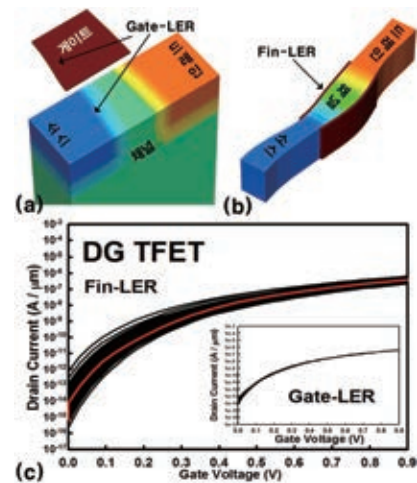
2. Random dopant fluctuation (RDF)

첫 번째로 살펴볼 TFET의 불규칙 변이는 RDF 이다. RDF 는 기존 MOSFET 이 축소되면서 가장 먼저 주목 받게 된 변이 요소 (variation source) 이다. RDF 는 반도체 공정에서 이온 주입 및 확산에 의해 필연적으로 발생하게 되는 불순물의 불규칙적인 분포에 의해 발생하는 효과가 소자의 크기가 작아지면서 미치는 영향이 커지게 되면서 발생하게 되었다.

〈그림 6〉은 TFET의 RDF에 관한 시뮬레이션 결과를 보여주고 있다. TFET의 경우 채널에서 대부분의 RDF의 효과가 발생하는 MOSFET과는 달리 진성 채널 도핑으로 인하여 소스 부분에서 대부분의 RDF 효과가 발생하게 된다^[6]. 결과적으로 〈그림 6(b)〉와 같이 소스 영역의 밴드 구조에 큰 변동을 일으키게 되고, 이는 결국 터널링 확률에 영향을 주게되어 TFET의 전기적 특성의 변동을 일으키게 된다. 최종적으로 〈그림 6(c)〉처럼 각 TFET 들의 전달곡선과 같은 전기적 특성의 산포를 만들게 된다.

3. Line Edge Roughness (LER)

다음으로 살펴볼 변이 요소는 LER 이다. 미세 공정의 가속화로 인하여 최소 선폭이 감소하면서 기존의 사진공



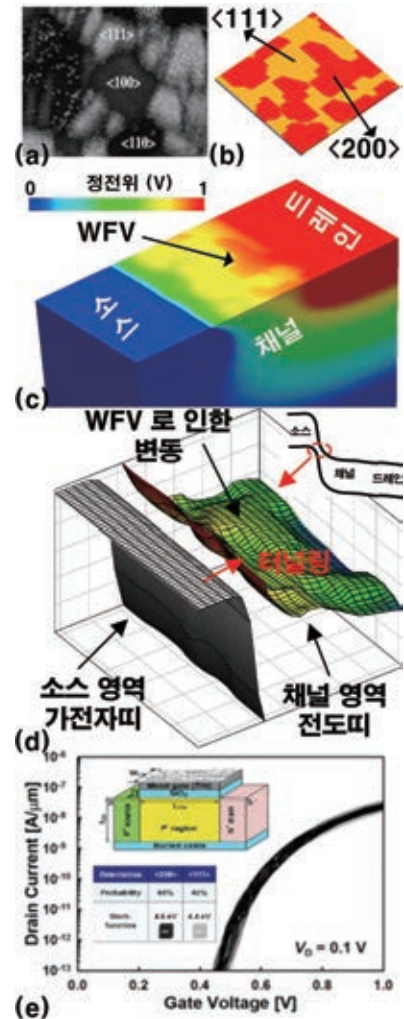
〈그림 7〉 (a) LER이 적용된 단일 게이트 구조의 TFET, (b) LER이 적용된 이중 게이트 TFET의 소자, (c) LER 에 의해 발생하는 이중게이트 구조 TFET의 전달 곡선 분포

정 기술로 인한 패턴의 구배 (roughness) 가 더 이상 무시할 수 없는 수준에 도달하게 되었고, 이로 인하여 LER 은 매우 중요한 변이 요소로 등장하였다. 흥미로운 사실은 TFET에서의 LER 은 단일게이트 구조와 다중게이트 구조에서 전혀 다른 형태로 나타난다는 점이다.

〈그림 7(a)〉는 단일 게이트 구조의 TFET에서의 LER 의 영향을 보여주고 있다. 단일 게이트 구조에서는 패턴링 과정에서 게이트의 길이가 국소적으로 변하는 gate- LER 의 형태로 발생하며 다중게이트 구조의 TFET 에서는 〈그림 7(b)〉와 같이 핀 (fin) 공정 과정에서 발생하는 fin- LER과 gate- LER이 동시에 고려되어야 한다. 이 중 gate- LER은 게이트 길이에 거의 영향을 받지 않는 TFET의 특성상 무시할만한 영향만을 가지게 되지만 fin- LER 의 경우는 게이트의 채널 장악력에 양자 효과와 함께 연동하여 〈그림 7(c)〉와 같은 무시할 수 없는 변이를 유발하게 된다.

4. Work Function Variation (WFV)

마지막으로 살펴볼 변이 요소는 WFV 이다. 반도체의 발전으로 기존의 다결정 실리콘의 한계에서 벗어나 다양한 금속 물질을 게이트 물질로 사용하게 되었다. 이로 인하여 성능의 향상을 가져올 수 있었지만 또 다른 변이 요소인 WFV가 발생하게 되었다. 반도체 공정에서 필수적인 어닐링(annealing), 산화(oxidation)등의 과정으로 인하여 금속게이트에 열 예산 (thermal budget)이 증가하게 되고 이는 금속의 그레인 (grain)이 각기 다른 방향으로 성장하게 되어 같은 금속게이트 내에서도 그레인마다 일함수 (workfunction)가 상이한 금속 게이트가 형성되게 되어 소자간 변이가 발생하게 된다. 〈그림 8(a)〉는 구리 (Copper)의 증착 공정 중 발생한 그레인의 변화이다. 〈그림 8(b)〉는 질화 티타늄 (TiN) 게이트에 WFV가 적용된 TFET의 시뮬레이션 결과이며 〈그림 8(c)〉와 〈그림 8(d)〉는 WFV가 소자의 정전위 (electrostatic potential)와 에너지 밴드 구조에 미치는 영향을 보여주고 있다. 〈그림 8(d)〉에서 확인할 수 있듯이 WFV 는 소자의 채널 영역에 큰 변동을 일으켜 터널링에 심각한 변동을 주게 된다. 최종적으로 RDF와 유사한 형태로 〈그림 8(e)〉 처



〈그림 8〉 (a) 구리의 그레인 방향 변화^[7]. (b) 시뮬레이션을 이용하여 재구성한 금속 게이트의 WFV. (c) WFV가 TFET에 미치는 영향. (d) WFV가 TFET 에너지 밴드 구조에 미치는 영향. (e) WFV에 의한 TFET 전달 곡선의 산포^[8]

럼 소자의 전기적 특성의 산포를 일으키게 된다.

VI. 향후 연구 및 결론

지금까지 차세대 저전력 반도체 소자의 대표주자인 TFET과 실용화의 걸림돌 중 하나인 공정 변이 효과에 대하여 살펴보았다. TFET은 기존 MOSFET 과는 다른 소자 구조 및 동작 특성으로 공정 변이에 대한 분석이 MOSFET의 그것과는 상이하게 이루어져야 함을 확인하였다. TFET은 현재 실용화 단계로 급속도로 접근중이므

로 소자/공정/설계의 모든 분야의 융합연구가 시급히 요구된다고 하겠다.

참고 문헌

[1] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Buechler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. MchIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Schifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, and K. Zawadzki, "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging", Int. Electron Devices Meeting Technical Dig., IEDM 2007, pp. 247-250, 2007.

[2] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King Liu, J. Bokor, and C. Hu, "FinFET—a self-aligned double-gate MOSFET scalable to 20 nm", IEEE Trans. Electron Devices, vol. 47, pp. 2320-2325, 2000.

[3] P. Packan, "Device and Circuit Interactions," Int. Electron Devices Meeting., IEDM 2008, Short Course: Performance Boosters for Advanced CMOS Devices.

[4] K. J. Kuhn, M. D. Giles, D. Becher, P. Kolar, A. Kornfeld, R. Kotlyar, S. T. Ma, A. Maheshwari, and S. Mudanai, "Process Technology Variation", IEEE Trans. on Elec. Dev., vol. 58, pp. 2197-2208, 2011

[5] T. Hiramoto, "Measurements and Characterization of Statistical Variability", International Conference on Simulation of Semiconductor Processes and Devices, SISPAD workshop 2010.

[6] J.-S. Jang, H. K. Lee, and W. Y. Choi, "Random Dopant Fluctuation Effects of Tunneling Field-Effect Transistors (TFETs)", Journal of the Institute of Electronics Engineers of

Korea, vol. 49, pp. 179-183, 2012.

[7] H. Dadgour, E. Kazuhiko, V. De, and K. Banerjee, "Grain-Orientation Induced Work Function Variation in Nanoscale Metal-Gate Transistors-Part I: Modeling, Analysis, and Experimental Validation", IEEE Trans. Electron Devices, vol. 57, pp. 2504-2514, 2010.

[8] K. M. Choi, and W. Y. Choi, "Work-Function Variation Effects of Tunneling Field-Effect Transistors (TFETs)", IEEE Electron Device Letters, vol. 34, pp. 942-944, 2013



최 송 현

- 2014년 서강대학교 전자공학과 학사 졸업
- 2014년~현재 서강대학교 전자공학과 석사과정

〈관심분야〉

CMOS or CMOS-compatible semiconductor devices



최 우 영

- 2000년 서울대학교 전기공학부 학사 졸업
- 2002년 서울대학교 전기컴퓨터공학부 석사 졸업
- 2006년 서울대학교 전기컴퓨터공학부 박사 졸업
- 2006년 미국 UC Berkeley 방문연구원
- 2007년~2008년 미국 UC Berkeley 박사후연구원
- 2008년~현재 서강대학교 전자공학과 부교수

〈관심분야〉

CMOS or CMOS-compatible semiconductor devices, nano-electromechanical relays and memory cells