



Power 소자 기술

I. 서론

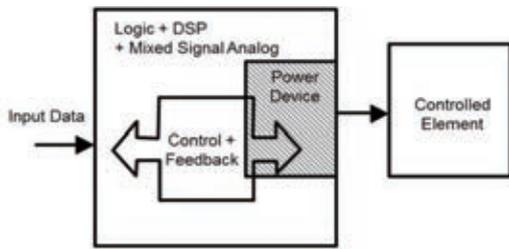
Power technology는 현실세계(real world)와 연결(interface) 하기 위하여 하나의 technology platform에 logic, analog와 power device들을 집적하여 SoC (system-on-chip) solution을 제공한다. 이 power technology는 automotive, telecom, wireless와 consumer 분야에 널리 응용되고 있으며, BCD (Bipolar-CMOS-DMOS) technology는 위에 언급한 여러 가지 응용분야에 있어서 현대 power management IC에 최적의 solution이 되고 있다. BCD technology는 Low voltage CMOS transistors, High voltage CMOS transistors, bipolar transistors, resistors, capacitors, diodes 및 power LDMOS (lateral double-diffused MOS) transistor들이 동일 공정에서 제공을 가능하게 한다. CMOS와 BCD의 호환성은 CMOS device에서 사용하는 IP/Lib.를 재사용하기 위해 필요하며, Power device가 IC chip에서 적용되는 개념도는 <그림 1>과 같다^[1].

Information processing에 필요한 logic 소자는 무어의 법칙이 적용되지만 power processing에 필요한 power 소자는 무어의 법칙에 거의 영향을 받지 않는다.

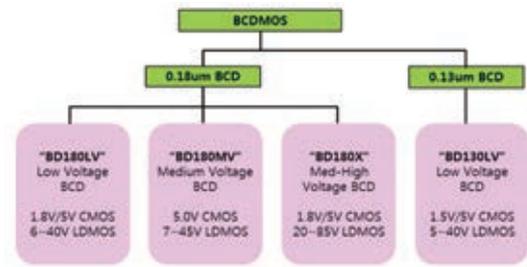
Power device는 일상생활에서 사용되는 motors, relays, lights와 energy consuming elements 등에서 power를 조절하는 output 담당하며, <그림 1>의 빗금 친(shaded) 부분이 power processing이 일어나는 부분이며 clear 영역은 information processing이 일어나는 곳이다. Clear 영역은 지난 수십 년에 걸쳐 Moore's law가 적용되는 부분이지만, 빗금 친 부분의 power device 영역은 이 Moore's law에 거



이상기
동부하이텍



〈그림 1〉 Power IC chip 의 Block Diagram. (Clear 영역 : information processing, Shaded 영역 : Power processing)



〈그림 2〉 동부하이텍의 high performance BCD technology 보유 현황

의 영향을 받지 않게 된다. 즉 logic과 mixed signal 영역은 chip size reduction이 가능하지만, power device 영역은 device physics 관점에서 최소 breakdown voltage와 power density가 요구되므로 technology가 shrink 됨에 따라 chip size reduction에 한계가 있다. Output device로서 보편적으로 사용되는 power device 중 하나인 LDMOS는 power switch로 사용되며, Ron은 power 소모와 die size를 줄이기 위해서 상당히 중요한 parameter 이다. 특히 LDMOS는 빠른 switching speed, 높은 BVDss와 낮은 Ron 특성 확보가 가능하여 power 증폭회로 등에 널리 사용되는 device 이다. BCD technology는 voltage capability, power transistor의 switching speed와 performance 관점에서 분류를 할 수 있다. Voltage capability에 따라; 1) 12V 이하에서 high speed BCD, 2) 5V에서 80V 영역에서 high performance BCD, 3) 80V에서 300V 영역에서 medium voltage BCD, 4) 300V에서 1200V 영역에서 high power BCD로 분류가 된다. BCD technology에 따른 응용 분야 및 key performance는 〈표 1〉과 같다^[2].

〈그림 2〉는 동부하이텍에서 제공하는 High performance BCD 분야에서 보유하고 있는 technology의 보유현황을 요약한 것이다. BD180LV는 6~40V 영역, BD180MV는 7~45V 영역, BV180X는 20~85V 영역대의 LDMOS 소자를 제공하고, future technology로서 BD130LV는 5~40V LDMOS 소자를 제공한다. 각 technology 별로 logic과 mixed signal processing을 위해 CMOS device가 제공된다. Option 공정으로 NVM (Non-volatile Memory) 및 thick Cu 공정 등이 제공된다.

앞으로 power device의 기술을 이해하기 위해서 BCD device들의 구조와 주요 공정, power device의 종류 및 특성, LDMOS에 대하여 중점적으로 설명하고자 한다. 본 원고에서는 LDMOS device에서 특성 개선을 위해 필요한 RESURF(Reduced Surface Field)^[3] 기술과 key parameter인 Ron과 BVDss 조절 방법, device operation과 기생소자 동작원리 및 신뢰성 특성 등을 기술하고 BCD technology의 modularity 개념 및 방법 등에 대하여 설명하고자 한다.

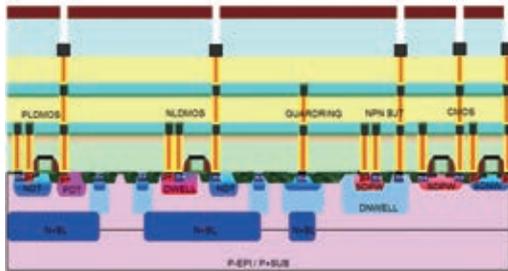
〈표 1〉 BCD technology 분류에 따른 application 분야 및 key performance

	High speed BCD	High performance BCD	Medium voltage BCD	High voltage BCD
Vop	< 12V	5V ~ 80V	80V~300V	300V~1200V
Application	RF Power amp., Power switches, DC/DC converters,	Analog, PMIC, DC/DC converters, Audio Amp.,	Automotive, Telecommunication, Audio amplifier, Displays, LED driver, Medical imaging,	AC-DC conversion, Off-line switcher, Gate driver IC, LED lighting
Key Performance	High Ft/Fmax Low capacitance Low Rsp High BVDss	Low Rsp High BVDss Good SOA	Low Rsp High BVDss Good Isolation	Low Rsp High BVDss

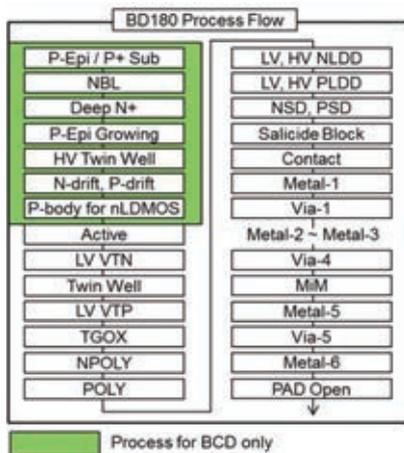
II. BCD Device 구조 및 주요 공정

〈그림 3〉은 동일 공정에서 구현한 CMOS, LDMOS와 기생으로 형성되는 BJT(Bipolar Junction Transistor)에 대한 단면도를 보여 준다.

Power device인 LDMOS를 진행하기 위해서 필요한 공정은 NBL(N+ Buried Layer), DeepN(Deep N+ layer), DNWELL(Deep N-type well), NDT(N-type drift region), PDT(P-type drift region)와 Epi 공정이 필요하다. SDNW, SDPW 및 BEOL(Back End Of Line) 공정은 power device와 CMOS device 및 수동 소자 (passive device) 들이 형성되는데 공통으로 필요한 공정들이다. Power device 제작을 위해 필요한 공정들은 고농도의 heavy ion이 주입된 NBL(N+ Buried Layer)이 P-epi wafer에 진행이 되



〈그림 3〉 BCD technology에서 형성된 device들의 vertical structure



〈그림 4〉 BCD Technology의 주요 공정순서

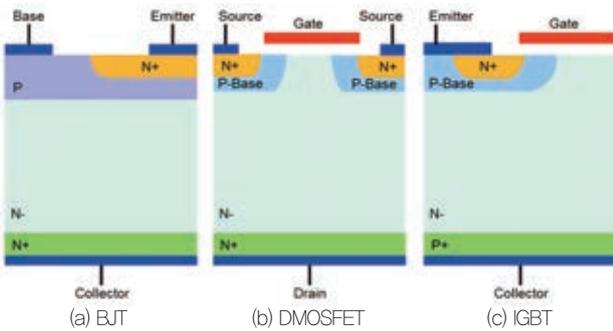
고, NBL layer는 vertical NPN transistor(collector), high side LDMOS와 Isolated device를 얻기 위해서 주로 사용이 된다. 또한 LDMOS의 High breakdown voltage를 얻기 위해 NBL 위에 농도와 두께를 조절하여 P-type Epi 성장이 필요하다. Epi 이후 진행이 되는 DeepN(Deep N+ sinker) 공정은 isolation과 NPN collector로서 일반적으로 사용된다. NDT와 PDT는 LDMOS의 drift region에 적용되는 이온주입 layer이며, 이온주입 농도 조절을 통하여 LDMOS의 performance(Rsp & BVdss) 등을 조절한다. Power device를 위해 적용되는 공정들은 diffusion에 의해 형성되는 공정들로 큰 열 공정이 필요하므로, logic과 mixed signal device의 parameter 들이 shift 되는 것을 방지하기 위해 CMOS 공정 이전에 진행이 된다. Power device와 CMOS device의 공정 순서에 따른 차이는 〈그림 4〉와 같다.

Active 이전에 진행되는 공정들은 주로 power device를 형성하기 위한 것으로, low dose implant 및 thermal 공정을 통한 diffusion layer를 형성하여 breakdown voltage 및 Ron을 조절하기 위한 것이다. 이후 공정들은 power device와 CMOS device를 제작하기 위해 공통으로 진행되는 공정들이며, 주요 수동소자(passive device)인 diode, resistor와 capacitor 들이 형성된다. CMOS device는 일반적인 logic 공정에서 사용된 IP/Lib.를 공유하기 위해서 추가 power device 형성 공정이 적용되더라도 device parameter들이 변화가 없어야 한다.

Active 이전에 진행되는 공정들은 주로 power device를 형성하기 위한 것으로, low dose implant 및 thermal 공정을 통한 diffusion layer를 형성하여 breakdown voltage 및 Ron을 조절하기 위한 것이다. 이후 공정들은 power device와 CMOS device를 제작하기 위해 공통으로 진행되는 공정들이며, 주요 수동소자(passive device)인 diode, resistor와 capacitor 들이 형성된다. CMOS device는 일반적인 logic 공정에서 사용된 IP/Lib.를 공유하기 위해서 추가 power device 형성 공정이 적용되더라도 device parameter들이 변화가 없어야 한다.

III. Power device 종류^[4]

Power device는 operation에 따라 BJT(Bipolar Junction Transistor), MOSFET(Metal Oxide Semiconductor Field Effect Transistor)과 IGBT(Insulated Gate Bipolar Transistor) 등으로 분류할 수 있으며 〈그림 5〉와 같다. 이러한 power device들은 낮은 gate drive power와 빠른 switching speed 때문



〈그림 5〉 Operation에 따른 power device 분류

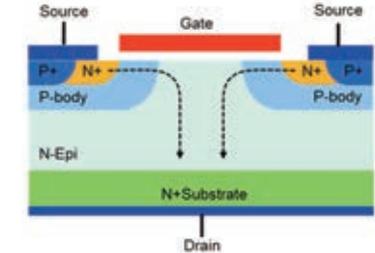
에 주로 사용되고 있으며 high current와 voltage를 인가할 수 있다. BJT는 전류로 구동시키며 온 상태에서 많은 전류를 흘려줄 수 있지만 switching speed가 느린 단점이 있다. DMOSFET은 전압으로 구동하며 온 상태에서 낮은 전류를 흘려 주지만 switching speed가 빠른 장점이 있다. 또한 IGBT는 전압으로 구동하며 온 상태에서 높은 전류를 흘려주고 switching speed가 빠른 장점이 있다.

〈그림 6〉과 같이 전류 이동(Current flow)에 따른 power device는 수직구조와 수평구조로 분류할 수 있다. Power device에서 수직구조는 discrete power device로 매우 높은 전류를 흘려 줄 수 있으며, 수평구조는 낮은 전압인가에 높은 전류를 흘려주는 DMOS와 높은 전압인가에 낮은 전류를 흘려줄 수 있는 RESURF LDMOS구조 등이 있다. 특히 수평구조의 power device는 CMOS 공정에 일부 공정을 추가하여 집적(integration)이 가능하며, logic과 mixed signal device과 함께 SoC(system on chip) 구현이 가능하다. 따라서 수평구조인 LDMOS에 대하여 소자구조 및 특성에 대하여 자세히 알아보하고자 한다.

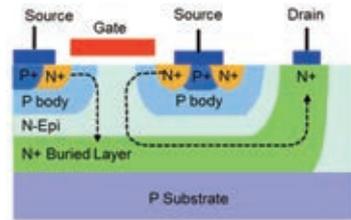
IV. Power IC Technology에서 LDMOS structure 및 key parameter setup

상기 device들 중에 Power IC technology에서 power device로 사용되는 LDMOS 소자 기술에 대하여 자세히 설명하고자 한다. LDMOS에서 가

Power 소자는 동작 원리에 따라 BJT, MOSFET, IGBT 등으로 구분하고 전류 이동 경로에 따라 수직 구조와 수평 구조로 구분한다.

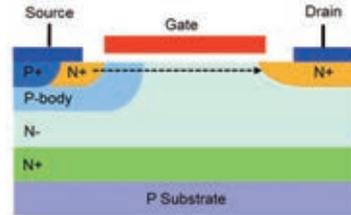


(1) Very high current / Discrete power device

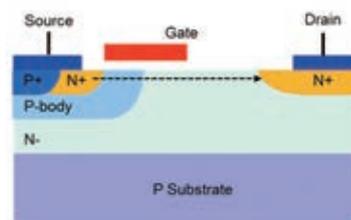


(2) Buried layer & sinker

(a) Vertical Structure



(3) DMOS / Low voltage high current



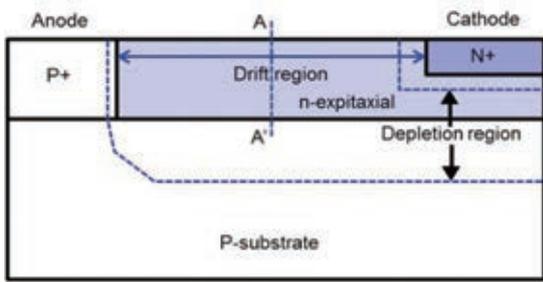
(4) RESURFLDMOS / High voltage low current

(b) Lateral Structure

〈그림 6〉 전류 이동에 따른 power device의 구조 (a) Vertical 구조 (b) Lateral 구조

장 중요한 parameter는 Ron(on-state resistance)과 BVDss 특성이며, 이를 구현하기 위해 가장 필요한 기술은 RESURF(Reduced Surface Field)^[3] 기술이다. RESURF 기술에 대한 개념과 이를 NLD MOS에 적용하였을 경우 Ron과 BVDss 특성 및 기생으로 형성되는

BJT device들에 대한 동작특성을 설명하고자 한다. 또한 Reliability 관련 SOA(Safe Operation Area)와 Ron 및 BVDss의 상관관계를 알아보하고자 한다.



〈그림 7〉 Lateral RESURF 구조의 개념도

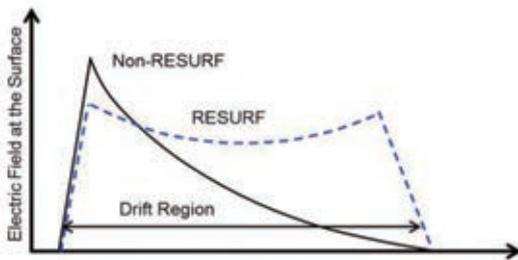
1. RESURF technology

LDMOS에서 RESURF 기술은 high voltage device에서 on-state resistance와 breakdown voltage 사이에서 최적의 trade-off 특성을 제공한다. LDMOS에서 breakdown voltage는 drift length가 클수록 증가 하지만, 아래 수식 (1)에서 볼 수 있는 것처럼 Ron 값도 drift length가 증가할수록 증가하게 된다. 또한 Epi layer의 doping 농도가 증가할수록 Ron 값은 감소하지만 상대적으로 BVdss는 증가하는 것을 알 수 있다.

$$R_{on} \propto L_d^2 / Q_{epi} \quad (1)$$

(Q_{epi} - epitaxial layer의 doping 농도)

〈그림 7〉에서 보듯이 RESURF 구조는 device의 on-resistance 특성을 조절하는 lateral p+/n diode와 breakdown voltage를 조절 할 수 있는 vertical p/n diode 구조로 구성이 되어있다. 즉 lateral RESURF 구조에서 lateral breakdown voltage는 drift 영역의 net charge에 의해서 결정이 되고, maximum breakdown



〈그림 8〉 그림 7에서 A 영역의 Vertical 방향에 대한 E-field 분포

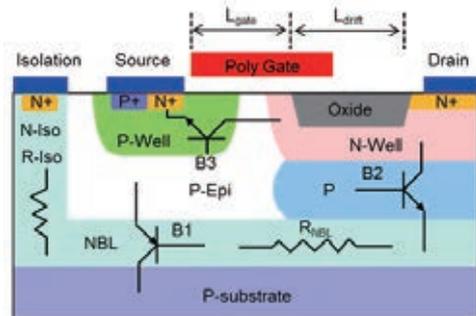
voltage는 vertical diode의 breakdown voltage에 의해서 결정이 된다. Drift 영역의 net charge (lateral p+/n diode)가 증가할 수록 drift 영역의 저항은 낮아진다. 또한 drift 영역의 dose가 증가할 경우 vertical junction diode로 인하여 기존 anode 영역에서 형성되던 peak electric field가 cathode 영역에 2nd electric field peak가 형성되어 drift 영역의 surface에서 전체 electric field는 포물선 (parabolic) 형태로 변경이 되며, 〈그림 8〉과 같이 electric field가 줄어 breakdown voltage를 증가하게 된다.

RESURF 구조는 on-state resistance와 breakdown voltage에 대한 최적의 trade-off를 제공하는 파워 소자의 핵심 구조이다.

RESURF 구조는 기본적으로 p-substrate 농도, n-Epi layer doping 농도 (N_{epi})와 n-Epi layer 두께(t_{epi})를 최적화 하여 R_{on} 과 BVD_{ss} 특성을 조절하는 것이다. 방정식 (1)의 Q_n 값은 $N_{epi} \times t_{epi}$ 로 표현이 될 수 있다. RESURF 구조에서 breakdown voltage를 크게 증가시키기 위해서 lateral electric field가 critical 한 값에 도달하기 전에 n-epi (drift) 영역이 완전히 depletion 되도록 Q_n 값이 설정되어야 한다. 즉 RESURF 구조는 Epi layer의 doping 농도를 증가시켜 drift 영역의 저항은 낮추면서 breakdown voltage를 증가시킬 수 있는 장점이 있다.

2. LDMOS Device 구성 및 LDMOS와 Parasitic BJT에 대한 Device Operation

〈그림 9〉는 power technology에서 RESURF 구조가



〈그림 9〉 n-p-n BJT와 p-n-p BJT가 형성된 NLD MOS device의 단면도

적용된 NLD MOS 구조의 단면도이다. 그림에서 보듯이 수평방향으로 n-p-n BJT와 수직방향으로 n-p-n BJT와 p-n-p BJT 등 3개의 기생 BJT가 형성됨을 알 수 있다. LDMOS 주요 공정과 기생 BJT에 대한 operation 특성은 아래와 같이 요약하여 설명할 수 있다^[5].

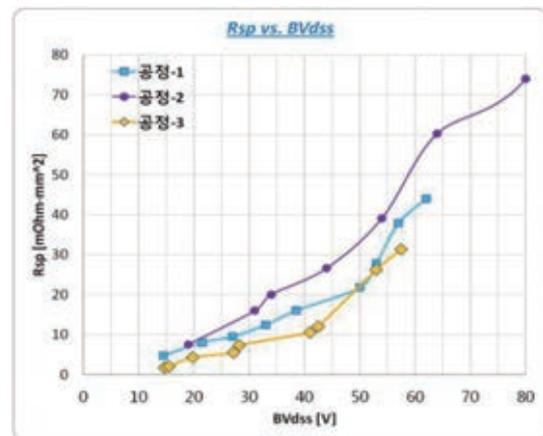
Pwell은 NLD MOS의 body를 형성하기 위해 적용되었고 body 농도는 device의 문턱전압을 조절하게 된다. 전체 device를 둘러싼 n-isolation과 NBL은 정상적인 MOSFET의 동작 동안에 junction isolation 특성을 제공하기 위한 것이다. N-well은 device의 drain 영역이며, n-well 아래로 p 영역과 NBL 영역이 형성되어 있어 원하는 RESURF 작용이 일어날 수 있다. 일반적인 응용에서는 device가 double-RESURF mode로 bias 되고, 이 때 drain 단자는 metal로 isolation 단자와 연결이 된다. 이와 같이 double-RESURF mode에서 작동할 때 n-well 영역 아래 p 영역은 완전히 top의 n-well로부터, bottom의 NBL로부터 완전히 depletion 된다. 그러므로 drift 영역인 n-well의 doping 농도는 주어진 breakdown voltage에서 낮은 Ron을 얻기 위해서 농도를 증가시키는 것이 가능하게 된다. 기본적으로 형성되는 pwell/nwell diode 이외에 LDMOS 공정 시 부산물로 생성되는 p-n-p vertical bipolar transistor B1이 형성되고, 여기서 emitter로서 body (p-well), base로서 NBL/n-isolation, collector로서 p-substrate가 된다. 또한 부산물로 n-p-n lateral bipolar transistor B2와 n-p-n vertical bipolar transistor B3가 생성이 된다. B3는 기본적인 MOSFET 구조에서 emitter로서 n+ source, base로서 p-well, collector로서 n-well이 되며, B2는 NBL이 존재하면서 형성되는 것으로 emitter로서 n-well, base로서 p-epi, collector로서 NBL/n-isolation이 된다. 기생으로 생성된 BJT가 operation 되는 상황은 n-isolation ring이 source/body와 연결된 경우와 drain과 연결된 두 가지로 나누어 설명이 된다. N-isolation ring이 source/body와 연결된 경우, drain 단자에 operation이 큰 전압이 인가되어 avalanche breakdown이 일어나게 되면 electron-hole pair가 형성이 되고, hole current가 source p-body와 nwell 아래

p 영역으로 이동하여 p/NBL diode가 forward current가 흘러서 n-p-n vertical BJT transistor B2가 turn-on 된다. 이 때 B2에서 isolation current가 갑자기 증가하여 B1 device의 base인 NBL로 유입되어 turn-on 되면서, source의 P+에서 drain의 N+로 current path가 형성 (latch up) 되면서 많은 current가 흘러 LDMOS가 파괴된다. 또한 n-isolation ring과 drain을 연결할 경우 n-p-n vertical transistor는 emitter와 collector가 연결되어 있어 동일 potential이 인가됨으로 인하여 turn-on이 발생하지 않게 되고, 따라서 B1 소자도 turn-on 되지 않게 된다.

상기 예에서 설명한 바와 같이 LDMOS는 기생으로 생성되는 BJT가 turn-on이 되지 않도록 application에 맞게 bias 인가 및 단자들의 연결을 고려해야 한다.

3. LDMOS에서 Ron과 BVDss 특성

RESURF 개념을 LDMOS에 적용했을 때 device에서 가장 기본이 되는 performance인 Ron과 BVDss의 개념과 그것을 조절하는 방법을 이해하는 것이 중요하다. LDMOS에서 gate에 threshold voltage를 인가할 경우 channel 영역에 inversion layer가 gate 아래 surface 영역에 형성이 되며, 약간의 drain 전압이 인가 될 때 source와 drain 간에 전류가 흐르게 된다. 이 때 전압과 전류로부터 Ron 값을 구할 수 있고 device의 active 면적을 곱하면 Rsp 값을 얻을 수 있다. Rsp 값은 동일 면적



〈그림 10〉 NLD MOS에서 Rsp vs BVDss 상관관계

에 얼마의 power를 전달 할 수 있는지 척도를 나타내며, Rsp 값이 적을수록 동일 면적에 많은 power를 전달 할 수 있게 된다. 따라서 Rsp 값이 작으면 적은 chip 면적에 동일 power를 전달 할 수 있는 chip을 설계할 수 있게 된다. BVDss 값은 gate가 off 상태일 때 source와 drain 간에 breakdown이 일어나는 전압을 의미 하며, high voltage power IC에서 ESD (electrostatic discharge) protection margin 확보를 위해서 중요한 parameter이다. Rsp 값은 LDMOS에서 active 영역의 gate length가 적을수록 낮게 조절이 가능하며, BVDss는 drift 영역의 dose를 낮게 조절하거나 drift length를 크게 하면 높은 값을 얻을 수 있다. Rsp와 BVDss 값은 동일 device 내에서 서로 상반되는 특성 parameter 값이다. 즉 Rsp 값이 적으면 BVDss 값을 크게 가져갈 수 있고, Rsp 값이 클 경우 BVDss 값은 적게 된다. LDMOS의 performance를 나타내는 척도는 Rsp와 BVDss의 상관관계를 그래프로 나타내면서 평가할 수 있다. <그림 10>은 Rsp vs BVDss curve의 예를 나타낸 것이다. 같은 BVDss 값에서 낮은 Rsp 특성을 보여주는 것이 더 좋은 performance를 나타내는 것이 된다.

4. Parasitic BJT에서 latch up 발생 및 control 방법

<그림 9>에서 ESD stress가 인가될 경우 p-n-p vertical transistor B1이 turn-on 된 후 n-p-n vertical transistor B2가 B1으로부터 공급된 current로부터 NBL (B2의 emitter) 영역에 IR drop이 발생하여 NBL/p diode에 forward가 인가되어 B2 device가 turn-on 되는 latch up이 발생하는 경우하고, n-p-n vertical transistor B2가 turn-on 된 후 B2의 emitter current로부터 NBL (B1의 base) 영역의 IR drop을 발생시켜 NBL/p-epi diode에서 forward가 인가되어 B1 device가 turn-on되는 latch up이 발생하게 된다. 상기 두 경우와 같이 발생하는 latch up 내성을 강하게 하기 위해서 ESD stress시 인가 시 electron 또는 hole 이 well 이나 NBL 영역에서 IR drop의 발생하여 diode

가 forward 가 되어 두 개의 기생 p-n-p와 n-p-n BJT가 연속적으로 turn-on 되는 현상을 억제 하기 위해서, well과 NBL의 dose를 증가시킴으로써 B1과 B2 transistor에서 diode 들이 forward mode로 turn-on 되는 전압을 높게 하여 latch up 내성을 증가 시킬 수 있다. B2의 N-well의 dose를 증가 시킬 경우 RESURF 가 충분히 일어나도록 p-region의 dose 조절이 필요 하고, NBL dose를 증가시킬 경우 vertical로 형성되는 diode의 breakdown 특성이 고려 되어야 한다. 일반적으로 LDMOS에서는 낮은 Ron과 BVDss의 margin이 충분하도록 design 함으로써 기생으로 생성되는 BJT에 따른 latch up 특성을 억제하여 자체적으로 ESD stress에 protection이 되도록 설계해야 한다.

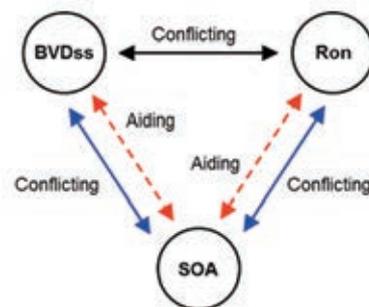
5. Reliability

LDMOS에서 신뢰성을 나타내는 척도로 대표적인 parameter는 SOA(Safe Operation Area)이며, 경쟁력 있는 소자를 개발하기 위해서 SOA와 Ron, BVDss와의 관계를 이해하는 것이 중요하며, 상관관계는 <그림

LDMOSFET의 핵심 신뢰성 척도는 SOA이며 SOA와 Ron, BVDSS의 상관관계를 이해하는 것이 필요하다.

11>과 같다^[1].

BVDss와 Ron과의 관계는 <그림 11>의 삼각형 위 부분에서 보는 것과 같이 trade-off (conflicting) 관계를 갖고 있다. 최소한의 device area에 요구되는 BVDss와 Ron을 얻기 위해서 상기 두 parameter 사이의 conflict 을 해결해야 하는 것이 device setup 시 가장 중요한 기술이 될 수 있다. 상기 두 parameter를 최대한 만족하

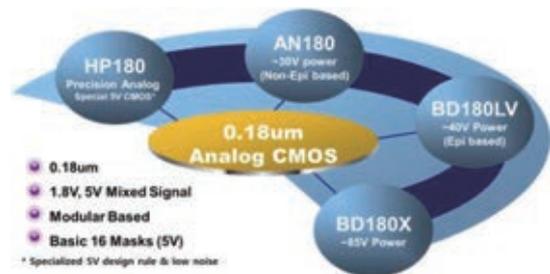


<그림 11> LDMOS design을 위한 Ron, BVDss와 SOA의 관계

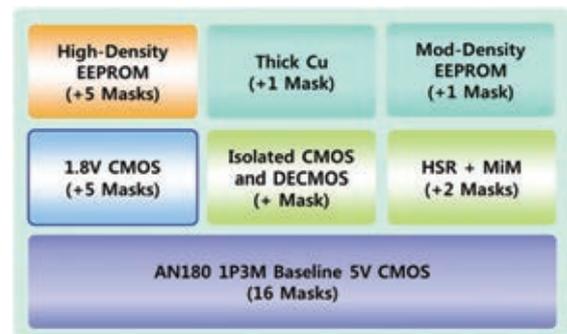
는 방법으로 얻어진 device area는 요구되는 SOA 특성을 만족 할 수도 있고 없을 수도 있다. SOA 특성을 만족 하지 못할 경우 더 큰 device 면적이 필요하게 된다. 면적 증가를 통해 SOA를 확보하게 되면 Ron 값은 줄일 수 있으며 SOA와 Ron 사이는 도움의 관계가 되고, 그림에서 오른쪽 화살표에서 aiding에 해당이 된다. 반대로는 BVdss와 SOA 관계가 trade off (conflicting) 가 된다. 일반적으로 design을 위해서 BVDss 증가하게 되면 Ron을 희생하면서 SOA를 개선할 수 있으며 <그림 9>에서 왼쪽 화살표에서 도움(aiding)에 해당 되지만, SOA와 Ron 관계는 trade off (conflicting) 가 된다. SOA를 결정하는데 current, voltage, waveform과 pulse time 등이 고려되어 결정되어야 하는 항목으로 design에 꼭 제공이 되어야 하는 신뢰성 항목이다. SOA는 측정 시 소자가 파괴되며 BVdss와 Ron 보다 측정이 복잡하고 많은 측정 시간이 소요된다. 또한 SOA를 확보하기 위해서 BVdss와 Ron을 고려한 modeling 과 simulation에 상당히 많은 노력이 필요하다.

V. Modularity

Power management는 반도체 산업에 있어서 가장 성장하는 시장 중에 하나이며, 전 세계적으로 상당히 많은 제품들과 chip vendor 들이 있다. 대부분의 제품들은 생산규모가 적고, 제품별로 응용에 따라서 process, device와 mask 수 관점에서 최적화가 요구된다. 여러 종류의 제품에 대하여 공정개발 시간과 mask 수를 최적화 하는 시간은 줄이기 위해서, 여러 가지 process option 들을 소화할 수 있는 하나의 process platform 을 제공할 필요가 있다. 그러므로 modularity는 다양한 요구 사항은 만족 시킬 수 있도록 process 개발 시 검토해야 하는 중요한 사항 중에 하나이다. <그림 12>는 modular technology platform의 개념을 나타내는 그림이다. 1.8V/5V Analog CMOS technology는 기본적인 platform technology이며, power device인 LDMOS module은 voltage capability에 따라 Epi 공정이 추가되면서 형성되는 platform이다.



<그림 12> BCD technology에 대한 module concept



<그림 13> Device 구성을 위한 process modularity의 예

<그림 13>은 mask layer들이 device 구성에 따라 어떻게 조합이 되는지 보여 주는 process modularity의 예를 보여 주는 그림이다. 기본 CMOS 공정에 5개 mask가 추가되면 1.8V CMOS 형성되고, 각각 layer 들을 추가 되면서 Isolated CMOS, DECMOS, HSR, MiM등 필요한 device components들을 공정에 추가하여 제품 application에 맞게 process를 구성할 수 있다.

VI. Summary

Power 소자 기술은 digital & mixed signal device와 on-chip 구현을 위해서 CMOS 공정에 대한 기본 이해가 필요하다. CMOS 공정 기반 위에 power device 공정을 추가하면서 다양한 operation voltage의 power 소자를 구현하고, passive device 들을 동일 공정에서 구현하여 다양한 components 들로 power IC 제품을 design 할 수 있도록 modular process를 제공하는 것이 중요하다. 또한 power device로 주로 사용되는 LDMOS 소자에 대한 performance 개선을 위해 simulation을 통해 key device parameter들의 특성을 예측하고, 구조를 설계하

는 것이 Si process 전에 중요한 일 중의 하나이다. 아울러 power management가 potable power, consumer electronics 및 green energy에서 가장 빠르게 성장하는 분야이므로, 차별화된 power 소자 기술을 확보하여 급변하는 시장 환경에 대응하는 것이 필요하다.

참고 문헌

- [1] Philip L. Hower, "Safe Operation Area—a New Frontier in LDMOS Design," Proc. of ISPSD, pp. 1–8, 2002.
- [2] IL-Young Park et al., "BCD (Bipolar–CMOS–DMOS) Technology Trends for Power Management IC," 8th International Conference on Power Electronics, pp.318–325, 2011.
- [3] Sunitha HD et al., "Reduced Surface Field Technology for LDMOS : A Review," International Journal of Emerging Technology and Advanced Engineering, pp.173–176, 2014.
- [4] B. Murari et al., Smart Power ICs 2nd Edition, pp 1–50, Springer
- [5] Ronghua Zhu et al., "Substrate Majority Carrier–Induced NLDMOSFET Failure and Its Prevention in Advanced Smart Power IC Technologies," IEEE Transactions on Device and Materials Reliability, Vol. 6, No. 2, pp.386–392, 2006.



이 상 기

- 1987년 2월 한양대학교 물리학과 학사
- 1989년 2월 한양대학교 물리학과 석사
- 1998년 2월 한양대학교 물리학과 이학박사
- 1994년 10월~1997년 12월 LG 반도체 System IC Device팀
- 1998년 1월~2000년 10월 현대전자 System IC Device팀
- 2000년 11월~현재 동부하이텍 기술개발실 공정개발 1팀 상무

〈관심분야〉

CMOS Image Sensor (CIS), Logic, Analog, High Voltage 및 Power 소자 & 공정 개발