



# 시스템 반도체 소자 기술

## I. 서론

시스템 반도체는 정보를 저장하는 데 사용되는 메모리 반도체와는 달리 정보처리를 목적으로 제작되는 로직 반도체이다. 대표적인 시스템 반도체 제품으로는 높은 설계기술을 기반으로 제작되는 컴퓨터의 중앙처리장치 (CPU)와 고객의 요구에 맞추어 설계 및 생산하여 특정 제품에 사용하는 주문형 반도체 (ASIC)가 있으며 생활가전에서부터 항공우주 분야까지 전자기기를 가지고 있는 모든 제품 및 분야에 사용되고 있다. 최근 들어 스마트폰과 태블릿PC의 등장으로 모바일 디바이스가 폭발적으로 성장하였으며, 이들 디바이스를 구동하는 AP (Application Processor)는 시스템 반도체의 새로운 대표 제품으로 성장했다. <그림 1>은 삼성전자의 갤럭시노트에 탑재되어 있는 AP

**시스템반도체는 정보처리를 목적으로 제작되는 로직반도체로서 모든 전자제품에 사용되고 있다고 할 수 있다.**

Exynos와 Apple사의 아이폰에 탑재된 AP이다<sup>[1]</sup>.

새로운 미래 아이템으로, 신체에 부착 또는 착용하여 컴퓨팅 행위를 할 수 있는 smart mobile형 웨어러블 디바이스 (wearable device)가 활발히 연구 및 개발되고 있으며, 이를 위해서는 몸에 부착 또는 착용하는 작고 가볍고 전원이 오래가는 디바이스가 필수적이고 이는 시스템 반도체의 성능에 의해 좌우 된다. <그림 2>는 웨어러블 기술에 대한 소비자의 설문 결과로 다양한 곳에 적용될 것으로 기대하며, 대표적인 예로 구글의 구글글라스, 손목밴드/스마트시계 및 피부에 새기는 전자 문신 등이 있다.

인터넷을 기반으로 모든 사물을 연결하여 사람-사물 그리고 사물-사물 간을 연결하는 사물 인터넷 (IoT, Internet of Things)도 미래의



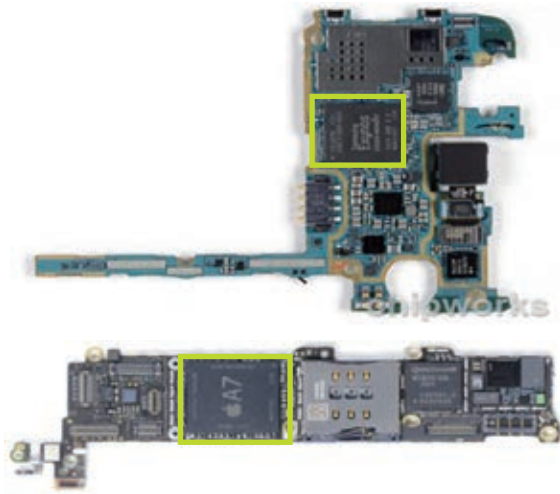
김 동 원  
삼성전자 반도체연구소



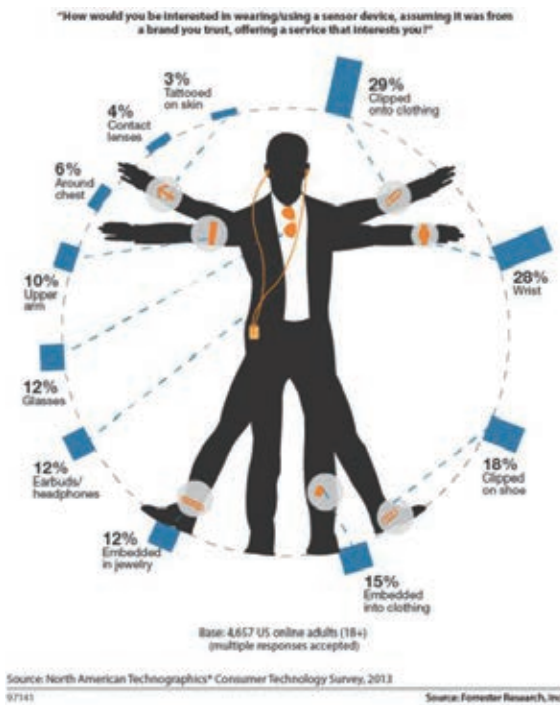
조 근 휘  
삼성전자 반도체연구소



박 선 호  
삼성전자 반도체연구소



〈그림 1〉 갤럭시노트와 아이폰에 탑재되어 있는 AP



〈그림 2〉 웨어러블 기술에 대한 관심도<sup>[2]</sup>

적용 가능성이 매우 높은 기술로서, IoT를 구동하기 위한 디바이스와 디바이스를 조절하는 시스템 반도체의 수요는 매우 높다. 이와 같은 미래 기술들의 개발은 시스템 반도체가 메모리 반도체에 비해 추가적인 성장 가능성이 높은 이유이기도 하다.

더 적은 양의 전력을 소모하고 더 빠른 정보처리를 할 수 있는 반도체 소자를 작게 만들면 완제품의 부피를 줄

일 수 있기 때문에 독보적인 경쟁력을 확보하여 시장을 선도할 수 있다. 본 논문에서는 시스템 반도체 소자의 역사적인 발전 기술을 소개하고 향후의 기술 방향을 고찰해 본다.

## II. 본론

### 2.1. 반도체 소자의 성능 지표와 구성요소

반도체 소자의 기술 수준을 판단하기 위해서는 먼저 소자의 성능을 나타내는 지표인 속도 (speed)와 전력소모 (power dissipation) 그리고 구성 요소에 대한 이해가 필요하다.<sup>[3]</sup>

$$\text{속도지연 (delay)} = RC = \frac{CV}{I} \cong \frac{(C_{gc} + C_{para})V_{dd}}{\left(\frac{W}{L_g}\right)C_{gc}\mu(V_{dd} - V_t)^{\alpha}} \quad (1)$$

전력소모 = 동적전력소모+정적전력소모

$$= CV^2f + I_{off}V \quad (2)$$

$$C (\text{등가 정전용량}) = C_{gc} + C_{para}$$

$$= \text{소자의게이트-채널 정전용량} + \text{기생 전전용량} \quad (3)$$

$$C_{gc} \propto \frac{L_g}{T_{ox}} \quad (4)$$

$$V (\text{동작전압}) = V_{dd}$$

$$V_t (\text{문턱전압})$$

$$I (\text{소자의 동작전류})$$

$$\mu (\text{전자 또는 전공의 이동도})$$

$$f (\text{칩의 주파수})$$

$$I_{off} (\text{stand-by 모드에서의 누설전류})$$

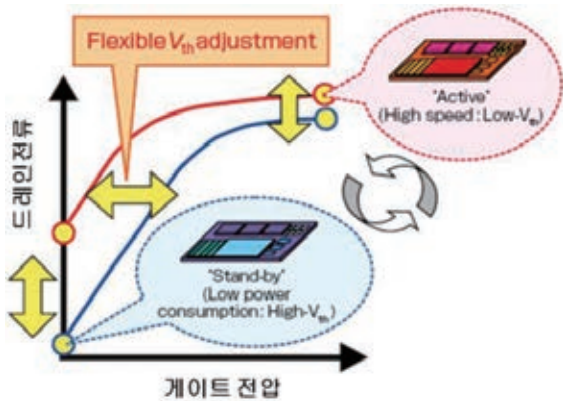
$$\propto \frac{1}{L_g^{\beta}} \quad (5)$$

$$L_g (\text{게이트 길이})$$

$$W (\text{소자의 폭})$$

$$T_{ox} (\text{산화막 두께})$$

시스템 반도체의 성능은 세대에 따라 동등 또는 더 낮은 전력소모에서 20~30%의 속도 이득을 내는 것이므로 정전용량 및 누설전류를 줄이고 소자의 동작전류를 높이는 전략이 필요하다. 소자의 면적 축소를 위한 스케일링 (scaling)과 더불어 소자의 성능 개선을 위해서는



〈그림 3〉 속도와 누설전류에 따른 제품 디자인<sup>[4]</sup>

(속도 지연을 줄이기 위해) 산화막 두께 (식 (4)), 이동도,  $V_{dd}-V_t$  (OD, over-drive) 등의 구성 요소를 조절해야 한다. 그리고 소자의 속도 (구동 전류)와 누설전류를 조절하여 원하는 제품을 디자인 할 수 있다(〈그림 3〉).

## 2.2. 전통적인 반도체 소자의 scaling과 한계

1974년 IBM사의 Dennard가 scaling 법칙을<sup>[5]</sup> 설명한 이래로 지난 40년간 반도체 소자는 단채널 효과 (short channel effect)를 극복하면서 소자의 부피를 줄였는데, x/y/z 방향으로 0.7/0.7/0.8x 감소하여 (X, Y방향으로 70%감소시켜) 면적은 50% 감소하였고 수직방향으로는 80% scaling 되었다. 소자의 성능을 좌우하는 구성 요소 중에서 전통적인 scaling의 핵심은 게이트 길이와 산화막 두께, 접합 깊이 등을 조절하는 것이었다. 이렇게 scaling 법칙에 맞추어 소자는 집적되어왔고 집적도는 세대마다의 미세공정과 보조를 함께 했다. 아래는 게이트 길이와 연관된 scaling 경향성으로 다음과 같은 관계를 갖는다<sup>[6]</sup>.

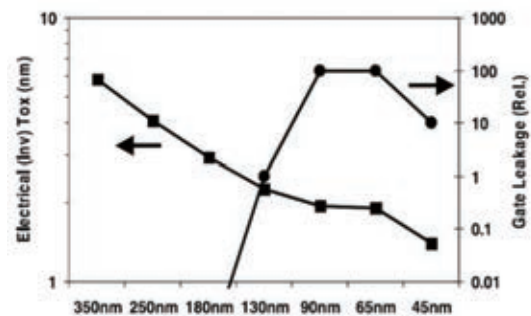
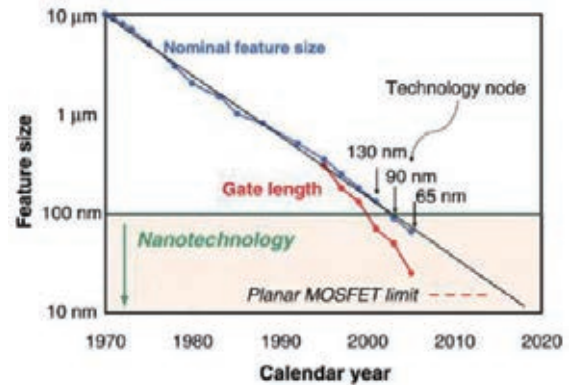
$$T_{ox} \text{ (산화막 두께)} \approx 0.018 \times L_g$$

$$H_g \text{ (게이트 높이)} \approx 0.8 \times L_g$$

$$X_j \text{ (접합 깊이)} \approx 0.6 \times L_g$$

$$L_{eff} \text{ (유효 게이트 길이)} \approx 0.7 \times L_g$$

**반도체 소자는 단채널 효과를 극복하면서 scaling이 진행되어 왔으며, 게이트 길이와 산화막 두께가 핵심 파라미터이며 최근에는 high-k 산화막 기술이 핵심으로 등장하였다.**



〈그림 4 & 5〉 로직기술 노드와 게이트 길이<sup>[6]</sup> / 산화막 두께<sup>[9]</sup> 경향성

### (1) 게이트 길이 ( $L_g$ ) scaling

전통적인 scaling의 방법 중에서 먼저 게이트 길이에 대한 접근해 보자. 〈그림 4〉은 인텔사의 로직기술 노드와 게이트 길이로, 10um에서 시작한 scaling down이 350nm 노드까지는 게이트 길이가 \*최소 배선평 (feature size)과 유사하나, 250nm 노드부터 최소 배선평과 게이트 길이간 차이가 생기기 시작하고, 세대가 지남에 따라 그 간격은 더욱 커졌다 [\*feature size는 그 해당 기술 노드에서의 가장 작은 길이 (critical dimension)를 의미하며 보통 게이트 길이와 최소 배선평이 같음]. 이것은 전통적인 scaling 규칙에서 벗어나는 추세를 의미하며 추세보다 더욱 게이트 길이를 스케일하는 이유는 해당 노드의 성능을 달성하기 위함인데, 게이트 길이를 줄여 채널 저항을 줄여 구동전류를 늘이고 ( $R \downarrow$ ), 게이트와 콘택간 기생하는 정전용량을 줄여 ( $C \downarrow$ ), 속도지연을 줄이기 위함이다. 추세보다 작은 게이트 길에서 속도 이득을 얻기 위해서는 공격적으로 단채널 효

과를 억제하여 누설전류 증가를 제한해야 한다 (수식 (5) 참조). 누설전류를 억제하기 위해, 지역적인 halo 이온주입, SDE (Source Drain Extension) 영역의 얇은 접합 깊이, well/채널 도핑 강화 등이 적용된다<sup>[7]</sup>. 게이트는 정전용량 관점에서 소자의 overlap 정전용량<sup>[8]</sup>, 산화막 정전용량 (또는 채널 정전용량), 게이트와 콘택간의 기생 정전용량에 영향을 끼치므로, 소자의 성능에 관해 주의 깊은 접근이 필요하다. 특히 scaling과 함께 게이트와 콘택간 거리가 가까워지므로 소자의 정전 용량보다 기생 정전 용량의 저감을 위한 노력이 필요하다.

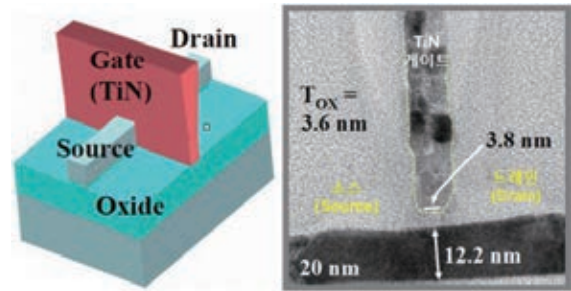
(2) 산화막 두께 ( $T_{ox}$ ) scaling

소자의 게이트 길이 scaling을 지속하기 위해 게이트 산화막 두께를 감소시켰고, 줄어든 산화막 두께는 채널에 대한 게이트의 효율을 높여 더 짧아진 게이트 길이에서 성능 개선을 가능하게 하였다. 그러나 산화막 두께의 지속적인 scaling은 터널링 (tunneling)에 의한 게이트 누설전류를 증가시켜 전력소모를 높이고 불량한 게이트의 효율을 야기했다. Nitrogen 이온 주입은 게이트의 터널링 효과를 약화시킬 수 있었지만 물리적인 산화막 두께는 1.2nm에서 한계를 보였다. 산화막 두께 scaling의 한계를 극복하기 위해 2000년대 전후 그리고 중반 high-k 산화막과 3차원 구조의 소자 연구가 경쟁을 펼쳤고, 보다 호환성이 높은, SiO<sub>2</sub>/Poly-gate를 대신한, IL/HfO/Metal-gate 구조가 평면 소자의 생명을 연장하게 했다. 이 기술은 45nm 노드에 적용되었고, 세부 내용은 2-3장에서 설명하겠다. 유전율이 높고 두꺼운 산화막을 개발하여 게이트 누설전류 없이 산화막 두께의 scaling을 지속하게 함. 게이트가 채널을 감싸서, 채널에 대한 게이트의 효율을 최대화 하여 scaling을 지속할 수 있으며 FinFET, nanowire FET, multi-bridge FET 등이 있음<sup>[10-12]</sup>.

**소자의 물리적인 최소거리는 1.5nm이지만, QPT와 EUV의 결합으로 3.25nm의 미세 패턴 형성이 가능하다.**

2.3. 세대 별 소자 기술

과연 궁극적인 Scaling의 한계는 얼마일까? 미래의 연



〈그림 6〉 3.8nm의 게이트 길이를 가지는 FinFET<sup>[14]</sup>

구개발 여부는 이 질문에 대한 대답에 달려있다. 왜냐하면 우리의 기술이 이론적인 한계에 이미 있다면 더 이상의 연구 및 개발은 무의미하기 때문이다.

Shannon-von Neumann-Landauer (SNL) 식에 따르면, 디지털 소자의 스위칭 (switching)에 필요한 최소 에너지는 (1 bit을 조절할 수 있는 최소 에너지) 상온에서  $E_{SNL}=0.017eV$ 이다. 위치와 운동량, 그리고 에너지와 시간의 결합을 설명하는 Heisenberg의 불확정성 원리를 이용하여 소자 동작을 위한 최소 거리와 최소 시간을 계산해 보면 각각 1.5nm와 0.04ps임을 알 수 있다<sup>[13]</sup>. 스위칭에 대한 현 기술과 궁극적인 속도지연을 비교해보면 100x 차이를 보이고 있어 개발에 대한 여지가 있음을 간접적으로 알 수 있다.

$$E_{bit} \geq E_{SNL} = \ln 2 k_B T = 0.017 eV @ T = 300K$$

$$x_{min} = \frac{\hbar}{\Delta p} = 1.5nm @ T = 300K$$

$$t_{min} = \frac{\hbar}{\Delta E} = 0.04ps @ T = 300K$$

$k_B$  (Boltzmann constant)  
 $\hbar = \frac{h}{2\pi}$  (Plank constant)

〈그림 6〉은 삼성전자에서 구현한 sub-5nm 기술로 3.8nm의 게이트 길이를 가지는 FinFET 소자이다. 세부 설명은 2-3 (3)에서 추가하겠다.

소자의 물리적인 최소거리는 1.5nm이지만, 소자를 구현하는 패턴링 관점에서의 최소 길이 또한 고려 되어야 한다. 미세 패턴의 구현을 위해 DPT (Double Patterning Technology)를 반복하는 QPT (Quadruple Patterning

Technology)와 EUV (Extreme Ultra Violet)의 결합으로부터 3.25nm의 미세 패턴을 예상하고 있다<sup>[15-16]</sup>.

궁극적인 소자의 물리적 한계 및 미세공정 한계의 끝까지 기술을 연장하기 위한 노력으로 Stress Engineering, high-k 메탈 게이트, 3차원 구조의 소자를 소개한다.

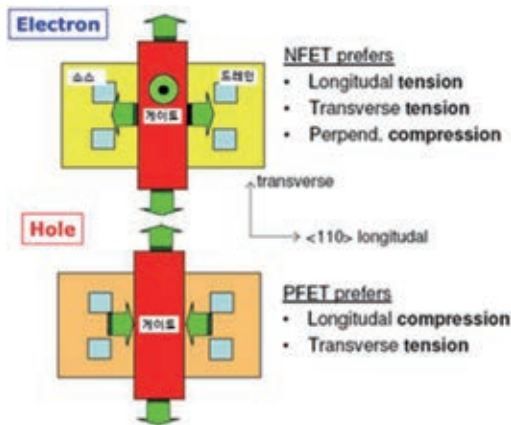
(1) Stress engineering

Stress에 의해 변하는 전자와 정공의 이동도는 1954년 Bell 연구소에서 처음 보고 하였고<sup>[17]</sup>, 관련 기술은 1990년대 후반까지 사용되지 않다가 IBM 연구소에서 실리콘 소자에 관련 기술을 적용하는 실험을 하게 되었다. 실험의 본질은 웨이퍼에 압력을 가해 전자와 정공의 piezo-resistance (압력을 가했을 때 전기 저항이 변화는 효과)를 확인하고, N/PMOS 각각에 유리한 stress를 탑재하여 소자의 성능을 높이는 것이다.

〈표 1〉 및 〈그림 7〉은 전자 및 정공의 이동도를 높이기 위해 필요한 CMOS 소자의 strain 효과를 정리한 표 및 그림으로, 문헌에서 보고된 piezoresistance 효과와 일치한다<sup>[18-19]</sup>.

〈표 1〉 N/PMOS에 유리한 3차원 stress 효과<sup>[18]</sup>

방향	NMOS	PMOS
Longitudinal	Tension (인장력) +++	Compression (압축력) ++++
Transverse	Tension ++	Tension +++
Out-of-plane	Compression ++++	Tension +



〈그림 7〉 표1을 설명하는 모식도<sup>[19]</sup>

소스 (source)에서 드레인 (drain)으로 향하는, 즉 longitudinal 방향으로 tensile stress가 걸리면 (채널의 격자 간격은 늘어 남) NMOS의 전자 이동도가 높아지고, PMOS의 정공 이동도는 낮아진다. 반면에 compressive stress가 걸리면 (채널의 격자 간격은 줄어 듦) PMOS의 이동도는 높아지고 NMOS의 이동도는 낮아진다. 이런 특성을 이용하기 위해 NMOS의 경우 게이트와 소스/드레인을 덮는 물질이 채널에 tension을 주도록 공정을 디자인하였고, PMOS의 경우 소스/드레인에 embeded-SiGe epi를 성장하여 Si보다 원자번호가 큰 SiGe 격자가 채널을 compression하여 성능을 향상 시켰다<sup>[18]</sup>. 90nm 공정에 처음 적용된 stress engineering은 100nm노드를 극복하는 역사적인 사건이었다. 이는 Strained silicon을 탑재하기 위해 global stress향의 IBM과 local stress향의 인텔 간 경쟁이었고, local stress를 적용한 인텔이 기술적 리더십을 확보하게 되었다. 인텔의 첫 eSiGe 연구를 되돌아 보면, SiGe에서 B의 고용도 (solid solubility)가 Si보다 높기 때문에 저항을 줄일 목적으로 연구 되었으나, stress에 의한 사이드 효과를 추가로 얻은 경우이다. NFET의 stress 이득과 더불어 eSiGe의 도입은 sub-100nm를 성공하게 만들고 scaling을 지속시켰다.

(2) High-k/Metal-Gate (메탈 게이트) engineering

산화막 두께scaling과 함께 터널링에 의한 게이트 누설 전류의 증가는 소자 scaling의 큰 장애물이고 이를 극복하기 위해 실리콘 산화막을 유전율이 높은 high-k (HK)로 대체하기 위한 연구가 2000년을 전후로 활발히 진행되었다. 수식 (7)에서처럼, High-k 개발의 목적 및 개념은 유전율이 높은 산화막을 적용할 경우 실리콘 산화막보다 더 두꺼운 두께를 사용해도 동일한 등가 산화물 두께 (EOT)를 얻을 수 있어 tunneling에 의한 누설 전류를 억제할 수 있는 점이었다<sup>[3]</sup>.

$$C \propto \frac{k}{Tox} \rightarrow \frac{k_{ox}}{EOT} = \frac{k_{Hi-k}}{T_{Hi-k}} \quad (6)$$

$$EOT = \frac{k_{ox}}{k_{Hi-k}} \times T_{Hi-k} = \frac{3.9}{k_{Hi-k}} \times T_{Hi-k} \quad (7)$$

EOT (Equivalent Oxide Thickness)

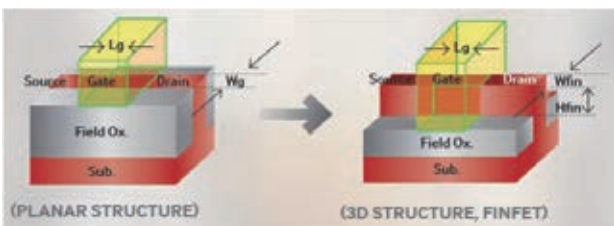


〈그림 8〉 산화막/Poly-Si에서 HK/MG로의 변경<sup>[9]</sup>

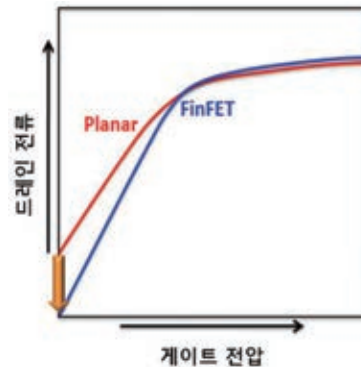
주기율 표에 있는 수많은 원소들을 실험 및 검토 후 새로운 안정한 산화막을 찾는 것을 쉬운 일이 아니었으며 인텔에서 최초로 양산에 성공하여 45nm 공정에 탑재하였다. 연구가 high-k에 주로 집중되어 있지만, 소자 관점에서 실리콘과 high-k 유전체 사이에 얇은 산화막을 삽입하고 poly-gate가 아닌 메탈 게이트 (MG)를 적용한 것, 그리고 high-k에 내재된 불순물을 열로서 날려 보내는 PDA (Post Deposition Anneal) 공정이 탑재되어 실리콘 산화막을 대체할 수 있었다. HfO 아래 얇은 산화막 (IL, Interfacial layer)은 신뢰성과 이동도 향상에 기여하고, 메탈 게이트는 금속의 일함수 (Work Function)를 조절하여 소자의 문턱 전압을 조절한다. 추가적으로 메탈 게이트를 적용함으로써 poly-Si 전극에서 생기는 공핍층이 제거되어 정전용량 (〈그림 8〉 왼쪽의  $C_D$ )을 줄여 산화막 두께를 줄일 수 있었다.

### (3) 3-dimensional structure

HK/MG 적용도 한계에 이르러 더 이상 scaling을 할 수 없어서, 2000년대에 보유했던 3차원 구조의 핀펫 (FinFET, Fin Field-Effect- Transistor)이 등장하게 되었다. 〈그림 9〉는 2차원 vs. 3차원 구조의 소자 개략도이다. 게이트가 실리콘 채널을 감싸고 있고, 게이트로 둘러싸인 얇은 실리콘은 마치 물고기의 지느러미 같아서,



〈그림 9〉 2차원 vs. 3차원 소자<sup>[20]</sup>



〈그림 10〉 2차원 평면소자와 3차원 FinFET의 전류-전압 특성 비교

Fin과 FET의 결합으로 명명되었다. 3차원 소자는 2차원 평면소자 대비 공정 난이도가 분명 증가하지만, 게이트가 채널에 대한 효율을 높이기 때문에 scaling에 의한 채널 효과를 효과적으로 극복할 수 있다.

**3차원 FinFET 소자는 2차원 소자에 비해 공정 공정이 복잡하지만 채널에 대한 게이트의 조절 효율이 증가하여 차세대 반도체 소자의 핵심으로 등장하였다.**

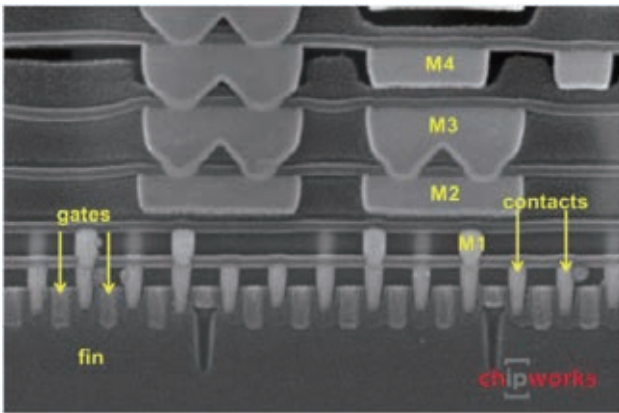
〈그림 10〉은 2차원 평면소자와 3차원 FinFET 소자의 전류-전압 특성이다. FinFET의 경우 2차원소자 대비, 문턱전압 이하에서 스위칭의 기울기 (Subthreshold swing)가 높아 정적인 전력 소모 (수식 (2) 참조)

감소에 효과적이다 [SS는 식 (8)로 표현되며, 물리적인 의미는 게이트 이외의 터미널과 채널간 coupling과 채널에 대한 게이트의 coupling에 대한 비율이다]. 3차원 구조에서 SS를 충분히 감소할 수 있는 이유는 수식 (8)에서 분자가 작아지기 때문인데, 2차원 소자의 경우, 수식 (8) 분자의 정전용량은 채널의 공핍층에 의한 정전용량이 대부분이고 충분히 큰데 반해, FinFET의 경우는 얇은 실리콘 채널 두께에 기인해 공핍층의 부피가 크게 줄어들어 SS가 감소하기 때문이다. 즉 채널의 부피가 작아질수록 (분자 감소) 또는 게이트가 채널을 충분히 많이 감쌀수록 (분모 증가) SS가 향상된다. 이 점은 FinFET 이후 세대의 소자 구조에 대한 방향성을 제시 한다.

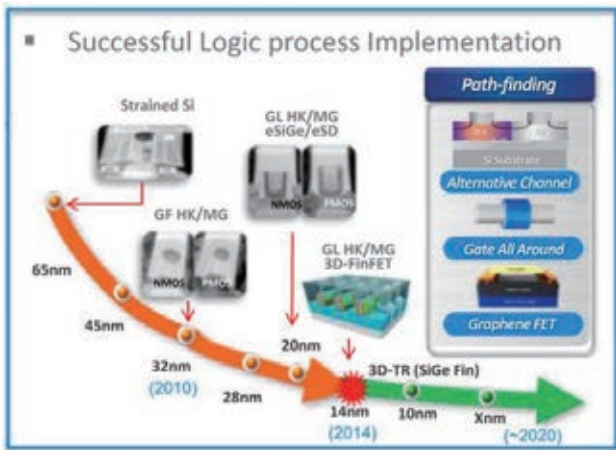
$$SS \text{ (Subthreshold Swing)} = \ln 2 \frac{k_B T}{q} \left( 1 + \frac{C_{SD-CH} + C_{Sub-CH} + C_{Defect-CH}}{C_{G-CH}} \right) \quad (8)$$

$q$  (Charge)

$C_{G-CH}$  (게이트-채널 정전용량)



〈그림 11〉 삼성 엑시노스 7420 AP<sup>[22]</sup>



〈그림 12〉 소자 기술 예상도<sup>[22]</sup>

현재 3차원 FinFET 소자를 양산에 성공한 회사는 인텔과 삼성전자 단 2곳이다. 인텔은 고성능 CPU에, 삼성은 저전력 mobile AP에 각각 leading-edge 기술을 탑재하였고, 이는 시스템 반도체 분야에서 두 회사간의 기술 간격이 상당히 줄어들어 있음을 의미한다. 〈그림 11〉은 삼성전자의 갤럭시 S6에 탑재된 FinFET 기술로 만들어진 AP의 단면이다<sup>[21]</sup>.

FinFET 이후 candidate로서, 게이트에 대한 효율을 더욱 높이기 위해 게이트가 채널을 완전히 감싸는 GAA (gate-all-around) 구조 기술과 구동전류를 최대한 얻기 위해 채널을 여러 층 쌓아 만든 multi-bridge channel FET (또는 Nano-sheet) 이 앞서 연구 되었고 연구되고 있다<sup>[10-12]</sup>. 〈그림 12〉는 소자 기술에 대한 예상도로 3차원 구조+채널 물질의 교체를 예상하고 있다.

### III. 결론

Leading-edge technology로서의 시스템 반도체 소자는 전통적으로 게이트 길이와 산화막 두께를 scaling하고 tunneling하여 단채널 효과를 극복하고 성능을 만족시켜왔다. 도전적인 sub-100nm 공정에서는 Stress engineering을 통해 전자와 전공의 이동도를 개선하였고, High-k/메탈 게이트를 이용하여 산화막 두께를 scaling하여 평면소자의 기술을 연장시켰으며, 채널에 대한 게이트의 효율을 높이기 위한 3차원 소자 구조의 실현으로 지속적인 scaling down을 진행하였다.

3차원 소자로의 진화가 모든 scaling down의 한계를 극복해 주지는 않기 때문에 더 효율적이며 더 작은 소자를 만들기 위한 방법들은 여전히 유효하다. 구조의 개선을 통해 효율적인 소자를 만들고자 하는 노력도 여전히 진행될 것이고, 채널의 이동도를 향상시키기 위해 새로운 물질을 찾기 위한 노력도 계속 진행 될 것이다.

### 참고 문헌

- [1] <http://www.chipworks.com>
- [2] <http://ben-grossman.com/>
- [3] Y. Taur and T. Ning, *Fundamentals of Modern VLSI Devices*, 2nd (2009)
- [4] <http://www.itrs.net/>
- [5] R. Dennard et al., *IEEE J of Solid State Circuits*, vol. SC-9, p. 256 (1974)
- [6] C-H Yung et al., *ULSI semiconductor technology atlas* (2003)
- [7] K. Roy et al., *Proc. of IEEE*, vol. 91, p. 305 (2003)
- [8] S. Thompson et al., *materialstoday*, vol. 9, p. 20 (2006)
- [9] Chris Auth et al., *Intel Tech. J.*, 2008, vol. 12, p. 77
- [10] S. M. Kim et al., *IEDM Tech.*, p. 639 (2004)
- [11] K. H. Yeo et al., *IEDM Tech.*, p. 539 (2006)
- [12] C. W. Oh et al., *VLSI Symp. Tech.*, p. 96 (2009)
- [13] V. Zhirnov et al., *Proc. IEEE*, vol.91, p. 1934 (2003)
- [14] S.D. Suk et al., *VLSI Symp. Tech.*, p. 142 (2009)
- [15] K Kim, *ISSCC Plenary* (2015)
- [16] M. Born et al., *Principles of Optics*, 7th (1999)

[17] Charles Smith, Physical Rev., vol. 94, p. 42 (1954)  
 [18] S. Thompson et al., IEEE Trans. Elec. Dev., vol. 51, P. 1790 (2004)  
 [19] IEDM Short course (2008)  
 [20] [http://www.samsung.com/global/business/semiconductor/file/media/Samsung\\_Foundry\\_14nm\\_FinFET-0.pdf](http://www.samsung.com/global/business/semiconductor/file/media/Samsung_Foundry_14nm_FinFET-0.pdf)  
 [21] <http://www.chipworks.com/about-chipworks/overview/blog/inside-the-samsung-galaxy-s6>  
 [22] <http://www.tweaktown.com/news/41549/samsung-enters-volume-production-using-its-14nm-finfet-process/index.html>



**김 동 원**

- 1987년 2월 고려대학교 재료공학과 학사
- 1996년 8월 고려대학교 재료공학과 석사
- 2003년 8월 Texas 주립대학교 재료공학과 박사
- 1989년 1월~현재 삼성전자 반도체연구소 Master IEEE IEDM SOI, ICICDT, SNW 위원회

〈관심분야〉  
 nano 로직 소자, FinFET, 20/14/10/7nm 기술, nanocrystal floating 메모리, 미래소자 및 신소재



**조 근 휘**

- 2001년 2월 고려대학교 물리학과 학사
- 2003년 2월 고려대학교 전자공학과 석사
- 2007년 2월 고려대학교 전자공학과 박사
- 2011년 3월~2013년 2월 ISDA (International Semiconductor Development Alliance)
- 2006년 1월~현재 삼성전자 수석연구원

〈관심분야〉  
 nano-CMOS 소자 (FinFET, Gate-All-Around MOSFET), 미래소자



**박 선 흠**

- 1985년 2월 서울대학교 물리교육과 학사
- 1997년 8월 Purdue 대학교 전기공학과 박사
- 1997년 8월~2008년 11월 Xilinx, 기술개발그룹 Director
- 2008년 12월~2010년 12월 AppliedMaterialsInc. 차세대 에너지 기술개발팀장
- 2010년 12월~현재 삼성전자 반도체연구소 전무

〈관심분야〉  
 반도체공정, 소자, VLSI 디자인, 비휘발성메모리, 신소재, 태양광 전지