

# Karnaugh Map 간략화 과정의 학습을 위한 교육용 자바 애플릿의 설계와 해석<sup>☆</sup>

## Design and Analysis of Educational Java Applets for Learning Simplification Procedure Using Karnaugh Map

김 동 식<sup>1\*</sup>                      정 혜 경<sup>2</sup>  
Dong-Sik Kim                      Hye-Kyung Jeong

### 요 약

본 논문에서는 디지털논리회로의 설계에 있어 필수적인 카르노 맵 간략화 과정을 교육용 자바 애플릿의 형태로 구현하였다. 학습자는 구현된 자바 애플릿으로부터 흥미로운 학습을 경험할 수 있으며, 자바 애플릿 설계과정에서 교육공학적인 요소를 단계별로 고려하였기 때문에 학습 효율의 극대화가 가능하다.

학습자는 구현된 자바 애플릿으로부터 디지털 논리회로의 간략화 과정을 마우스로 버튼을 클릭하거나 텍스트를 채워가면서 웹 상에서 가상실험을 진행한다. 또한, 간략화 과정에서 발생하는 논리식과 논리회로도에는 학습자가 효율적으로 학습할 수 있도록 서로 다른 프레임으로 구성하였으며, 학습자가 구성한 논리회로도도 올바르게 구성되었는지 확인할 수 있도록 하였다.

마지막으로 본 논문에서는 수정된 Quine-McCluskey 간략화 기법에 기초하여 자바 애플릿을 구현하였기 때문에 오프라인 교육의 보조도구로서 사용된다면 학습효율의 향상에 기여할 수 있다는 것을 입증하였다.

☞ 주제어 : 디지털 조합회로 간략화; 카르노 맵; 웹기반 가상교육; 자바 애플릿; 자기주도 학습

### ABSTRACT

In this paper, the simplification procedure of Karnaugh Map, which is essential to design digital logic circuits, was implemented as web-based educational Java applets. The learners will be able to experience interesting learning process by executing the proposed Java applets. In addition, since the proposed Java applets were designed to contain educational technologies by step-by-step procedure, the maximization of learning efficiency can be obtained.

The learners can make virtual experiments on the simplification of digital logic circuits by clicking on some buttons or filling out some text fields. Furthermore, the Boolean expression and its schematic diagram occurred in the simplification process will be displayed on the separate frame so that the learners can learn effectively. The schematic diagram enables them to check out if the logic circuit is correctly connected or not.

Finally, since the simplification algorithm used in the proposed Java applet is based on the modified Quine-McCluskey minimization technique, the proposed Java applets will show more encouraging result in view of learning efficiency if it is used as assistants of the on-campus offline class.

☞ keyword : Simplification of Digital Logic Circuit; Karnaugh Map; Web-based Virtual Education; Java Applets; Self Directed Learning

## 1. 서 론

최근 들어 웹기반에서의 가상교육의 내실화를 증진하

고 학습효율을 극대화하기 위한 노력의 일환으로 국내는 물론 국외에서도 컴퓨터 통신망이나 디지털에 의한 초고속 데이터전송 기술을 활용하여 다양한 형태의 가상교육이 웹에 출현하고 있다. 이러한 가상교육은 전통적 교육과 달리 공간과 시간의 제약이 없으며, 학습자의 학습능력, 학습 시간 등에서 융통성을 가지며 초고속 멀티미디어 통신망으로 연결하여 양방향의 오디오, 비디오 및 데이터를 교환함으로써 상호작용적인 학습 효과가 가능하다는 점에서 웹 기반 교육은 그 교육적 잠재력이 무한한 것으로 여겨지고 있다[1,2,3,4,5].

<sup>1</sup> Dept. of Electrical Engineering, Soonchunhyang University, Asan, Chungnam, 336-745, Korea

<sup>2</sup> Dept. of Korean Language and Literature, Soonchunhyang University, Asan, Chungnam, 336-745, Korea

\* Corresponding author(dongsik@sch.ac.kr)

[Received 27 January 2015, Reviewed 5 February 2015, Accepted 17 May 2015]

☆ This work was supported by the Soonchunhyang University Research Fund(No. 20130018).

그러나 최근에 이러한 웹기반 가상교육에 대해 다양한 접근방법이 시도되어 학습자는 면대면 오프라인 교육보다 능동적으로 학습을 할 수 있기를 원하고 있으나, 최근까지도 이러한 학습자의 요구에 충실하게 부응하고 있지 못한 실정이다. 교수자의 입장에서 가르치고자 하는 내용을 가상공간에서도 효과적으로 학습자에게 전달되기를 희망하지만, 면대면 오프라인 학습에 비해 교육 효과가 현저히 떨어지는 결과를 가져오고 있다. 이러한 현상은 가상공간이라는 열린 공간이 가진 여러 가지 제약으로 인해 발생하지만, 무엇보다도 가상교육용 학습 콘텐츠의 획일적인 구성에서 그 원인을 찾을 수 있다 [6,7,8]. 가상공간에서의 학습자는 컴퓨터를 마주보면서 학습을 진행하는 환경에 놓여 있기 때문에 흥미롭고 생동적이며 상호작용성이 뛰어난 학습 콘텐츠에 의해 획기적인 가상교육을 경험하길 원하고 있기 때문에 가상교육에도 좀 더 효율적이고 흥미로운 학습 콘텐츠의 제작이 절실히 필요한 실정이며 이를 위해 다양한 연구가 진행되고 있다[9,10,11].

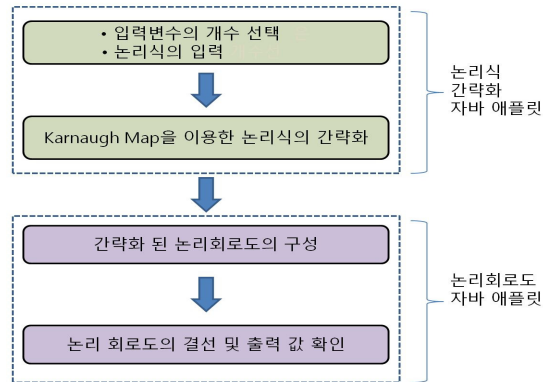
이러한 흥미롭고 동적인 학습 콘텐츠를 제공하기 위한 하나의 접근방법으로써 본 논문에서는 자바 애플릿의 형태로 학습 콘텐츠를 구현함으로써 학습효율의 극대화를 추구하였다. 이를 위하여 전기전자분야에서 필수적으로 학습해야 하는 Karnaugh Map을 이용한 디지털 조합회로의 간략화 과정을 자바 애플릿으로 구현하는 방법을 제시한다. 가상공간에 접속한 학습자는 구현된 자바 애플릿을 이용하여 Karnaugh Map을 이용한 간략화 과정을 단계별로 학습할 수 있게 된다. 학습은 3단계로 이루어지며 논리식을 입력하여 간략화 과정을 학습하는 1 단계, 학습자가 직접 논리회로도를 완성하는 2 단계, 그리고 그 결과를 확인할 수 있는 3 단계로 구현하여 학습자 스스로 자기주도(Self Directed Learning) 학습이 가능하도록 자바 애플릿을 설계하였다. 변수의 개수가 증가하며 논리식 간략화 과정을 제한된 화면 크기로 인해 여러 가지 변환과정을 일목요연하게 도시하기에는 어려움이 있기 때문에 본 논문에서는 변수의 개수를 4 이하로 제한하였으나 교육목적의 달성에는 큰 어려움은 없다고 생각된다.

본 논문은 구현된 자바 애플릿의 전체 구성, 실행 예 그리고 학습효과 분석을 2절과 3절에 기술하였고, 4절에서는 결론을 기술하였다.

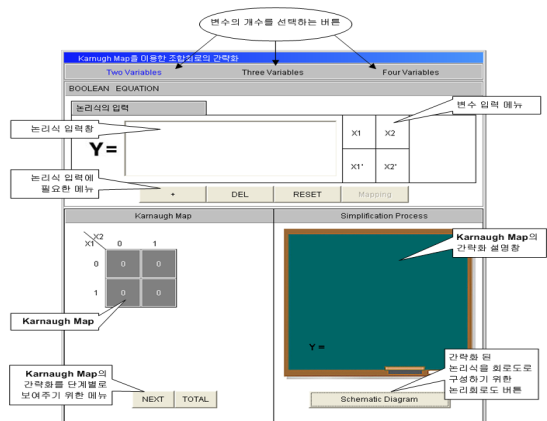
## 2. 디지털 조합회로 간략화를 위한 자바 애플릿의 전체구성

### 2.1. 교육용 자바 애플릿의 구성

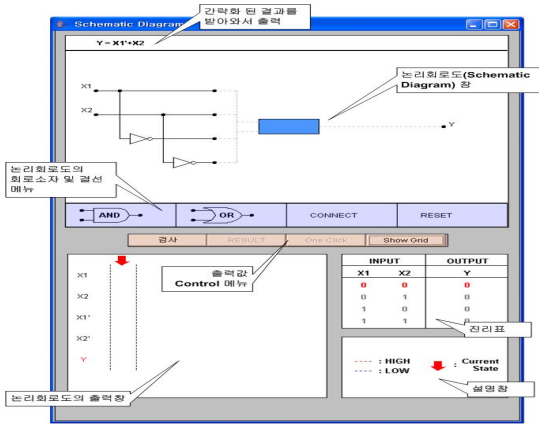
본 논문에서 구현한 디지털 조합회로 간략화를 위한 교육용 자바 애플릿의 전체적인 구성도를 그림 1에 도시하였다. 구현된 2개의 자바 애플릿은 Karnaugh Map을 이용하여 논리식을 간략화 하는 과정에 대한 애플릿과 간략화된 논리식을 이용하여 논리회로도를 구성하여 출력값을 확인할 수 있는 자바 애플릿이다.



(그림 1) 교육용 자바 애플릿의 구성도  
(Figure 1) Configuration for educational Java Applet



(그림 2) 논리식 간략화 자바 애플릿의 구성  
(Figure 2) Structure of the Java Applet for simplifying Boolean function



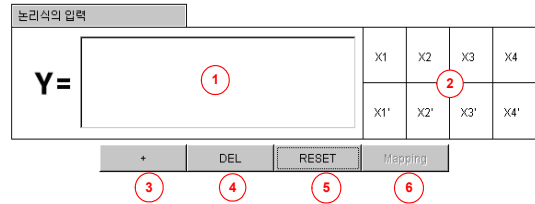
(그림 3) 논리회로도 자바 애플릿의 구성

(Figure 3) Structure of the Java Applet for Logic Circuit

그림 2에 도시된 자바 애플릿은 학습자가 입력변수의 개수를 선택하고 입력한 논리식을 Karnaugh Map을 이용하여 디지털 조합회로 간략화 과정을 학습하기 위한 논리식의 간략화 애플릿의 화면구성을 나타낸 것이다. 그림 3에 도시된 자바 애플릿은 논리식 간략화 자바 애플릿으로부터 얻어진 간략화된 논리식을 직접 논리회로도 구성하여 결선상태와 결과 값을 확인하기 위한 논리회로도 자바애플릿의 화면구성을 나타낸 것이다.

## 2.2. 디지털 조합회로의 논리식 입력

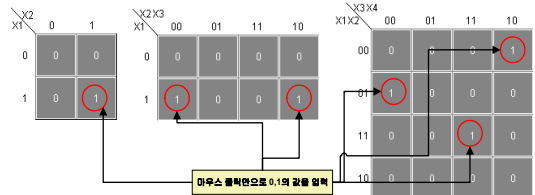
논리식 간략화 자바 애플릿에서 디지털 조합회로의 논리식 입력은 학습자의 편의를 위하여 2 가지 방식으로 입력되도록 설계하였다. 첫 번째 방법은 그림 4의 논리식 입력창을 이용하여 직접 조합회로의 논리식을 입력하는 것이다. ①은 학습자가 입력하는 논리식을 차례대로 보여주는 텍스트창이다. ②는 변수 입력 버튼으로 학습자가 원하는 변수를 클릭함으로써 원하는 논리식을 완성할 수 있으며, 2변수와 3변수의 학습 선택 시 변수의 개수에 알맞게 변수입력 버튼의 사용이 제어된다. ③은 논리식을 작성할 때 변수들의 합을 추가하기 위한 버튼, ④는 학습자의 실수로 변수입력이 잘못되었을 경우 바로 앞서 입력하였던 변수를 삭제하는 버튼, ⑤는 논리식 입력을 초기화 하는 버튼을 각각 나타낸다. ⑥은 변수의 입력이 끝난 다음 입력된 논리식을 Karnaugh Map으로 맵핑시키기 위한 버튼이다. "Mapping" 버튼은 논리식 입력이 시작됨과 동시에 활성화 된다.



(그림 4) 직접 입력방식에 의한 논리식의 설정

(Figure 4) Direct creation of Boolean function

두 번째 방법으로는 그림 5에 도시한 바와 같이 직접 Karnaugh Map을 간단히 마우스 클릭만으로 최소항에 0, 1의 값을 입력할 수 있도록 하는 방법이다. 3변수와 4변수도 동일한 방법으로 간단하게 최소항을 입력할 수 있도록 설계하였다.



(그림 5) Karnaugh Map을 통한 논리식의 설정

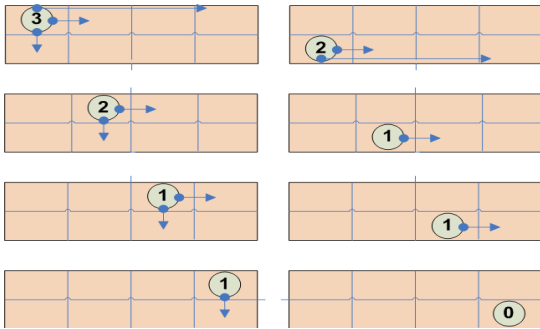
(Figure 5) Creation of Boolean function by Karnaugh Map

## 2.3. Karnaugh Map 간략화 알고리즘

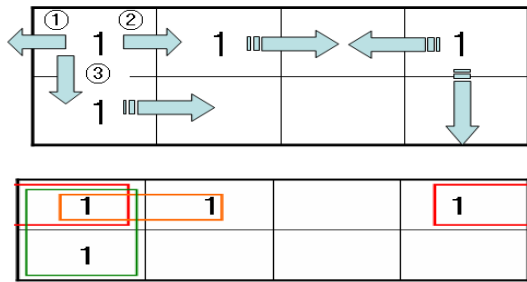
논리식 간략화 자바 애플릿에서 입력된 논리식이 Karnaugh Map으로 맵핑이 되면, 다음의 간략화 알고리즘에 따라 간략화가 진행된다[12,13].

입력된 논리식이 Karnaugh Map에 맵핑된 다음에는 하단의 NEXT 버튼을 클릭하여 Karnaugh Map 간략화를 진행시켜 첫 번째 결합되어진 항을 확인할 수 있다. 각각의 최소항들은 이웃하는 최소항들의 변수값 '1'을 모두 확인하게 된다. 그림 6은 3변수 Karnaugh Map에서 최소항들끼리 결합할 수 있는 모든 경우의 수를 표시한 것이다.

그림 7은 3변수 Karnaugh Map에 간략화 과정을 나타내었으며, 각각의 최소항들과 이웃하는 최소항들이 가지고 있는 변수값을 확인한다. ①, ②, ③의 화살표 방향을 제외한 나머지는 이웃하는 항들이 변수값을 가지고 있지 않으므로 3개의 이웃하는 최소항들의 결합이 이루어진다. Karnaugh Map의 간략화 알고리즘을 간단하게 설명해보면 다음과 같다.



(그림 6) 3변수 Karnaugh Map에서 최소항 결합의 수  
(Figure 6) All possible number of combinations for min-terms in 3-variable Karnaugh Map



(그림 7) 3변수 Karnaugh Map의 간략화 과정  
(Figure 7) Simplification procedure for three-variable Karnaugh Map

먼저 맵핑된 최소항들을 2진수의 표현으로 변환하여 변환된 각각의 최소항들을 이용하여 모든 가능한 최소항의 쌍을 만들어낸다. 그리고 각 쌍의 최소항들을 비교하여 1비트만이 차이가 나는 최소항의 쌍을 찾으면 이 쌍들은 Pair 결합을 할 수 있는 쌍들이 되는 것이다. 따라서 Pair 결합을 이루지 못하는 쌍들은 그 각각의 최소항으로 더 이상 간략화가 되지 않으므로 최종 결과논리식에 합쳐지도록 되어있다.

다음으로 Pair 결합을 이루는 각 쌍들을 사용하여 Quad 결합이 존재하는지를 확인한다. 먼저 Pair 결합을 이룰 수 있는 2 개의 최소항을 결합하는데 서로 다른 비트를 “-”로 대체한 새로운 항을 만들어낸다. 만들어진 항으로 모든 가능한 쌍의 조합을 구성한 후, 한 쌍의 최소항들 사이에 1비트만의 차이가 존재한다면 Quad 결합을 이룰 수 있는 쌍이 되고 존재하지 않는 것들은 Quad 결합을 이루지 못하고 Pair 결합만을 가질 수 있게 되는 것이다.

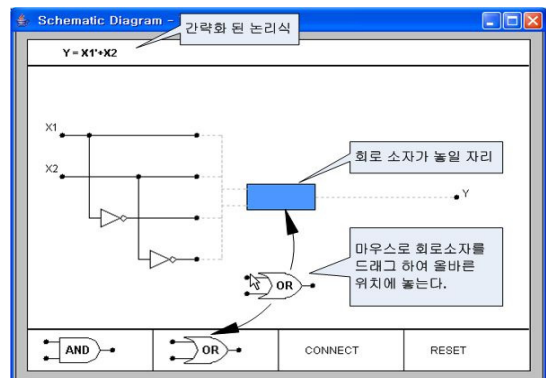
마지막으로 Quad 결합이 가능한 쌍들을 Pair 결합 때와 같은 방법으로 새로운 항을 생성한다. 생성된 새로운 항들로 가능한 모든 쌍을 구성한 후, 1비트만이 차이가 존재하는 지를 확인하여 존재한다면, Octet 결합을 이룰 수 있는 것이고 존재하지 않는다면, Octet 결합을 이루지 못하고 Quad 결합만 존재할 수 있는 항이 되는 것이다. 따라서 각각의 비교문에서 1비트만이 차이를 가지 못하는 항들을 모두 결합하면 최종적인 간략화 된 논리식이 되는 것이다.

## 2.4. 논리회로도의 구현

논리회로도 애플릿에서 학습자는 간략화된 논리식을 확인하고 난 다음, 회로결선 단계, 입력인가 단계, 검사 단계, 결과 확인 단계의 순서대로 학습을 진행한다.

### 2.4.1 회로결선 단계

회로결선 단계에서는 그림 8에 도시한 바와 같이 논리회로도 하단부분에 위치한 회로소자 중에 올바른 회로소자를 선택하고 드래그 하여 회로의 적당한 상자부분에 위치시키도록 하여 회로를 결선하도록 한다. 이때 선택한 회로소자가 적절한 위치에 놓이지 못하면 회로의 결선이 이루어지지 않도록 하여 학습자의 회로구성에 대한 이해도를 높이고자 하였다.

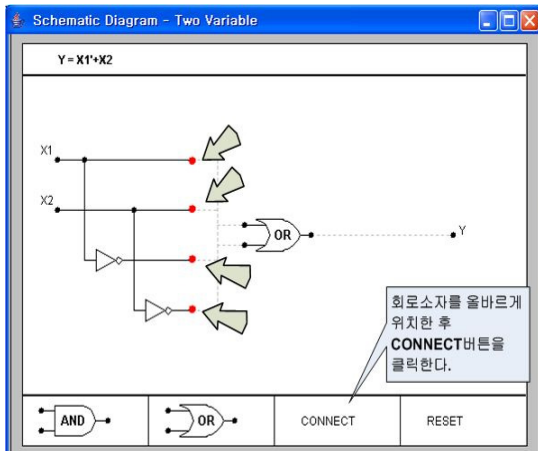


(그림 8) 논리회로 소자의 결선단계  
(Figure 8) Connecting step of logic circuit components

### 2.4.2 회로입력 인가 단계

회로도에 회로소자가 올바르게 놓이면 하단부분에 위치한 “CONNECT” 버튼을 이용하여 입력을 인가할 수 있

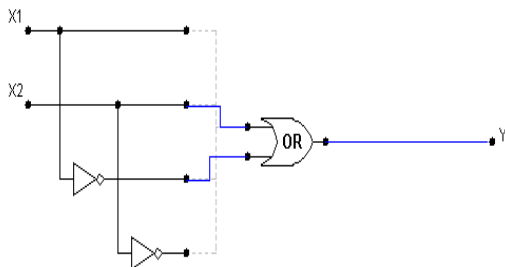
다. 그림 9에 나타난 바와 같이“CONNECT”버튼을 클릭하게 되면 입력을 연결할 수 있도록 입력부에 빨간색 점들이 나타나게 되며, 회로소자에 입력할 변수를 선택하여 빨간색 점을 마우스로 클릭하면 입력이 들어갈 회로소자의 입력부분이 빨간색 점으로 나타나게 된다.



(그림 9) 회로입력 인가 단계

(Figure 9) Applying step of logic circuit inputs

그리고 그림 10에 도시한 바와 같이 입력할 회로소자의 입력 부분을 클릭하면 파란색 라인이 입력부와 회로소자를 연결하게 되며, 다른 입력을 인가하기 위해서는 다시“CONNECT” 버튼을 클릭하면 같은 방법으로 연결이 이루어진다. 입력이 모두 인가되면 다시“CONNECT” 버튼을 클릭하여 출력부분을 연결시킨다. 만일 학습자가 논리 회로도를 구성하는데 있어서 입력을 잘못 연결하였을 경우 하단부분에 위치한“RESET”버튼을 이용하여 논리 회로도를 언제든지 다시 구성할 수 있다.

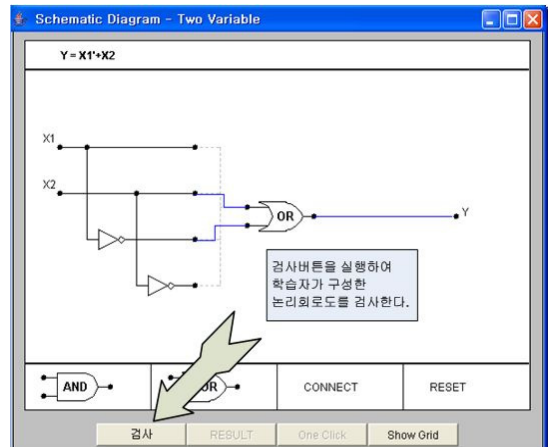


(그림 10) 논리회로 소자의 입출력 결선

(Figure 10) Input/output connection of a logic circuit component

### 2.4.3 결선한 논리회로도 검사 단계

학습자가 간략화 된 논리식을 확인하여 대응되는 논리회로도를 직접 결선하여 실습해 볼 수 있도록 메뉴를 구성하였기 때문에 흥미로운 학습이 가능하다. 학습자는 논리회로도를 완성한 후에 그림 11의 하단부분에 위치한“검사”버튼을 이용하여 학습자가 구성한 논리회로도 결선이나 입력오류 등을 검사할 수 있다.



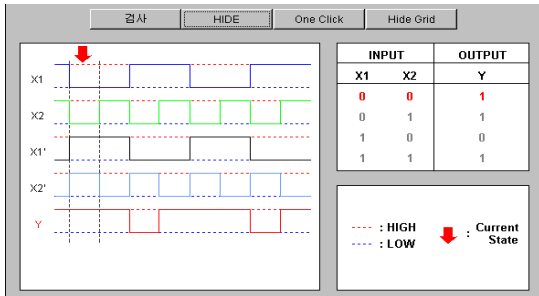
(그림 11) 논리회로도 검사 단계

(Figure 11) Test step of the logic circuit

학습자가 구성한 논리회로도가 올바르게 완성되었을 경우 애플릿은 다이얼로그 창을 이용하여 학습자에게 검사결과를 피드백 한다. 검사 실행 후 학습자가 올바르게 논리회로도를 완성하였을 경우에는“완료되었습니다.”라는 메시지를 확인할 수 있으며, 논리회로도가 바르지 않게 결선된 경우 오류 메시지가 다이얼로그 창에 나타나도록 하였다.

### 2.4.4 논리회로도의 결과 확인 단계

학습자는 디지털 조합회로의 간략화 과정과 논리 회로도의 구성을 단계별로 마치고 나면, 마지막 단계인 출력값 확인 단계를 진행할 수 있다. 그림 12에 도시된 바와 같이 파형 관측부분은“One Click”버튼과“Show Grid”버튼으로 제어할 수 있다.“One Click”버튼을 누르면 한 클릭씩 움직이면서 파형과 그에 따른 진리표 값을 보여준다.“Show Grid”버튼을 누르면 “Hide Grid”버튼으로 바뀌면서 파형의 HIGH 부분과 LOW 부분을 구별함과 동시에 현재 상태를 굵은 화살표로 보여주게 된다.

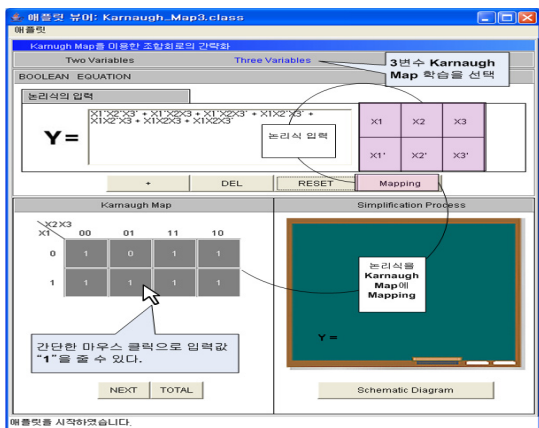


(그림 12) 논리회로도 결과확인 단계

(Figure 12) Output checking step for the logic circuit

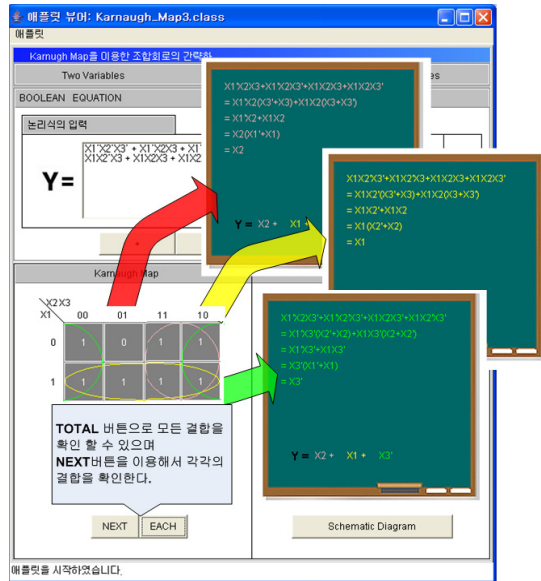
### 3. 구현된 교육용 자바 애플릿의 실행 예와 학습효과 분석

본 논문에서 구현된 자바 애플릿의 유효성을 입증하기 위하여 3변수 디지털 조합회로에 대하여 실제로 실행한 예를 간략하게 기술한다. 3변수 디지털 조합회로의 간략화 과정을 학습하기 위하여 그림 14와 같이 애플릿 상단에 “Three Variables” 버튼을 클릭하여 학습을 시작한다. 그림 13(a)-(b)에서와 같이 변수 입력버튼을 이용하여 논리식을 입력하고 Karnaugh Map에 맵핑시킨 다음, “Next”와 “Total” 버튼을 이용하여 간략화 하는 과정을 학습한다. 그림 13(c) 에서와 같이 회로소자를 선택하여 입력을 인가하고 출력을 연결하여 간략화된 논리식에 대한 논리회로도를 완성한다. 또한 그림 13(d)와 같이 검사버튼을 이용하여 올바른 회로도를 완성하였는지 확인하고, 출력과 형과 진리표를 통해 결과의 타당성을 확인할 수 있다.

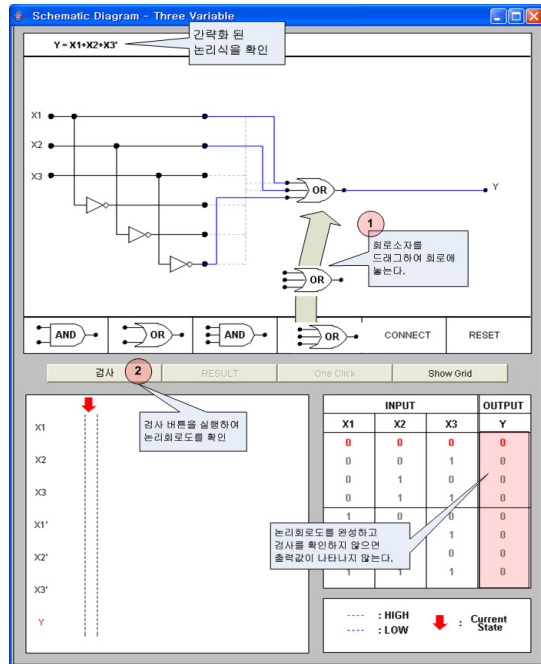


(그림 13(a)) 3변수 논리식의 입력

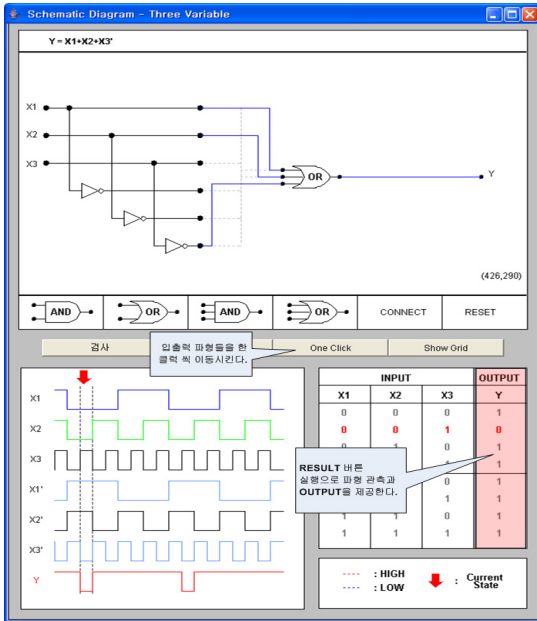
(Figure 13(a)) Creation of 3-variable Boolean function



(그림 13(b)) 3변수 Karnaugh map 간략화  
(Figure 13(b)) Simplification of 3-variable Karnaugh map



(그림 13(c)) 간략화된 3변수 논리회로도 결선  
(Figure 13(c)) Connection of the simplified 3-variable logic circuit



(그림 13(d)) 간략화된 3변수 논리회로의 출력 파형  
(Figure 13(d)) Output waveform of the simplified 3-variable logic circuit

한편, 지금까지 3변수 디지털 조합회로의 간략화 과정과 마찬가지로 방법으로 본 논문에서 제안한 자바 애플릿을 이용하여 16개의 최소항을 가지는 4변수 디지털 조합회로의 간략화 과정도 학습할 수 있으며, 3변수 디지털 조합회로와 동일한 과정에 따라 검사버튼을 이용하여 올바른 회로도를 완성하였는지 확인하고 출력파형과 진리표를 통하여 결과의 타당성을 확인한다.

한편, 본 논문에서 구현된 자바 애플릿의 학습 효과 분석을 위하여 디지털 논리회로를 수강하는 수강생을 대상으로 학업성취도에 관한 조사를 실시하였다. 먼저 수강생을 제안된 자바 애플릿을 활용하지 않는 그룹(G1)과 제안된 자바애플릿을 교육보조자료로 활용하는 그룹(G2)

으로 나누어 학업성취도를 조사하였다. 각 그룹별로 매 4주마다 Karnaugh Map 간략화와 관련된 퀴즈를 15문항씩 3회 테스트하였다.

표 1에서 알 수 있듯이 그룹 G1과 그룹 G2의 퀴즈 평균 정답률이 각각 65.33%와 80.67%로 계산되어 그룹 G1의 학업 성취율이 현저하게 향상되었음을 확인할 수 있었다. 이러한 결과로부터 본 논문에서 구현된 Karnaugh Map 간략화 과정에 대한 자바애플릿의 학습효과가 현저하게 향상되었음을 알 수 있다.

#### 4. 결 론

기존의 웹 기반 디지털 조합회로의 간략화에 대한 교육용 콘텐츠는 인터넷에서 다양한 형태로 찾을 수 있지만 대부분의 자바 애플릿은 단순한 디지털 조합회로의 간략화 결과만을 보여줌으로써 학습과정에 대한 이해가 전제되지 않았기 때문에 학습효율의 측면에서는 좋은 콘텐츠라고 할 수는 없다.

본 논문의 목적은 인터넷을 통하여 학습자에게 자기 주도적인 학습을 유도함에 있어 효율적이고 흥미로운 학습 방법을 제시하는데 있다. 본 논문에서 제시한 자바 애플릿은 기존의 교육용 콘텐츠의 단점을 보완하여 간략화 과정을 학습자에게 보여주고 그것을 이용해서 직접 논리회로도 구성하여 출력파형을 관측함으로써 관련내용에 대한 이해도를 향상시킬 수 있도록 설계되었다. 학습자의 학습과정도 간단한 마우스 클릭이나 간단한 수식을 텍스트 창에 입력하는 것만으로 쉽게 진행할 수 있도록 구현하였기 때문에 흥미로운 학습이 가능하다는 장점을 가진다. 또한 모든 학습 과정이 단계별로 구성되어 진행되기 때문에 학습내용에 대한 이해도가 향상되고 흥미로운 학습이 가능하다. 이러한 새로운 형태의 학습 콘텐츠는 기존의 웹 기반 교육용 콘텐츠가 가지는 문제점들을 충분히 보완할 수 있을 것으로 판단된다. 더욱이 2개의 그룹으로 나누어 학업성취도를 측정해본 결과 제안된 자

(표 1) 그룹간 학업성취도 비교

(Table 1) Between-group comparisons on educational achievement

그룹	정답률	첫번째 퀴즈 평균 정답률	두 번째 퀴즈 평균 정답률	세 번째 퀴즈 평균 정답률	평균정답률
그룹 G1		65%	68%	63%	65.3%
그룹 G2		85%	70%	87%	80.6%

바 애플릿을 교육보조자료로 활용한 그룹에서 현저히 높은 학습성취도를 얻을 수 있었기 때문에 학습효과가 뛰어나다는 결론을 도출할 수 있었다. 결론적으로 본 논문에서 제시한 학습용 콘텐츠는 학습효율이 매우 높고 학습과정에 있어서 흥미를 유발할 수 있는 새로운 형태의 교육용 콘텐츠로써 다른 공학분야의 학습에도 제안된 방법을 확장하여 새로운 형태의 교육용 콘텐츠를 제작하는 것이 가능하리라 기대된다.

## 참 고 문 헌 (Reference)

- [1] Zhang, D. et al, "Instructional Video in E-Learning: Assessing the Impact of Interactive Video on Learning Effectiveness, Information & Management, vol. 43, pp15-27, 2006  
<http://dx.doi.org/10.1016/j.im.2005.01.004>
- [2] M. Khalifa et al., "Web-based Learning: Effect on Learning Process and Outcome," IEEE Transactions on Education, p.350-356, 2002.  
<http://dx.doi.org/10.1109/TE.2002.804395>
- [3] Dongsik Kim et al., "A Web-Based Virtual Laboratory System for Electronic and Digital Circuits Experiments," LNCS 5685, pp77-88, 2009.  
[http://dx.doi.org/10.1007/978-3-642-03697-2\\_8](http://dx.doi.org/10.1007/978-3-642-03697-2_8)
- [4] D. Consonni and C. Seabra, "A Modern Approach to Teaching Basic Experimental Electricity and Electronics," IEEE Transactions on Education, p. 5-15, 2001.  
<http://dx.doi.org/10.1109/13.912704>
- [5] Saade R.G. et al, "Exploring Dimensions to Online Learning", Computers and Human Behavior, Vol 23, pp. 1721-1739, 2008.  
<http://dx.doi.org/10.1016/j.chb.2005.10.002>
- [6] Wallace A., "Promoting Frequent Assessment to Improve Student Learning", Proc. of the Scholarship of Teaching and Learning, pp. 11-13, Georgia Southern Univ., 2009.  
<http://digitalcommons.georgiasouthern.edu/sotlcommons/SoTL/2009/73>
- [7] Shen J. et al., "Group Collaboration and Learning through Online Assessments: Comparison of Collaborative and Participatory Online Exams", Journal of Human-Computer Interaction, pp. 332-340, Springer, Heidelberg, 2007.  
[http://dx.doi.org/10.1007/978-3-540-73111-5\\_38](http://dx.doi.org/10.1007/978-3-540-73111-5_38)
- [8] Chang S. N, et al., "Web-based Learning Environment: A Theory-based Design Process for Development and Evaluation", Journal of Information Technology Education, Vol. 6, pp23-43, 2007.  
<http://www.jite.org/documents/Vol6/JITEv6p023-043Nam145.pdf>
- [9] Tsang E. Y., Learning Content Interactivity: Instructional Design Strategies for the Development of e-Learning Materials, World Scientific Publishing Co. Pre. Ltd., pp. 191-201, Singapore, 2008.
- [10] Huang R. H. et al, "Towards a Design Theory of Blended Learning Curriculum, LNCS, Vol. 5169, pp. 66-78, Springer, 2008.  
[http://dx.doi.org/10.1007/978-3-540-85170-7\\_6](http://dx.doi.org/10.1007/978-3-540-85170-7_6)
- [11] Dolk M. and Den Hertog, "Narratives in Teacher Education", Interactive Learning Environments, Vol. 16, No. 3, pp. 215-229, 2009.  
<http://dx.doi.org/10.1080/10494820802113970>
- [12] Sebastian P. Tomaszewski, Ilgaz U.Celik, George E. Anoniou. WWW-based Boolean Function Minimization. International Applied Mathematics, Computer Science. vol. 13. No. 4. p.577-583. 2003.  
<http://zbc.uz.zgora.pl/Content/2774/14anton.pdf>
- [13] Ledion Bitincka, George E. Antoniou. Pocket-PC Boolean Function Simplification. Journal of Electrical Engineering, Vol. 56. No. 7-8. pp.209-212. 2005.



● 저 자 소개 ●



**김 동 식 (Dong-Sik Kim)**

1986년 고려대학교 공과대학 전기공학과 졸업(공학사)  
1988년 고려대학교 대학원 전기공학과 졸업(공학석사)  
1992년 고려대학교 대학원 전기공학과 졸업(공학박사)  
1997년~1998년 University of Saskatchewan, Visiting Professor  
2004년 LG연암문화재단 해외연구교수  
2005년~2006년 University of Ottawa, Visiting Professor  
2013년~2014년 고려대학교 전력시스템연구소 연구교수  
1992년~현재 순천향대학교 공과대학 전기공학과 교수  
관심분야: 웹기반 가상/원격실험실, 네트워크 시뮬레이터, 비선형/지능제어시스템 설계  
E-mail : dongsik@sch.ac.kr



**정 혜 경 (Hye-Kyung Chung)**

1988년 고려대학교 문과대학 독어독문학과 졸업(학사)  
1991년 고려대학교 대학원 국어국문학과 졸업(석사)  
2001년 고려대학교 대학원 국어국문학과 졸업(박사)  
2013년~2014년 University of California at Berkeley, Visiting Scholar  
2005년~현재 순천향대학교 인문과학대학 국어국문학과 부교수  
관심분야: 스토리텔링, 현대소설, 문학비평  
E-mail : chk@sch.ac.kr