

HEVC 4×4 IDCT/IDST 통합 블록 설계

Design of Unified HEVC 4×4 IDCT/IDST Block

정 슬 기*, 이 성 수**

Seulkee Jung*, Seongsoo Lee**

Abstract

This paper proposes a unified HEVC 4×4 IDCT/IDST architecture for area reduction. In general, 4×4 IDCT and 4×4 IDST blocks are implemented separately, and they are connected with multiplexers. In the proposed architecture, these two blocks are unified, and internal hardware resources such as multipliers are shared. This reduces the chip area. The synthesized block in 0.18 um technology is 2,795 gates, and the gate count is reduced by 9.44% in comparison with conventional designs.

요 약

본 논문은 HEVC 4×4 IDCT/IDST를 위한 통합형 아키텍처를 제안하여 면적을 줄이고자 한다. 4×4 IDCT와 4×4 IDST는 일반적으로 따로따로 만들어서 멀티플렉서로 연결하여 사용하나, 제안하는 아키텍처 구현에서는 두 블록을 합쳐서 곱셈기 등의 하드웨어 자원을 공유하여 면적을 줄였다. 0.18um 공정에서 합성한 결과 게이트 수가 약 2,795 게이트로 기존 아키텍처 대비 9.44% 감소함을 확인하였다.

Key words : HEVC, IDCT, IDST, inverse transform, area reduction

1. 서론

최근 UHD (ultra high definition)와 같은 초고화질,

* School of Electronic Engineering, Soongsil University

★ Corresponding author: sslee@ssu.ac.kr, 02-820-0692

※ Acknowledgment

"This research was supported by Basic Science Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Education(2014R1A1A2059625)."

Manuscript received Jun. 15, 2015; revised Jun. 25, 2015 ; accepted Jun. 26. 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

초고해상도 영상 콘텐츠가 등장하면서 이에 발맞춰 모니터, 스마트 TV, IPTV 등 멀티미디어 기기 제조 업체들은 앞 다퉈서 UHD 제품을 출시하고 있다. 차세대 영상 서비스에 대한 수요에 따라 고화질 영상처리 기술에 대한 중요도가 증가하였고 기존 표준인 H.264/AVC (advanced video coding)보다 더 개선된 압축률을 갖는 차세대 동영상 압축 표준의 필요성이 대두되었다.

HEVC (high efficiency video coding)는 국제 표준화 기구인 ITU-T와 ISO/IEC가 공동으로 설립한 전문가 그룹인 JCT-VC (joint collaborative team on video coding) 에 의해 개발된 것으로 기존 규격인 H.264/AVC보다 영상의 시각적 품질의 손실 없이 압축 효율을 약 2배 이상으로 높여주는 것을 목표로 두고 있는 비디오 압축 기술이다[1]. HEVC는 높은 압축 효율을 보이는 반면 기존 규격에 비해 2-4배 정도 높은 연산량을 요구하기 때문에 하드웨어 구현 시 면적을 최대한 줄이는 것이 중요하다.

HEVC를 구성하는 주요 프로세스는 그림 1에 나타

넨 바와 같이 주파수 변환 (transform), 양자화 (quantization), 인트라 예측 (intra prediction), 움직임 추정 (motion estimation), 움직임 보상 (motion compensation), 디블록킹 필터 (deblocking filter), SAO 필터 (sample adaptive offset filter), CABAC 부호화 (context adaptive binary arithmetic coding) 등이 있다. 이 중에서 주파수 변환은 공간적 중복성을 제거하기 위해 영상 신호의 에너지를 특정 주파수 영역에 집중 시키는 역할을 수행한다. 공간 영역의 신호를 주파수 영역의 신호로 도메인만 변경하여 표현하는 것이므로 정보의 손실 없이 데이터를 표현하는 데 필요한 비트 양을 줄일 수 있다.

HEVC에서는 4×4, 8×8, 16×16, 32×32의 다양한 크기의 주파수 변환을 사용한다. 주파수 변환은 기본적으로 DCT (discrete cosine transform)를 사용하나, 4×4 크기의 화면 내 예측 모드 (intra prediction mode)로 선택된 경우에 대해서는 4×4 DST (discrete sine transform)을 사용한다[2]. 이에 따라 디코더에서는 4×4 주파수 변환에 한하여 IDCT (inverse discrete cosine transform)와 IDST (inverse discrete sine transform)를 전환하여 사용하게 된다.

본 논문에서는 보다 효율적인 4×4 IDCT/IDST를 설계하기 위하여 각 변환기를 따로 구현하여 멀티플렉서로만 연결하는 것이 아니라 통합형 아키텍처를 제안하여 면적을 줄이고자 하였다. 또한 제안하는 아키텍처 구현을 위해서 면적을 많이 차지하는 모든 곱셈기를 덧셈기와 쉬프트만을 사용하여 곱셈기조차 실제로는 와이어 연결만을 사용하여 저면적화를 극대화하였다.

II. HEVC 주파수 변환

1. HEVC 4×4 IDCT

HEVC에서 사용되는 변환은 적은 메모리의 사용과 고속 계산을 위해 변환 기저를 정수 형태로 근사화한 정수 변환을 사용한다. 식 (1)은 4×4 크기의 IDCT에 대해 정수화한 계수 행렬을 보여준다.

$$M_{IDCT} = \begin{bmatrix} 64 & 83 & 64 & 36 \\ 64 & 36 & -64 & -83 \\ 64 & -36 & -64 & 83 \\ 64 & -83 & 64 & -36 \end{bmatrix} \quad (1)$$

IDCT를 수행할 경우, 총 16번의 곱셈과 12번의 덧셈 수행을 통해서 변환이 이루어진다. 하지만 계수

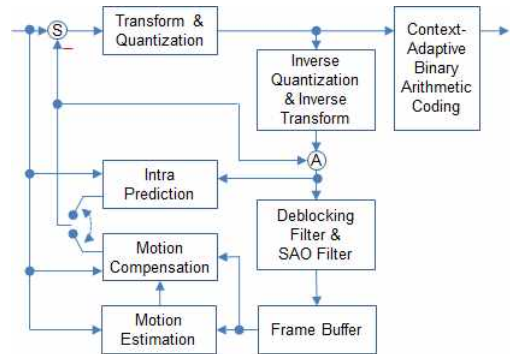


Fig. 1. Block diagram of an HEVC encoder.

그림 1. HEVC 인코더의 블록도.

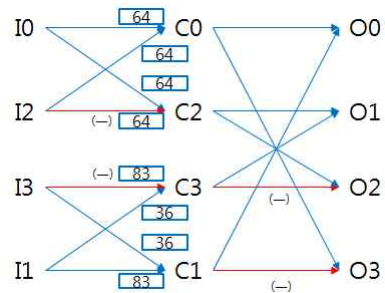


Fig. 2. Conventional HEVC 4×4 IDCT architecture [6].

그림 2. 기존 HEVC 4×4 IDCT 아키텍처 [6].

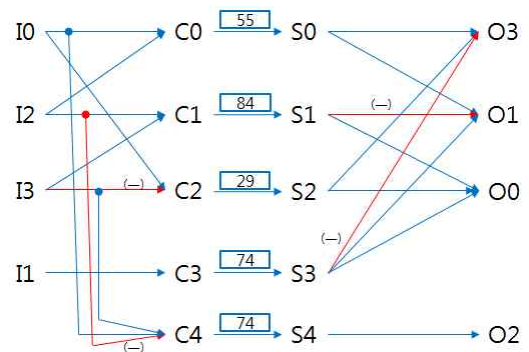


Fig. 3. Conventional HEVC 4×4 IDST architecture [6].

그림 3. 기존 HEVC 4×4 IDST 아키텍처 [6].

행렬의 배열을 살펴보면 부호를 제외하고는 상하 대칭 구조이므로 그림 2와 같이 버터플라이 구조를 사용하면 총 8번의 곱셈과 8번의 덧셈만으로 변환을 수행할 수 있다[3][4].

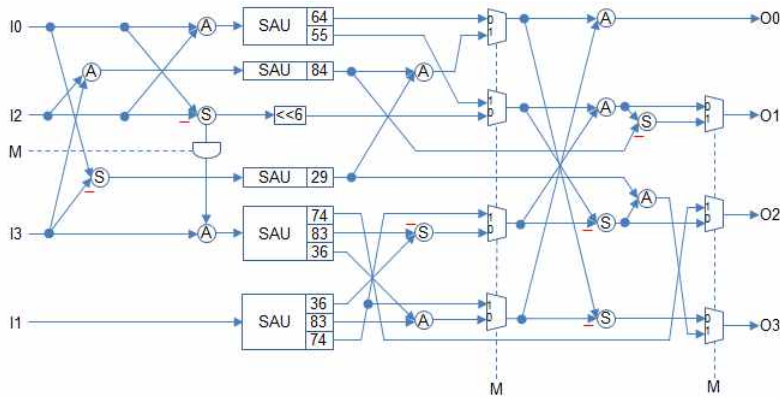


Fig. 4. The proposed unified HEVC 4x4 IDCT/IDST architecture.
 그림 4. 제안하는 HEVC 4x4 IDCT/IDST 통합 아키텍처.

2. HEVC 4x4 IDST

HEVC에서 4x4 크기의 화면 내 예측 블록의 차분 신호에 대해서는 차분 신호의 특성에 따라 보다 효율적인 DST을 사용한다. DST는 DCT와 마찬가지로 정수형 기저를 사용하여 변환한다. 식 (2)는 4x4 IDST에 대한 계수 행렬을 보여준다[5].

$$M_{IDST} = \begin{bmatrix} 29 & 74 & 84 & 55 \\ 55 & 74 & -29 & -84 \\ 74 & 0 & -74 & 74 \\ 84 & -74 & 55 & -29 \end{bmatrix} \quad (2)$$

IDST를 수행할 경우, 총 16번의 곱셈과 12번의 덧셈을 수행한다. IDST의 경우 행렬의 배열이 대칭적인 특징이 없는 대신 식 (3)에 나타난 바와 같이 1번 계수와 2번 계수의 합이 4번 계수 값과 같다는 특징이 있다. 이러한 특징을 이용하면 총 16번의 곱셈과 12번의 덧셈 연산을 그림 3과 같이 5번의 곱셈과 11번의 덧셈 연산으로 표현이 가능하다[6].

$$S_1 = 29, S_2 = 55, S_3 = 74, S_4 = 84 \quad (3)$$

$$S_1 + S_2 = S_4$$

III. 통합 아키텍처 설계

1. 아키텍처 설계

HEVC 4x4 IDCT/IDST 코어는 앞에서 살펴본 그림 2와 그림 3과 같은 아키텍처의 하드웨어를 따로따로 구현하고, 멀티플렉서를 이용하여 선택적으로 값을 취할 수 있도록 설계하는 것이 일반적이다.

본 논문에서는 하드웨어 구현 시 면적을 최대한으로 줄이기 위해, 각 아키텍처의 하드웨어를 개별적으로 구현하는 것이 아니라 통합형 아키텍처를 그림 4와 같이 제안한다.

이에 따라, 제안하는 아키텍처는 4x4 IDCT와 4x4 IDST에 따로따로 존재하는 곱셈기 회로를 일부 공유할 수가 있다. 또한, 곱셈 결과를 더하는 4x4 IDCT의 버터플라이 덧셈기도 4x4 IDST에서 일부 공유할 수 있다. 이에 따라 전체 면적을 감소시킬 수 있다는 것이 제안하는 아키텍처의 장점이다.

HEVC 코어 역변환기는 기본적으로 사용되는 계수가 고정되어 있으므로 각 계수를 분석하여 면적을 많이 차지하는 곱셈기 대신 덧셈기와 쉬프트만으로 구현이 가능하다[7][8]. 제안하는 통합형 HEVC 4x4 IDCT/IDST 아키텍처는 각각의 계수의 곱셈 및 덧셈 연산과정을 표 1과 같이 분석하여 곱셈기와 덧셈기를 공유할 수 있는 부분을 최대한 이용하고자 하였다.

내부적으로 멀티플렉서를 연결하여 선택선 M의 값에 따라 M이 0일 때는 4x4 IDCT의 연산 결과를, M

Table 1. Adders and shifters for 4x4 IDCT/IDST.
 표 1. 4x4 IDCT/IDST를 위한 덧셈기 및 쉬프트.

| Trans-form | Coeff-icient | Add and shift operations |
|------------|--------------|--|
| IDCT | 36 | $((I \ll 3) + (I \ll 0)) \ll 2$ |
| | 64 | $I \ll 6$ |
| | 83 | $(I \ll 6) + (I \ll 0)$ $+ (((I \ll 3) + (I \ll 0)) \ll 1)$ |
| IDST | 29 | $(I \ll 5) - (I \ll 1) - (I \ll 0)$ |
| | 55 | $(I \ll 6) - (I \ll 3) - (I \ll 0)$ |
| | 74 | $(I \ll 6) + (I \ll 0) + ((I \ll 3) + (I \ll 0))$ |
| | 84 | $(I \ll 6) + (I \ll 4) + (I \ll 2)$ |

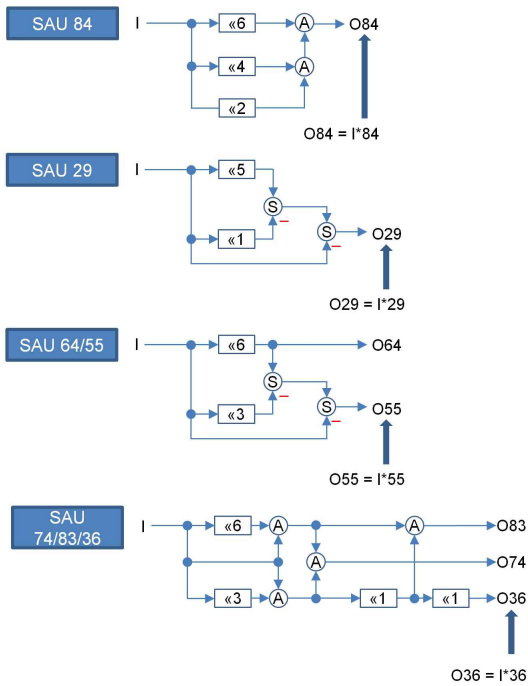


Fig. 5. The proposed SAU architecture.
그림 5. 제안하는 SAU 구조.

이 1일 때는 4x4 IDST의 연산 결과를 얻을 수 있도록 하였다.

2. 연산처리기 설계

그림 5는 제안하는 아키텍처에서 사용하는 SAU (shift-add unit)의 구조를 나타낸 것이다. 각 SAU는 덧셈기와 쉬프트로 구성되어 있으며 입력 값을 받아

계수 값과의 곱을 출력 값으로 내보내준다.

SAU의 내부적으로 덧셈기와 쉬프트를 공유하기 위해서 표 1의 분석에 따라 입력이 동일한 계수 별로 84, 29, 64/55, 74/83/34의 4개 타입으로 나누어 설계하였다.

IDCT의 경우, 연산이 이루어지는 과정인 그림 2를 살펴보면 처음에 입력으로 들어오는 값을 IDCT 계수와 곱셈 연산을 먼저 수행한 후 버터플라이 구조에 따라 두 수의 값을 덧셈 연산을 하여 중간 값인 C_x 에 저장하고 또 버터플라이 구조에 따라 덧셈(혹은 뺄셈)을 수행하여 출력으로 보낸다. 반면 IDST는 그림 3을 보면 입력으로 들어오는 두 데이터를 먼저 덧셈 연산을 수행을 한 뒤 계수와 곱셈을 하고 다시 덧셈 연산을 한다. IDCT의 계수 중 64의 연산은 IDST처럼 먼저 덧셈 후 곱셈하는 연산 과정으로 변경이 가능하기 때문에 최대한 하드웨어를 공유하는 설계를 하기 위해 덧셈을 앞단으로 빼고 IDST의 계수 55와 묶어서 SAU를 설계하였다.

IV. 설계 결과

제안하는 아키텍처의 동작을 검증하기 위해 IDEC의 설계 도구 지원으로 Verilog HDL을 이용하여 RTL을 완성하였고 그림 6과 같은 시뮬레이션 결과를 얻었다. 각 입력 값에 따라 결과 값이 정상적으로 출력되는 것을 볼 수 있다.

본 논문에서 제안하는 아키텍처의 성능을 확인하기 위해 기존 아키텍처[6]와 제안하는 아키텍처 모두를 0.18um 공정에서 Design Compiler로 합성하였다. 표 2는 그 결과이며, 제안하는 아키텍처가 기존의 아키텍처 대비 게이트 수 측면에서 9.44%를 절감할 수 있음을 확인하였다.

제안하는 아키텍처의 동작 속도는 0.18um 공정에서

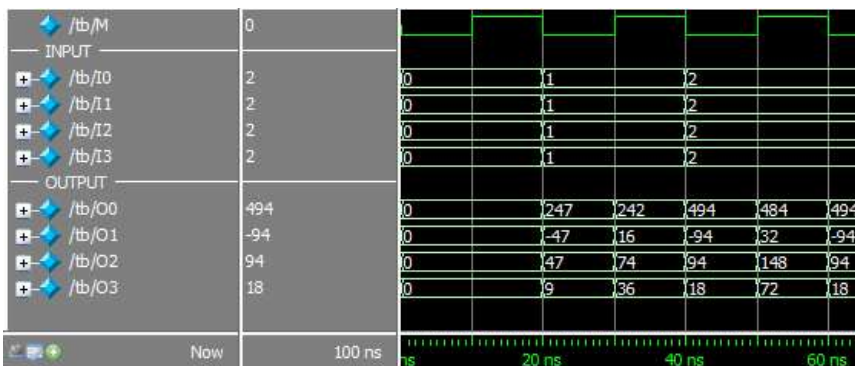


Fig. 6. Functional verification by simulation.
그림 6. 시뮬레이션을 통한 동작 검증.

1.2GHz에서도 동작할 정도로 매우 빠르며, 실제로 구현될 때 다른 블록의 하드웨어가 이 속도를 따라올 수 없기 때문에 이 이상의 합성은 수행하지 않았다. 8K급 영상 (7680×2520, 60Hz)에서 필요한 처리 속도가 560MHz이기 때문에 제안하는 아키텍처는 충분히 8K급 영상을 처리할 수 있다.

Table 2 Synthesis results in 0.18um technology.

표 2. 0.18um 공정에서의 합성 결과.

| Result | Conventional Architecture[6] | Proposed Architecture | Gain |
|------------|------------------------------|-----------------------|-------|
| Gate Count | 3,086 | 2,795 | 9.44% |

V. 결론

본 논문에서는 HEVC의 주요 프로세스 중 4×4 IDCT/IDST 아키텍처를 통합형으로 설계하고 이를 합성하고 검증하여 동작을 확인하였다. 0.18um 공정에서 합성한 결과 제안하는 아키텍처의 게이트 수는 2,795 게이트였으며, 동일한 공정의 기존 아키텍처에 비하여 게이트 수가 9.44% 절감됨을 확인하였다.

References

- [1] J. Sole, R. Joshi, N. Nguyen, T. Ji, M. Karczewicz, G. Clare, F. Henry, and A. Duenas, "Transform Coefficient Coding in HEVC", IEEE Transactions on Circuits and Systems for Video Technology, vol. 22, no. 12, pp. 1765-1777, Dec. 2012.
- [2] G. Sullivan, J. Ohm, and W. Han, "Overview of the high efficiency video coding (HEVC) standard", IEEE Transactions on Circuits and Systems for Video Technology, vol. 22, no. 12, pp. 1649-1668, Dec. 2012.
- [3] W. Chen, C. Smith, and S. Fralick, "A fast computational algorithm for the discrete cosine transform", IEEE Transactions on Communications, vol. 25, no. 9, pp. 1004-1009, Sep. 1977.
- [4] M. Budagavi and V. Sze, "Unified Forward+ Inverse Transform Architecture for HEVC", Proceedings of IEEE International Conference on ICIP, pp. 209-212, Oct. 2012.
- [5] D. Shim and H. Cho, "Understanding of HEVC Standard Technology", Hongrung Publishing Co., 2014.

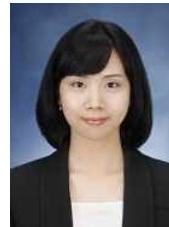
[6] A. Saxena and F. Fernandes, "DCT/DST-Based Transform Coding for Intra Prediction in Image/Video Coding", IEEE Transactions on Image Processing, vol. 22, no. 10, pp. 3974-3981, Oct. 2013.

[7] S. Han, W. Nam, and S. Lee, "Design of Low-Area HEVC Core Transform Architecture", Journal of IKEEE. vol. 17, no. 2, pp. 119-128. Jun. 2013.

[8] J. Lee and S. Lee, "8×8 HEVC Inverse Core Transform Architecture Using Multiplier Reuse", Journal of IKEEE. vol. 17, no. 4, pp. 570-578. Dec. 2013.

BIOGRAPHY

Seulkee Jung (Student Member)



2011 : BS degree in Electronic Engineering, Soongsil University.
2014~Now : MS candidate in Electronic Engineering, Soongsil University
<Main Interest> HEVC, Multimedia SoC Design

Seongsoo Lee (Life Member)



1991 : BS degree in Electronic Engineering, Seoul National University.
1993 : MS degree in Electronic Engineering, Seoul National University.
1998 : PhD degree in Electrical Engineering, Seoul National University.
1998~2000 : Research Associate, University of Tokyo
2000~2002 : Research Professor, Ewha Womans University
2002~Now : Associate Professor in School of Electronic Engineering, Soongsil University
<Main Interest> HEVC, Low-Power SoC Design, Multimedia SoC Design, Battery Management