

## 수학적 형태학 기반의 필터를 이용한 저압직류 배전계통의 고저항 지락고장 검출에 관한 연구

(A Study on Detection of High Impedance Fault in Low Voltage DC Distribution System  
using Filter based on Mathematical Morphology)

오윤식\* · 노철호 · 김두용 · 권기현 · 한 준 · 김철환\*\*

(Yun-Sik Oh · Chul-Ho Noh · Doo-Ung Kim · Gi-Hyeon Gwon · Joon Han · Chul-Hwan Kim)

### Abstract

As a solution of improving the energy efficiency in power system, Low Voltage DC (LVDC) distribution systems different from conventional ones have been constantly researched. As in conventional AC distribution system, LVDC distribution system can suffer from High Impedance Fault (HIF) which may cause a failure of protective relay due to relatively low change in magnitude of fault current. In order to solve the problem, a scheme for detecting HIFs is presented in this paper. Closing Opening Difference Operation (CODO) based on Mathematical Morphology (MM), one of the MM-based filters, is utilized to make fault signals discriminable. To verify performance of the scheme, a simple LVDC distribution system is modeled by using ElectroMagnetic Transient Program (EMTP) software. Computer simulations according to various conditions are performed and comparison studies with a scheme using Wavelet Transform (WT) in an aspect of simulation time are also conducted.

Key Words : EMTP, High Impedance Fault, LVDC Distribution System, Mathematical Morphology

### 1. 서 론

에너지 효율성 개선 및 손실 저감을 위한 하나의 대안책으로 고객이 사용하는 말단 부하에 DC 전력을 직

접적으로 공급해 줄 수 있는 DC 전력 기반의 배전계통이 큰 관심을 받고 있다[1]. DC 전력을 소비하는 디지털 부하의 증가와 DC 출력 기반의 신재생에너지원의 수요가 점차 증가함에 따라 관련 연구들이 더욱 탄력받고 있으며, 최근 급격하게 발달한 전력변환기술로 인해 상용화 연구들도 진행 중에 있다[2]. 하지만 차단기 동작 시 아크 소호 문제, 보호 계전기 및 보호 협조 시스템 구축 문제 등 보호 측면에서의 과제들이 여전히 남아있는 상태이다.

기존의 AC 배전계통에서와 마찬가지로 DC 배전계통 역시 고저항 지락고장으로 인한 문제를 겪을 수 있

\* Main author : Ph.D course, College of Engineering, Sungkyunkwan University  
\*\* Corresponding author : Professor, College of Information and Communication Engineering, Sungkyunkwan University  
Tel : 031-290-7124, Fax : 031-299-4137  
E-mail : hmwkim@hanmail.net  
Received : 2015. 8. 24  
Accepted : 2015. 10. 15

다. 높은 임피던스 성분으로 인한 작은 고장전류는 보호 계전기의 부동작을 야기할 수 있으며, 이는 고장의 지속으로 인한 화재로 이어질 수 있다[3-4]. 작은 고장전류로 인해 기존의 과전류 계전기는 이러한 고저항 지락고장 검출에 한계점을 가진다. 따라서 DC 배전계통에서 발생하는 고장전류를 효과적으로 검출할 수 있는 기법이 요구된다.

본 논문에서는 저압직류 배전계통에서 발생하는 고저항 지락고장을 효과적으로 검출하기 위해 시간 영역 신호처리 기법인 수학적 형태학을 이용한 고장 검출 방법을 제시하였다. 수학적 형태학 기반의 필터가 고장전류의 발생을 판단하기 위한 요소로 사용되었으며, 제시된 방법의 효율성을 검증하기 위해 고장 검출 시뮬레이션뿐만 아니라 최근 고장 검출 알고리즘에 많이 사용되는 웨이블릿 변환을 이용한 방식과의 성능 비교 분석을 수행하였다.

## 2. 고저항 지락고장

기존 AC 배전계통에서와 마찬가지로, 새로운 DC 배전계통에서도 고저항 지락고장은 매우 큰 고장 임피던스로 인해 고장전류의 크기가 정상전류의 크기에 비해 큰 차이가 없기 때문에 기존의 과전류 요소를 이용한 보호 방식으로는 검출이 어렵다. 고저항 지락고장의 주요 특징은 큰 전류값을 나타내지는 않지만 소호와 재점호를 반복하는 아크 현상을 동반한다는 것이다[5]. 이러한 아크 현상은 불규칙적인 특성을 가지며, 본 논문에서는 고저항 지락고장 시 발생하는 아크 현상을 이용한 고장 검출 방법을 제시한다.

본 논문에서는 모의 계통과 동일하게 저압 레벨의 전압을 갖는 DC trolley 계통을 대상으로 개발된 아크 모델[6]을 사용하였다. 아크전류는 식 (1)과 같이 도출되며, 이는 실험실에서 수행된 관측 결과에 근거하여 산출되었다. 식 (1)은 아크의 반복 특성을 반영하기 위해  $(2n\pi + \pi/3 < \omega t < 2n\pi + 2\pi/3)$  범위에서만 적용된다. 아크 모델은 ElectroMagnetic Transient Program (EMTP) 내에서 제공되는 기술 언어인 MODELS를 이용하여 구현되었으며, 아크 모델링 결과는 그림 1과 같다[7]. 그림 1에서 확인할 수 있듯이 아크전류는 소

호와 재점호를 반복하며 지속되고 정상상태에서 흐르는 전류에 비해 작은 값을 가지기 때문에 상대적으로 검출이 어렵다.

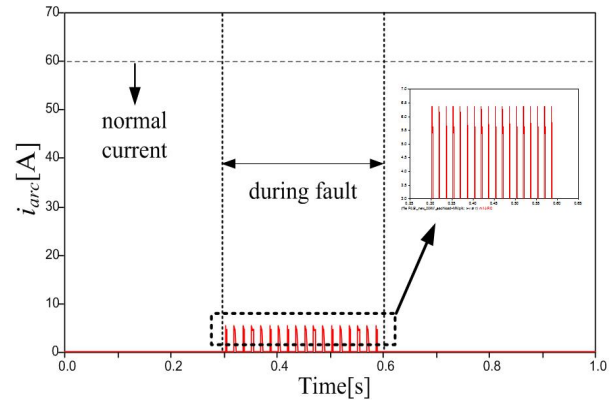


Fig. 1. Result of arc modeling using EMTP/MODELS

$$i_{j+1} = i_j - \frac{Ri_j + \frac{k}{i_j^{1.2}} + 35 - V_{DC} \times \sin \omega t}{R - \frac{1.2k}{i_j^{2.2}}} \quad (1)$$

여기서  $i$  : 아크전류(A)

$R$  : 등가저항( $\Omega$ )

$k$  : 아크상수

$V_{DC}$  : 공칭전압(V)

## 3. 수학적 형태학 기반의 신호처리

### 3.1 수학적 형태학 및 기본 연산

수학적 형태학은 신호의 형태를 변환하는 비선형적인 시간 영역 신호처리 수단이다. Matheron과 Serra에 의해 최초로 개발된 이후 최근에 들어 신호의 비정상적인 특징을 추출하기 위해 전력계통 분야에서 사용되고 있다[8]. 수학적 형태학은 덧셈, 뺄셈 등 매우 간단한 연산만을 사용함으로써 계산 및 신호처리 시간을 단축시킬 수 있다는 장점을 가진다. 또한, 전체 신호의 정보가 필요하지 않기 때문에 매우 작은 크기의 샘플링 윈도우만을 필요로 한다[8].

수학적 형태학은 두 가지 기본 연산들인 용기(Dilation)와 침식(Erosion)으로 구성되며 이는 식 (2)와 (3)에 각각 나타나 있다.

$$y_d(n) = (f \oplus g)(n) = \max\{f(n-m) + g(m)\}, \quad (2)$$

$$0 \leq (n-m) \leq n, m \geq 0$$

$$y_e(n) = (f \ominus g)(n) = \min\{f(n+m) - g(m)\}, \quad (3)$$

$$0 \leq (n+m) \leq n, m \geq 0$$

여기서  $f$ 는 변환될 신호이며  $g$ 는 구성 요소(Structuring Element, SE)로 SE는 모든 수학적 형태학 변환들의 기본이 되며 특성 추출을 위한 프로브로 사용된다[9].

용기 및 침식 연산의 조합에 기초하여 식 (4)와 (5)에 정의된 개방(Opening) 및 폐쇄(Closing) 연산을 구성할 수 있다. 일반적으로 개방 연산은 구성 요소에 적합하지 않은 부분들을 제거하는 역할을 하는 반면 폐쇄 연산은 구성 요소에 적합하지 않은 부분들을 구성 요소의 형태 정보를 이용하여 채우는 역할을 한다.

$$y_o(n) = (f \circ g)(n) = ((f \ominus g) \oplus g)(n) \quad (4)$$

$$y_c(n) = (f \bullet g)(n) = ((f \oplus g) \ominus g)(n) \quad (5)$$

### 3.2 수학적 형태학 기반 필터

형태학적 필터들은 3.1절에서 논의된 4가지 연산들의 조합에 의해 구성될 수 있다. 아래에 표기된 것과 같이, 다양한 필터들이 신호의 잡음을 추출하거나 외란을 감지하기 위해 사용될 수 있다.

- OCM : Opening Closing Medium
- DED : Dilation Erosion Difference
- CODO : Closing Opening Difference Operation

OCM은 개방 및 폐쇄 연산을 거친 신호들의 합의 절반을 출력하며, DED는 용기 및 침식 연산의 차를 의미한다. 또한, CODO는 개방 및 폐쇄 연산의 차를 출력하여 신호의 비정상적인 부분을 두드러지게 한다. 본 논

문에서는 전력계통의 외란 감지를 위해 널리 사용되는 CODO를 이용하여 고저항 지락고장을 검출하였다.

## 4. 수학적 형태학 기반의 필터를 이용한 고저항 지락고장 검출 방법

앞선 절에서 언급된 것과 같이 고저항 지락고장은 소호와 재점호를 반복하는 아크 현상을 동반한다. 따라서 CODO를 통한 신호 변환을 통해 이러한 반복현상을 검출하여 신속히 차단기에 트립 신호를 전달함으로써 아크 고장으로 인한 피해를 줄일 수 있다.

기존의 교류 배전계통에서는 고저항 지락고장 시 발생하는 아크전류의 3차 고조파 성분을 검출 요소로 이용하는 방식을 주로 채택하고 있다. 하지만 이 방식은 일정한 주파수를 갖는 교류 신호에 더 적합하며, 주파수 영역으로의 변환에 많은 계산시간이 소요된다. 반면, 본 논문에서 사용한 수학적 형태학 기반 필터를 이용한 방식은 직류의 특징(크기 정보만을 가짐)을 잘 반영할 수 있으며, 빠른 계산을 통해 신속한 고장 차단이 가능하다.

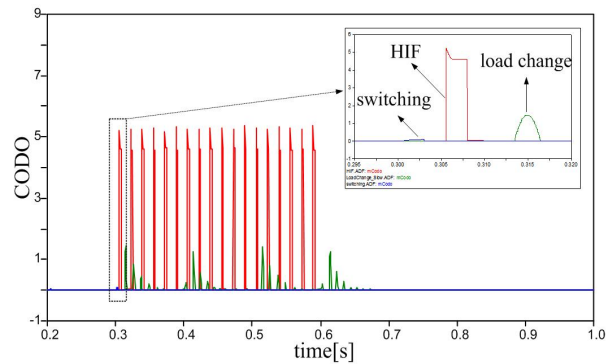


Fig. 2. CODO output according to various events

그림 2는 고장 및 부하 변동 등 다양한 이벤트에 대한 전형적인 CODO 출력을 나타낸다. 수학적 형태학에 기반한 필터인 CODO는 일정한 데이터 윈도우 내에서 연산을 수행하기 때문에 신호의 느린 변화보다 빠른 변화에 더 큰 값을 출력한다. 따라서 비교적 변화시간이 긴 부하 변동 시보다 spike 형태의 고저항 지락고장 아크 발생 시 더 큰 출력을 나타낸다. 이러

한 필터 특징을 이용하여 CODO 출력의 이전 샘플과의 비교를 통해 일정값 이상의 차이를 고저항 지락고장 검출 요소로 지정함으로써 빠른 보호 동작이 가능하다. 그림 3은 고저항 지락고장 시 CODO 출력과 이전 출력의 차이(dif<sub>CODO</sub>)를 나타내며 (+)값의 뾰족한 출력은 아크 재점화 시점을 의미하는 반면 (-)값의 뾰족한 출력은 아크의 일시적인 소호 시점을 의미한다.

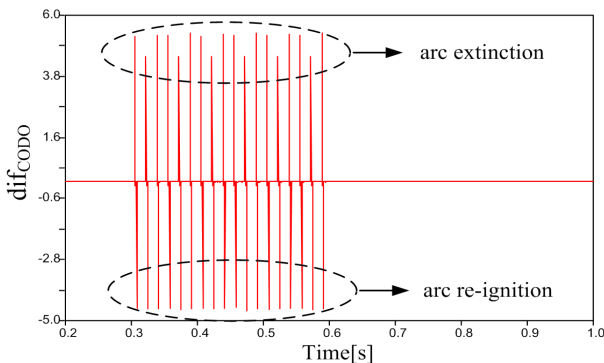


Fig. 3. Difference of CODO output in case of HIF

그림 4는 CODO를 이용한 고저항 지락고장 검출 알고리즘을 나타낸다. 그림 4에 나타난 방식은 고장 검출을 위해 전류 신호를 사용하며 샘플링을 통해 취득된 전류의 CODO 계산을 수행한다. 계산된 CODO 출력을 이용하여 이전 샘플과의 차이(dif<sub>CODO</sub>)가 일정값( $\alpha$ )을 초과하면 고저항 지락고장 발생의 정확한 검출을 위해 리셋시간( $t_{reset}$ ) 및 초과 횟수(count)를 확인한다. 만일 리셋시간( $\gamma$ )에 다다르지 않는 동시에 미리 설정된 횟수( $\beta$ )를 초과하는 경우가 발생한다면, 이는 고저항 지락고장의 발생을 의미하므로 관련 차단기 트립 신호를 전송하여 안전하게 계통을 분리시킨다. 하지만 리셋시간에 이르기 전에  $\alpha$ 를 초과하는 경우가 일정 횟수보다 작다면, 이는 아크의 완전한 자연 소화에 대한 가능성을 내포하고 있으므로  $t_{reset}$ 과 count를 초기화시켜 추후  $\alpha$ 값 이상으로 발생하는 CODO 출력 차이를 위해 대기한다. 결론적으로, 그림 4의 알고리즘은 높은 CODO 출력 차이의 발생 유무뿐만 아니라 발생 횟수 및 리셋 개념을 통해 추가적인 확인 과정을 도입함으로써 더욱 신뢰성 있는 고장 검출 성능을 보장한다.

3절에서 논의된 수학적 형태학 기반의 필터는 그림 5, 6과 같이 SE의 형태(크기 및 윈도우 길이)에 따라 출력값이 변할 수 있다. 따라서 적절한 SE의 선정이 요구되며 이는 [10]을 통해 달성될 수 있다. 본 논문에서는 [10]에 제공된 가이드라인에 근거하여 SE의 크기와 길이를 각각 0.1, 30으로 선정하였다.

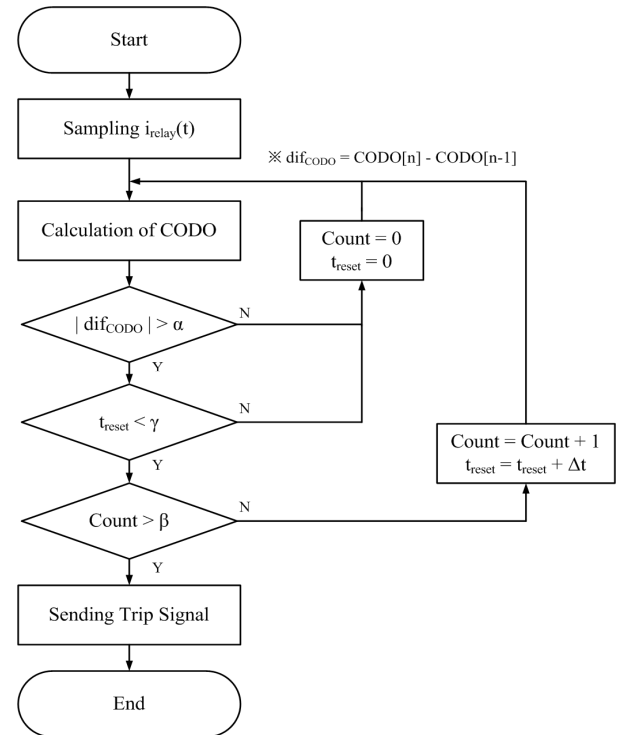


Fig. 4. Algorithm of HIF detection

## 5. 시뮬레이션

### 5.1 시뮬레이션 계통 및 조건

본 논문에서 제안한 검출 알고리즘 검증을 위해 EMTP를 이용하여 그림 7과 같은 시뮬레이션 계통을 모델링하였다[7]. 모델링된 LVDC 배전계통은 양극성으로 전력을 공급한다. 수용가 측의 DC전력 공급을 위해 AC/DC 및 DC/DC컨버터를 사용하며, DC 380V로 각 부하들에 전력을 공급한다. 배전선로의 길이는 5km이며, 40kW부하 4개에 전력을 공급한다. 본 논문에서 제안된 알고리즘의 입력은 AC/DC 컨버터 출력

단에 흐르는 전류이며, 동일한 위치에 설치된 보호 계전기가 고장 검출 시 출력단에 설치된 회로 차단기에 트립을 명령한다. 계전기의 샘플링 주파수는 10kHz이며, 이는 교류 60Hz를 기준으로 할 때 166samples/cycle에 해당한다. 이는 수백 samples/cycle 이상을 보장하는 고성능 디지털 계전기를 통해 구현이 가능할 뿐만 아니라 샘플링 주파수를 약 10배 더 낮추더라도 대부분의 고조파 성분이 포함된 10차 이하의 고조파 성분 분석이 가능하다[7].

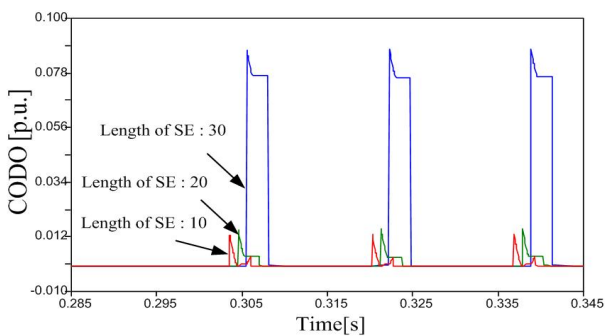


Fig. 5. CODO output according to length of SE

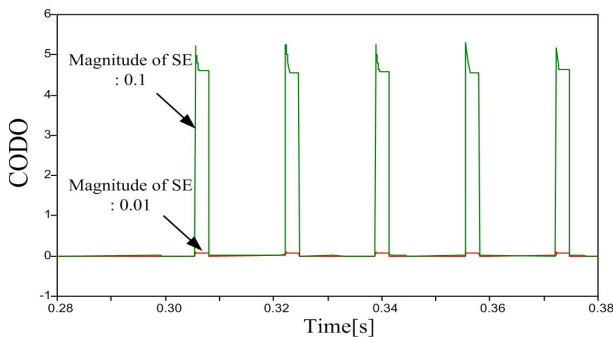


Fig. 6. CODO output according to magnitude of SE

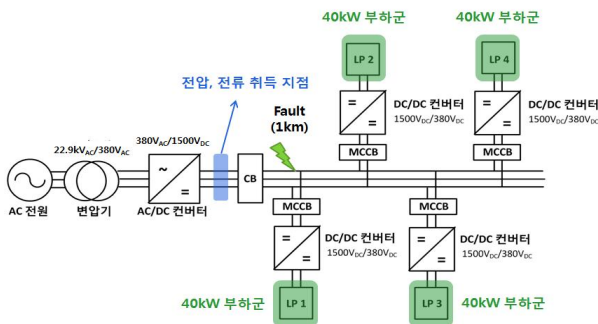


Fig. 7. Simulation system

제안된 알고리즘의 성능 검증을 위해 다양한 모의 조건을 고려하였다. 고저항 지락고장에 대한 검출뿐만 아니라 정상상태 이벤트에서의 오동작을 막기 위해 부하 변동 및 선로 스위칭과 같은 조건들이 고려되었다.

본 논문에서는 참고문헌 [6]에 제시된 아크상수 ( $k = 11000$ )를 기준으로 20% 오차범위에 대한 아크 전류 변동 범위를 고려하여 알고리즘 내에서 사용되는 정정값을 선정하였으며 선정된 정정값은 다음과 같다.

- $\alpha : 4$
- $\beta : 5$
- $\gamma : 0.1s$

## 5.2 시뮬레이션 결과

그림 8은 고저항 지락고장 발생에 따른 계전기의 다양한 신호 변화를 나타낸다. 앞서 언급된 것과 같이, 고저항 지락고장이 발생하면 반복적인 아크의 소호 및 재점호가 야기되며 이는 CODO 출력의 매우 빠른 변화의 원인이 된다. 따라서 아크의 소호 및 재점호 시 CODO 출력의 차이는 높은 값으로 출력이 되는 것을 알 수 있다. 그림 8에서 확인할 수 있듯이, 한계값  $\alpha$ 를 초과하는 출력에 대응하여 count 신호는 증가하며 리셋 시간 내에서  $\gamma$ 를 초과하여 트립 신호를 생성한다. 반면 그림 9에서 나타난 것과 같이 부하 변동 및 스위칭 이벤트에 대해서는  $\alpha$ 를 초과하는 CODO 출력 차이가 발생하지 않기 때문에 계전기는 동작하지 않으며 정상적인 계통 운영을 지속한다. 만일  $\alpha$ 를 초과하는 이벤트가 있더라도 짧은 시간 내에 연속적으로 발생할 가능성은 거의 없기 때문에 알고리즘 내의 count와 리셋 기능을 통해 효과적으로 대응할 수 있다.

본 논문에서는 수학적 형태학 기반의 필터를 이용한 계전 알고리즘의 우수성을 확인하기 위해 최근 계전 알고리즘에 많이 사용되고 있는 웨이블릿 변환[7]과 소요되는 시뮬레이션 시간 측면의 비교 분석을 수행하였다. 신호처리 기법 이외의 모든 조건들을 동일하게 설정하였으며, 그림 10 및 11에

표시된 총 시뮬레이션 시간을 비교 요소로 사용하였다.

웨이블렛 변환을 이용한 방식[7] 적용 시, 고려된 조건내에서 고저항 지락고장을 정확하게 검출함을 확인할 수 있다. 본 논문에서 제안한 방식 또한 동일한 고장에 대해 고장을 정확하게 검출할 수 있음을 그림 8을 통해 확인할 수 있으며, 이는 본 논문에서 제안된 방식이 [7]에서 제안된 방식과 동일한 정확성을 가짐을 의미한다. 하지만 그림 10과 11을 통해 확인할 수 있듯이, 수학적 형태학 기반의 필터를 사용할 경우 웨이블렛 변환을 사용했을 때보다 총 시뮬레이션 시간이 약 2배 빨라짐을 알 수 있다. 이는 수학적 형태학 기반의 필터가 매우 단순한 연산만으로도 동일한 성능을 가질 수 있음을 의미하며, 계전기에 사용되는 Digital Signal Processor의 사양을 낮춤으로써 경제적인 측면에서도 장점을 가짐을 나타내는 결과이다.

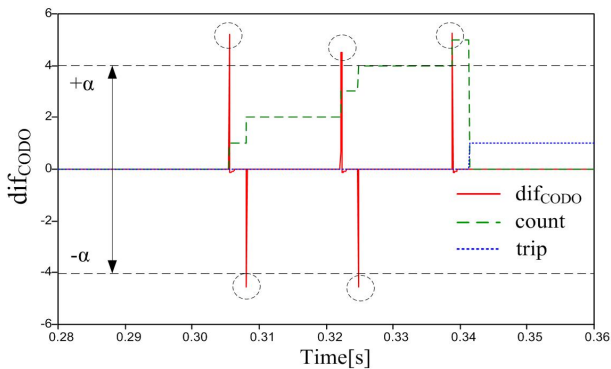


Fig. 8. Changes of signals in case of HIF

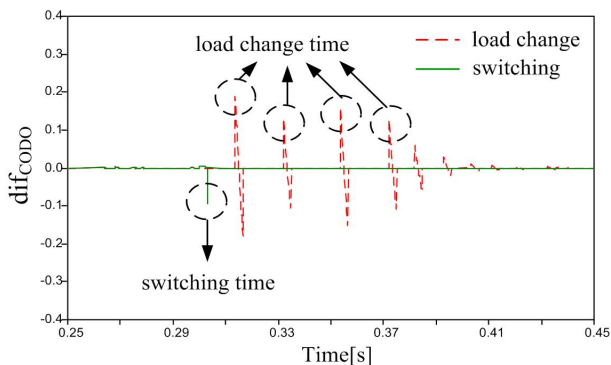


Fig. 9. Changes of signals in case of load change switching

```

3173 210000 <LRTACS> Second and last, statistics for INTEGER
39473 0 <LITACS>
Size List 29. RAM disk used by "TAPSAU" table saving (limit is "
-9999 1100 <LSIZ29>
Size List 30. Taku Noda frequency-dependent circuits.
0 19 <LSIZ30>
Timing figures characterizing central processor <CP> solution speed.
CP sec Wait sec Real sec
Data input time (through blank card ending branches) ....
0.047 0.000 0.047
Node renumbering and phasor solution ....
0.000 0.000 0.000
After phasor solution, but before time-step loop ....
0.000 0.000 0.000
Integration of equations (time-step loop) ....
86.768 0.000 86.768
Plotting or STATISTICS termination overlays ....
0.000 0.000 0.000
-----
86.815 0.000 86.815 -> Total simulation time[s]
    
```

Fig. 10. Total simulation time - MM based filter

```

3348 210000 <LRTACS> Second and last, statistics for INTEGER
42378 0 <LITACS>
Size List 29. RAM disk used by "TAPSAU" table saving (limit is "
-9999 1100 <LSIZ29>
Size List 30. Taku Noda frequency-dependent circuits.
0 19 <LSIZ30>
Timing figures characterizing central processor <CP> solution speed.
CP sec Wait sec Real sec
Data input time (through blank card ending branches) ....
0.016 0.000 0.016
Node renumbering and phasor solution ....
0.016 0.000 0.016
After phasor solution, but before time-step loop ....
0.016 0.000 0.016
Integration of equations (time-step loop) ....
168.263 0.000 168.263
Plotting or STATISTICS termination overlays ....
0.000 0.000 0.000
-----
168.309 0.000 168.309 -> Total simulation time[s]
    
```

Fig. 11. Total simulation time - applying wavelet transform

## 6. 결론

본 논문에서는 수학적 형태학 기반의 필터를 이용함으로써 기존의 과전류 요소로 검출이 어려운 고저항 지락고장을 효과적으로 검출할 수 있는 알고리즘을 제안하였다. DC trolley 계통을 대상으로 개발된 아크 모델을 적용하여 제안된 고장 검출 알고리즘의 성능을 평가하였으며, EMTP를 이용한 다양한 시뮬레이션 결과들이 제시되었다. 시뮬레이션 결과를 통해 알 수 있듯이 제안된 알고리즘이 단순한 연산만을 사용함에도 불구하고 고저항 지락고장 검출을 위해 효과적으로 사용될 수 있음을 확인할 수 있다. 또한 웨이블렛 변환과의 시뮬레이션 소요 시간 측면의 비교 분석을 통해 제안된 알고리즘의 우수성을 증명하였다.

본 논문에서 제안한 알고리즘을 LVDC 배전계통에 적용함으로써 고저항 지락고장으로 인한 화재 등의

피해로부터 안전한 계통 운영이 가능할 것으로 예상되며, 수학적 형태학의 또 다른 적용 또한 기대된다.

**감사의 글**

본 연구는 2013년도 산업통상자원부의 재원으로 한국 에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제(No. 20131010501750)입니다.

**References**

- [1] D. Salomonsson and A. Sannino, "Low-voltage dc distribution system for commercial power systems with sensitive electronic loads," IEEE Transaction on Power Delivery, vol. 22, no.3, pp. 1620-1627, Jul. 2007.
- [2] D. Nilsson and A. Sannino, "Efficiency analysis of low- and medium-voltage dc distribution systems," IEEE PES General Meeting, 2004.
- [3] Detection of High Impedance Faults, Power Technologies Inc., EPRI Report EL-2413, Jun. 1982.
- [4] C. H. Kim et al., "A Novel Fault-Detection Technique of High-Impedance Arcing Faults in Transmission Lines using the Wavelet Transform", IEEE Transactions on Power Delivery, vol. 17, no. 4, pp. 921-929, Oct., 2002.
- [5] Hyun Kim, Chul-Hwan Kim, "High Impedance Fault Detection using Wavelet Transform", vol. 48A, no. 12, pp. 1492-1497, Dec., 1999.
- [6] New Insight into the Detection of High-Impedance Arcing Faults on DC Trolley Systems, IEEE Transactions on Industry Applications, vol 35, no. 5, September, 1999.
- [7] Y. S. Oh et al., "Development of an Algorithm for Detecting High Impedance Fault in Low Voltage DC Distribution System using Accumulated Energy of Fault Current", Journal of the Korean Institute of Illuminating and Electrical Installation Engineers, vol. 29, no. 5, pp.71-79, May, 2015.
- [8] Wu, Q. H. et al., "Protective Relaying of Power Systems Using Mathematical Morphology", Springer, 2009.
- [9] Suresh Gautam et al., "Detection of High Impedance Fault in Power Distribution Systems using Mathematical Morphology", IEEE Transactions on Power Systems, vol. 28, no. 2, pp. 1226-1234, May, 2013.
- [10] Suresh Gautam, et al., "Guidelines for Selection of an Optimal Structuring Element for Mathematical Morphology based Tools to Detect Power System Disturbances," in Proc. IEEE Power & Energy Society General Meeting, 2012, July, pp.1-6.

◇ 저자소개 ◇



**오윤식 (吳潤植)**

1987년 7월 10일생. 2011년 성균관대 정보통신공학부 졸업. 2013년 동 대학원 정보통신대학 졸업(석사). 2013년~현재 동 대학원 정보통신대학 박사과정.



**노철호 (盧哲鎬)**

1987년 12월 19일생. 2013년 성균관대 정보통신공학부 졸업. 2013년~현재 동 대학원 정보통신대학 석박통합과정.



**김두용 (金杜雄)**

1986년 9월 8일생. 2012년 성균관대 정보통신공학부 졸업. 2012년~현재 동 대학원 정보통신대학 석·박사통합과정.



**권기현 (權起賢)**

1985년 9월 3일생. 2012년 성균관대 정보통신공학부 졸업. 2014년 동 대학원 정보통신대학 졸업(석사). 2014년~현재 동 대학원 정보통신대학 박사과정.



**한 준 (韓 準)**

1986년 2월 7일생. 2011년 순천향대 정보통신공학부 졸업. 2013년 성균관대 정보통신대학 졸업(석사). 2013년~현재 동 대학원 정보통신대학 박사과정.



**김철환 (金喆煥)**

1961년 1월 10일생. 1982년 성균관대 전기공학과 졸업. 1990년 동 대학원 전기공학과 졸업(박사). 현재 성균관대 정보통신대학 교수. 전력IT인력양성센터 센터장.