

논문 2015-52-5-8

다양한 PCB의 전원 분배 망에서의 PLL의 전자기 내성 검증

(Evaluation of EM Susceptibility of an PLL on Power Domain Networks of Various Printed Circuit Boards)

황 원 준*, 위 재 경**

(Won-Jun Hwang and Jae-Kyung Wee[Ⓢ])

요 약

전자장치의 복잡도 증가와 전원 전압 감소 추세에 따라, 내부 또는 외부에서 발생하는 노이즈에 대한 칩 또는 모듈의 전자기 내성 평가는 필수적이다. 칩 레벨 EMS 표준 시험방법으로 IEC 62132-4의 Direct Power Injection(DPI) 방법이 있지만, 실제 칩 내성은 모듈 상 보드 PDN 구조에 영향 받는다. 이 논문에서는 PLL의 내성을 평가하고 보드의 PDN 구조에 따른 잡음 전달 특성을 비교하였다. 여러 PDN을 만들기 위해 다양한 값의 커패시터들과 LDO 사용 유무 조건이 적용되었다. IC의 전자기 요구사항과 IC 및 보드로 구성된 모듈의 전자기 요구사항 간 불일치를 평가하기 위해, PDN들에 따른 노이즈 전달 특성을 분석하는 것은 강건한 EM 특성을 갖도록 설계하는데 중요한 정보를 줄 수 있음을 보였다. DPI 측정 결과는 LDO 사용에 따라 PLL 저주파 영역의 내성이 크게 개선되었음을 보여주며, DPI에 따른 PLL의 주파수 변화를 TEM cell 스펙트럼 측정으로도 확인 할 수 있었다.

Abstract

As the complexity of an electronic device and the reduction of its operating voltage is progressing, susceptibility test of the chip and module for internal or external noises is essential. Although the immunity compliance of the chip was served with IEC 62132-4 Direct Power Injection method as an industry standard, in fact, EM immunity of the chip is influenced by their Power Domain Network (PDN). This paper evaluates the EM noise tolerance of a PLL and compares their noise transfer characteristics to the PLL on various PCB boards. To make differences of the PDNs of PCBs, various PCBs with or without LDO and with several types of capacitors are tested. For evaluation of discrepancies between EM characteristics of an IC only and the IC on real boards, the analysis of the noise transfer characteristics according to the PDNs shows that it gives important information for the design having robust EM characteristics. DPI measurement results show that greatly improved immunity of the PLL in the low-frequency region according to using the LDO and a frequency change of the PLL according to the DPI could also check with TEM cell measurement spectrum.

Keywords : PDN, DPI, PLL, EMI, EMS

* 학생회원, ** 정회원, 숭실대학교
(Department of Electronic Engineering, Soongsil University)

Ⓢ Corresponding Author(E-mail: wjk@ssu.ac.kr)

※ This research was supported by a grant "High efficient heat rejection and supply technologies for zero emission vehicle (10035530)" from the Korea Evaluation Institute of Industrial Technology.

Received ; October 30, 2014 Revised ; March 8, 2015

Accepted ; April 25, 2015

I. 서 론

근래 자동차 전자 장치의 동작 속도가 점점 빨라지고 집적도가 증가함에 따라 IC의 전자기 적합성(EMC)에 관한 요구가 더욱 엄격해지고 있다. 특히 에너지 효율을 높이기 위해 코어 로직 회로의 내부 전원 전압은 지속적으로 낮아지고 있다. 그러나 저전압 동작 IC는 상대적으로 적은 노이즈 마진을 가지고 있어 PCB 내부

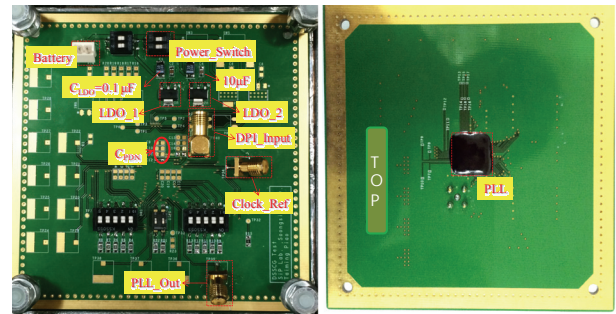
또는 외부에서 발생하는 전자기 교란에 의한 동작 전원 전압 변동에 매우 민감하다^[1]. 일반적으로 안정된 저 전압에서의 IC 동작 보장을 위해서는, PMIC와 수동소자를 포함하는 정전압 발생 모듈의 역할이 매우 중요하다. 그러나 전장 부품에서 전원 모듈 부품의 부품 특성 외에 PCB의 부품 배치나 구조에 따라 전장 모듈의 전자기 특성 변화가 매우 커서, IC 자체의 전자기 요구 사항만으로 전자기 적합성을 보장하기 매우 어렵다. 특히 전장 모듈의 잡음 특성 분석을 위해 전원 소스로부터의 파워 전달특성을 분석하는 것은 IC의 전자기 요구 사양과 실제 보드상에서의 전자기 요구 사양들 간에 불일치를 이해하는데 중요하다^[2].

이 논문에서는 EMS에 특히 민감한 PLL을 사용하여 정전압 모듈 상에서 부품 배치에 따른 동작 특성과 전자기 특성을 분석하였다. 이를 위해 여러 용량의 커패시터와 LDO를 장착한 보드를 설계하여 단일 모듈로 제작하였으며, PCB 상의 PDN 에 따른 PLL 출력 변화를 평가하였다. 평가방법으로는 IEC 61967-2 TEM CELL 및 IEC 62132-4 Direct Power Injection 시험과 오동작 시의 TEM CELL 시험을 병행하였다^[3-6].

본 논문의 구성은, II장의 적용 PLL과 보드 및 시험 환경에서 연구에 사용된 PLL에 대한 소개와 내성 시험 방법에 대해 설명하였다. III장의 측정 명명 및 시험 조건에서는 다양한 조건의 PDN에 대한 설명과 측정 진행 과정에 대해 설명하였다. 마지막으로 IV장에서 시뮬레이션 및 측정결과를 비교 분석하였다. 특히 다양한 PCB의 PDN 조건에서 오동작 시뮬레이션 결과와 측정 결과를 비교하고, 이때의 방사 스펙트럼을 TEM CELL 을 통해 측정하였다.

II. 적용 PLL과 보드 및 시험 환경

일반적으로 DPI 시험에서는 RF 신호 발생기에서 생성된 교란이 동축 케이블 및 PCB 상의 마이크로 스트립 라인과 같은 50Ω 송신 라인을 따라 DUT로 전파된다. 그러나 실제 PCB는 파워 레일에 임피던스 매칭 된 마이크로 스트립 선로를 사용하지 않으며, 평판과 같은 파워 레일을 사용한다. 따라서 DPI 표준 방법에 사용되는 PCB와 실제 적용되는 PCB 각각에서 IC의 전자기 특성은 상이하다. 그림 1은 전자기 방사 및 내성 시험에 사용된 PLL 및 제작된 시험용 보드를 보여준다.



(a) Bottom layer (b) Top layer

그림 1. 전자기 내성 테스트에 사용된 PLL 테스트 보드
Fig 1. A PLL test board for the tests of EM susceptibilities.

표 1. 다양한 PDN과 CW and AM 방식의 DPI 측정
Table 1. Various PDNs and DPI measurements of AW and AM injections.

LDO	Capacitors	DPI 종류 유무		패턴 이름
		CW	AM	
Without LDO	$C_{PDN}=0F,$ $C_{LDO}=0F$	O	O	F
	$C_{PDN}=0F,$ $C_{LDO}=0.1\mu F$	O	O	D
With LDO	$C_{PDN}=0F,$ $C_{LDO}=0.1\mu F$	O	O	A
	$C_{PDN}=47pF,$ $C_{LDO}=0.1\mu F$	O	O	B
	$C_{PDN}=47\mu F,$ $C_{LDO}=0.1\mu F$	O	O	C

PLL의 전원 배선 측면에서 제작된 모듈에 대해 LDO를 사용한 전원 공급 경우, 바이어스 터를 통한 외부 전원 직접 공급 경우의 두 가지 전원구성으로 내성 시험을 수행하였다. 또한 각 경우마다 PLL의 VDD 또는 LDO 출력에 다양한 커패시터들을 삽입하여, 다양한 PDN을 구성하였다. 표 1은 LDO 유무와 커패시터 크기 및 종류 유무에 따라 적용된 측정 조건을 보여주며, 표의 CW와 AM은 그림 2에 표시된 DPI 인가 방법을 설명한다. 그림 1의 제작된 PLL 보드는 4층 구조로 설계되었으며, PLL 앞단의 CPDN과 LDO 부하쪽의 CLDO 두 가지 커패시터 값에 따라 다양한 PDN을 구성하였다. 또한 제작된 PLL의 Non SSCG 동작 상태에서 내성 시험을 진행하였다^[5].

PCB 회로 정보, 주입 전력 및 반사전력 측정, 1-포트 S파라미터 측정 등 외부 측정에 기초하여 PDN에 따른 IC의 내성 특성을 분석하였다. 그림 2는 PLL 회로도 및 레이아웃 그림과 내성 시험에서 사용되는 continuous

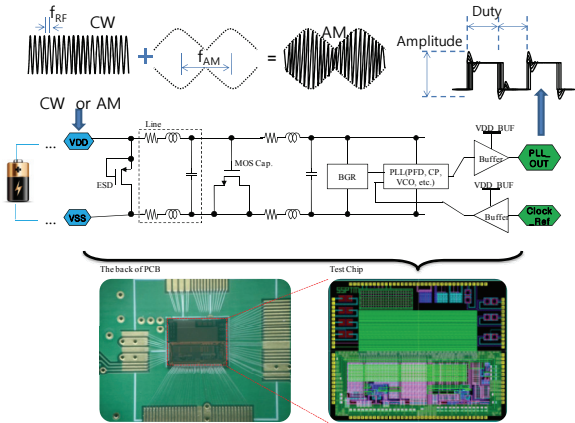


그림 2. PLL의 회로도, 레이아웃과 간단한 테스트 조건
Fig 2. A circuit, a layout, and a brief testing condition.

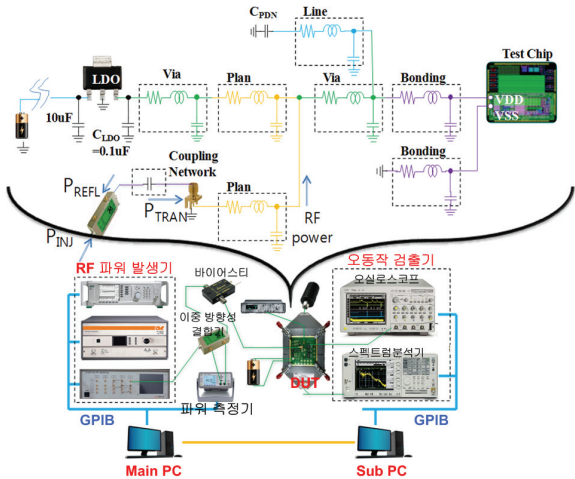


그림 3. PLL 보드의 노이즈 전달 모델과 장비 구성
Fig 3. Noise path model of the PLL board and a measurement setup.

wave (CW)와 amplitude modulation (AM) 두 가지 종류의 노이즈 인가 파워를 보여준다.

전체 측정 환경 구성도는 그림 3과 같으며, 측정 방법에 대한 자세한 내용은 3장에서 다룬다. 측정 시스템은 크게 RF 파워 발생부, RF 파워 전달부, 노이즈 레벨 및 오동작 검출부, 그리고 측정 대상인 DUT로 구성된다. 이에 따라 내성 시험을 위한 측정 환경을 크게 4가지 파트로 구성하였다.

① RF 파워 발생 : RF 신호 발생기, RF 앰프, RF 스위치로 구성되며 주 컨트롤 PC 상에서 주파수 및 파워를 조절한다.

② 노이즈 전달 경로 및 전달 파워 감지 : 발생한 노이즈는 케이블과 Dual directional Coupler(DDC), 바이

어스티를 거쳐 PCB 상의 커넥터에 연결된다. 이때 DDC와 전력 측정기를 사용해 전달된 파워와 반사된 파워를 감지한다.

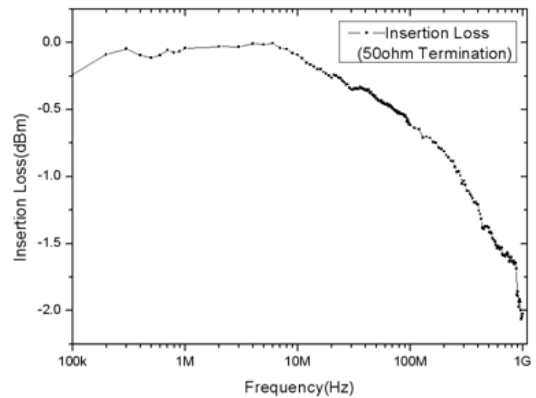
③ DUT : 그림 1,2와 같이 구성되며 그림 3에서와 같이 TEM CELL에 장착된다.

④ 오동작 감지 및 TEM CELL 측정 : 보조 PC와 오동작 감지용 오실로스코프를 사용해 오동작을 감지한다.

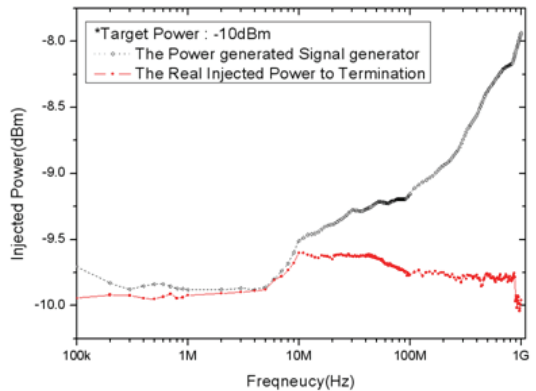
III. 측정 환경 분석

A. 주입 경로 보정

본 장비 시스템에서는 전력 측정기 전단까지의 노이즈 주입 경로를 고려해 RF 파워 공급기에서 발생하는 전력과 DUT로 전달되는 실제 인가 전력간의 차이를 보정한다. 그림 4(a)는 주파수가 증가함에 따라 삽입 손실이 커짐을 보여준다. 그림 4(b)는 손실만큼 더 큰 파



(a) 삽입 손실



(b) 잡음 주입 경로 손실 보정 결과

그림 4. 잡음 주입 경로 손실 보정
Fig 4. Calibration of the loss of a noise injection path.

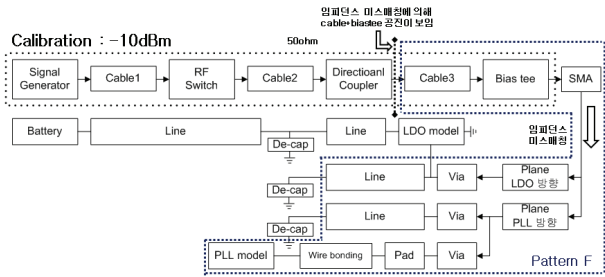


그림 5. 측정 시스템 블록 모델
Fig 5. Block model of the test system.

위를 주입하는 방식으로 보드 입력 단에 의도한 파워를 인가하는 보정 방법 적용 결과이다. 전 주파수 대역에서 0.5dB 이내의 차이로 -10dBm의 일정한 파워를 50Ω Termination에 공급할 수 있으며, DUT로 자동 보정된 파워를 공급할 수 있다.

그림 5는 제작된 PLL 보드의 DPI 내성 실험을 위한 모듈 및 측정 환경에 대한 블록 모델을 보여주고 있다. 정확한 측정 및 분석을 위해 DUT 내부 PDN 구조와 SMA 커넥터 및 외부 장비, 측정 케이블, 바이어스 티 등 모든 노이즈 전달 경로를 모델링하였다.

B. 노이즈 주입 경로 측정결과

SMA 커넥터 이후의 DUT 입력 임피던스는 50Ω이 아니기 때문에 미스매칭에 의한 반사가 발생한다. 따라서 그림 5의 케이블3 및 바이어스 티에 의한 공진이 발생하며, 이 결합 공진을 반영해 시뮬레이션 하였다.

그림 6은 칩 VDD 핀의 전원 공급 여부에(power on 혹은 power off) 따른 칩의 자체 임피던스 차이로 인한

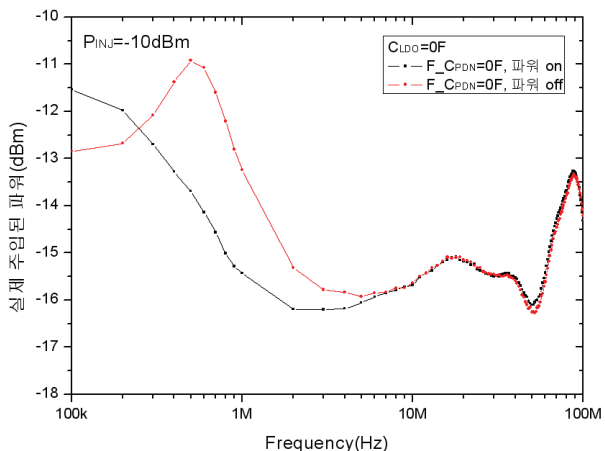


그림 6. 커패시터가 없을 때의 PDN 잡음 전달 특성
Fig 6. Noise transfer characteristic of the PDN without capacitors.

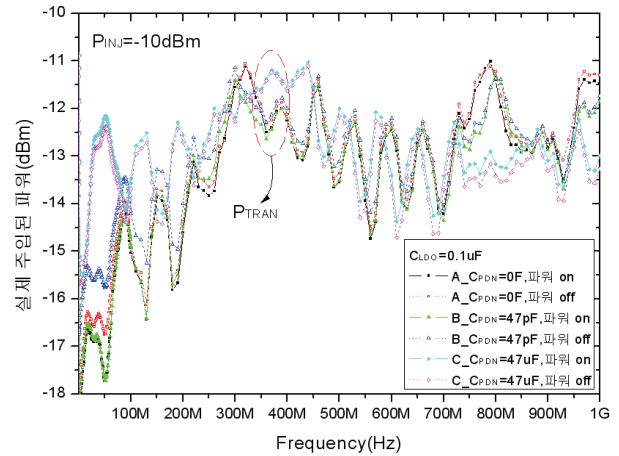


그림 7. 다양한 커패시터에 따른 잡음 전달 특성
Fig 7. Noise transfer characteristics according to various capacitors.

노이즈 전달 특성의 변화를 보여준다. 파워 on은 VDD에 3.3V, 파워 off는 0V를 인가하였다. 칩에 파워가 인가된 경우 저주파에서 자체 임피던스가 감소하여 DPI 파워가 잘 전달됨을 알 수 있다.

그림 7은 칩 전원 공급 여부와 장착된 커패시터 값에 따른 PDN 변화가 DPI 잡음 전달 특성에 미치는 영향을 보여준다. 그림을 보면 CPDN이 47μF로 큰 경우에는 저주파영역에서 칩 전원 공급 여부에 의한 영향이 없으며, 700MHz~900MHz 고주파 대역에서는 영향을 받음을 알 수 있다. 반면 CPDN이 작거나 그림 6과 같이 없는 경우, 저주파 대역이 큰 영향을 받고 있다. 이는 칩 전원 인가 시 발생하는 능동 소자의 기생 커패시터가 수십 pF~수nF정도가 되기 때문이다. 능동소자의 기생 커패시턴스는 CPDN 값이 클수록 상대적으로 고주파 임피던스에 영향을 주게 되며, 마찬가지로 CPDN 값이 작으면 저주파 임피던스 변화를 발생시킨다^[9].

C. DPI 내성 시험 절차 및 방법

그림 8은 DPI 내성 시험의 측정 절차에 대한 플로어도표를 보여준다. 주 컨트롤 PC에서 DPI 내성 시험 전반을 계획하며, 보조 PC에서는 PLL의 동작을 모니터링 하고 오동작 시 TEM CELL 측정 및 기록을 병행한 후 주 컨트롤 PC에 오동작 결과를 전달한다. 주 컨트롤 PC 상에 작성된 주파수, 파워 리스트에 따라 측정을 진행하며, 오동작 시에는 TEM CELL 측정 이후 다음 주파수 스텝부터 계속 측정한다. 측정 스텝마다 그림 9와 같이 주입 파워, 오실로스코프 측정결과, 오동작 판명

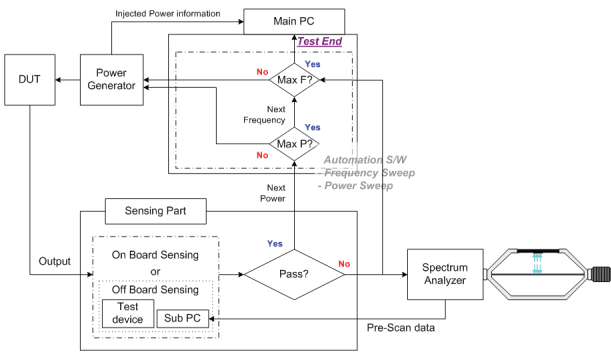


그림 8. DPI 내성 시험 절차
Fig 8. Test procedure of the DPI susceptibility.

#	A	B	C	D	E	F	G	H	I
1	주파수	최대 파워	주입 파워	상계 돌이간 파워(보드)	PreShoot	OverShoot	Period	Vp-p	Pass/Fail
2	1.00E+05	-11.5	-10.969391	-13.2891692	1.00E+01	2.06E+01	1.05E-08	2.76E+00	PASS
3	1.00E+05	-11	-10.463655	-12.761153	1.52E+01	2.09E+01	1.05E-08	2.78E+00	Fail
4	2.00E+05	-3.5	-3.209852	-5.4841203	1.05E+01	2.12E+01	1.06E-08	2.83E+00	Fail
5	3.00E+05	-3.5	-3.3256409	-6.0060384	1.13E+01	1.56E+01	1.04E-08	2.90E+00	PASS
6	3.00E+05	-3	-2.8225952	-5.49226193	1.39E+01	1.64E+01	1.04E-08	2.78E+00	PASS
7	3.00E+05	-2.5	-2.3291579	-4.99667425	1.05E+01	1.75E+01	1.05E-08	2.83E+00	PASS
8	3.00E+05	-2	-1.8294306	-4.48047726	1.30E+01	2.33E+01	1.05E-08	2.83E+00	PASS
9	3.00E+05	-1.5	-1.3285282	-3.97208454	1.23E+01	1.98E+01	1.05E-08	2.78E+00	Fail
10	4.00E+05	-3.5	-3.3916786	-6.28024622	1.00E+01	1.67E+01	1.04E-08	2.82E+00	PASS

그림 9. DPI 측정 결과 데이터 양식
Fig 9. Data format of DPI measured results.

결과 정보를 포함하는 데이터가 자동으로 주 컨트롤 PC에 저장되며, TEM CELL 결과는 보조 PC에 저장된다. DPI 방법은 국제 표준에서 제안한 것처럼, 두 단계 방식으로 구성된다. 첫 단계로 큰 간격(coarse step)을 가지고 파워를 인가하고 한계 설정 값 이전에 오류가 발생하면 그 바로 오류 발생 값의 전 단계 값으로 돌아간다. 그리고 작은 간격(fine step)으로 다시 인가파워를 증가시키면서, 오동작을 유발하는 정확한 파워 값을 추출하는 두 번째 단계를 수행한다. 본 실험에서는 구현된 측정 환경에서 최대 0.1Hz~1GHz 범위 내에서 40dBm 까지 DPI 시험이 가능하며, 오실로스코프로 측정된 PLL 주기가 5% 이상 흔들리면 오동작으로 판정하였다.

IV. 시뮬레이션 및 측정 결과

A. PLL 시뮬레이션

측정 환경을 고려하여 표 1의 패턴 F를 이용한 기본 시뮬레이션 모델을 구성하였다^[7~9]. 그림 10은 모델의 S11 시뮬레이션 결과(Fsimul), VNA를 사용한 1-포트 S11 측정결과(Fvna), 그리고 실제 주입된 파워로 환산한 S11 결과(FPTRANC) 값들의 비교를 보여준다. 측정에 앞서 진행된 시뮬레이션이 측정결과와 거의 유사한 주파수 응답을 보임을 확인할 수 있다. 그리고 검증

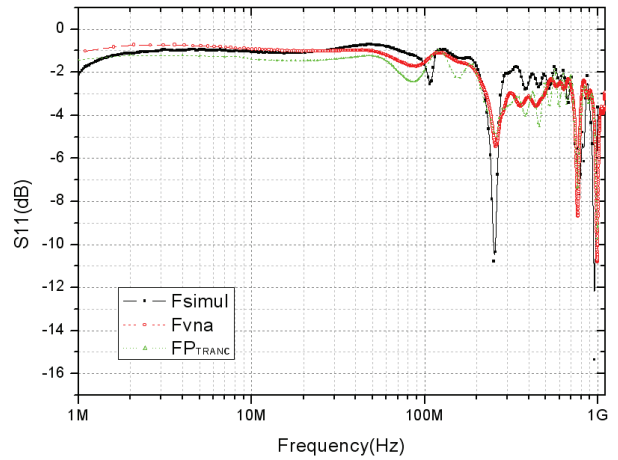
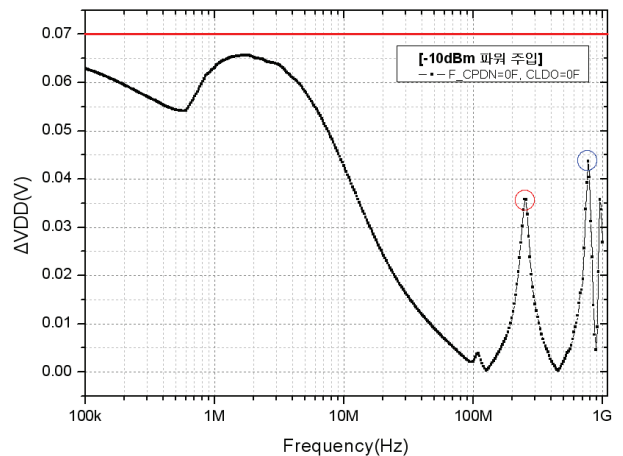
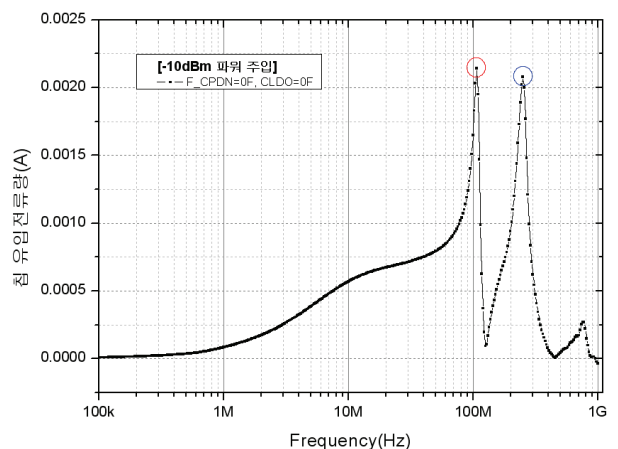


그림 10. 시뮬레이션과 VNA 측정, DPI 측정 비교
Fig 10. Comparison with S11's of simulation, VNA measurement, and DPI measurement.



(a) 칩 VDD 전압 변동



(b) 잡음 주입 시, 칩 유입 전류량

그림 11. 인가 잡음이 칩에 미치는 영향 시뮬레이션
Fig 11. Simulation of Applied on-chip noise impacts.

된 모델을 사용해 SMA 커넥터로 공급된 일정 크기의 잡음이 초래하는 칩 VDD 전압 레벨차이(ΔVDD) 및 칩으로의 유입전류량 시뮬레이션을 하였다.

주파수 대역에 대해 일정한 파워를 공급할 때, 주파수에 따른 칩 VDD로 인가되는 전압 및 유입전류량을 F패턴 모델을 이용해 시뮬레이션 하였다. 그림 11(a)는 노이즈 전달로 인해 칩 VDD 핀에 인가된 전압, 그림 11(b)는 유입전류 시뮬레이션 결과를 보여주고 있다. 그림 11(a)의 칩 VDD 전압 시뮬레이션 결과를 보면 280MHz와 730MHz에서 전압 피크가 발생한다. 또한 그림 11(b)를 보면 동일하게 전류 피크가 발생했으므로 280MHz와 730MHz 대역의 노이즈가 칩에 직접적인 영향을 미침을 알 수 있다. 100MHz 대역에서는 VDD 상

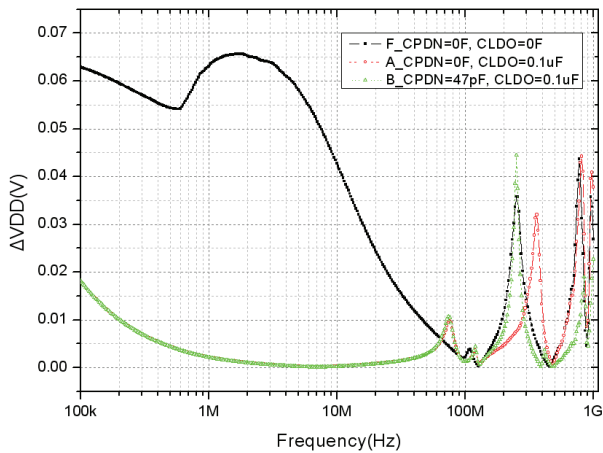
에 높은 전류 피크가 발생했으므로, 오동작 테스트 시 공진이 보일 것으로 예상된다. 100MHz 이하 대역에서는 VDD 전압이 점차 감소하므로, 주파수가 증가함에 따라 더 높은 파워에서 오동작이 발생할 것을 예상할 수 있다⁹⁾.

그림 12는 패턴 F, A, B의 시뮬레이션 결과를 비교한 그림이다. 주파수 응답 특성 경향을 보면 패턴 A, B가 100MHz 이하에서 칩에 전달되는 파워가 패턴 F에 비해 현저히 낮다. 따라서 오동작이 발생하는데 필요한 파워가 더 높음을 예상할 수 있으며, 시뮬레이션 상에서 최대 5.42dB 차이가 났다. 고주파 노이즈 차폐를 위해 패턴 B와 같이 PLL VDD 핀 쪽에 47pF 커패시터를 장착해 보았다. 그림 12(b)를 보면 280MHz 대역에서 전압, 전류 피크가 더 높게 발생했으며 해당 PDN 구조에서 47pF 커패시터가 280MHz 노이즈 차폐에 오히려 좋지 않으며, 반면 730MHz 대역의 노이즈 내성을 향상시킬 것임을 예측해 볼 수 있다.

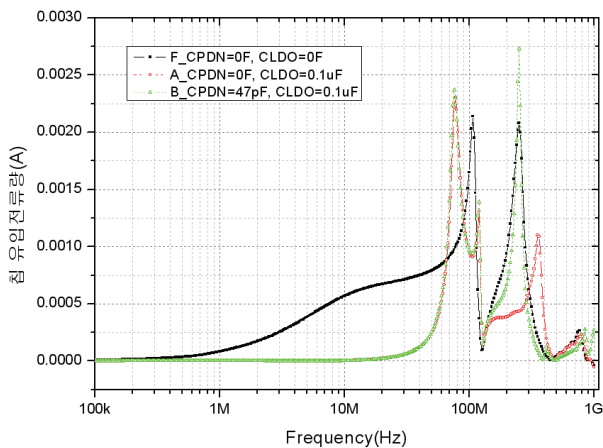
B. DPI 내성 테스트 결과 및 시뮬레이션과의 비교

그림 13은 CW 방식의 노이즈 소스를 사용한 DPI 내성 시험 결과이다. 대체적으로 저주파 대역에서는 주파수가 증가함에 따라 더 높은 파워 레벨에서 오동작이 발생하였으며, 패턴 A, B의 경우 F 보다 약 10dB 정도 내성이 높았다. 280MHz 근처에서 47pF의 커패시터가 장착된 패턴 B의 경우 A보다 6dB 더 낮은 파워에서 오동작이 발생함을 확인할 수 있다. 반면 780MHz 근처에서는 패턴 A보다 내성이 좋았다. 하지만 20~80MHz 사이의 완만한 공진의 원인은 시뮬레이션 결과에서 예측하지 못했다.

그림 14는 CW와 AM 각 방식의 노이즈 파워 인가 시 오류를 발생시키는 전력 크기 차이를 보이며, AM이 대체적으로 5dB 정도 낮은 레벨에서 오동작이 발생했다. 이는 동일 전력 가정 시 AM의 피크 전력이 약 5dB 정도 높기 때문이다. 전체적으로 5dB 정도 낮은 레벨에서 오동작이 발생 외에 CW 방식과 AM 방식은 주파수 상에서는 별 다른 차이가 측정되지는 않았다. 이는 PLL이 선형시스템 특성을 가지고 있어 주파수간의 간섭 변조 주파수 보다는 오동작을 발생시키는 가장 중요한 일차 요소는 파워크기에 의한 것임을 보여준다.

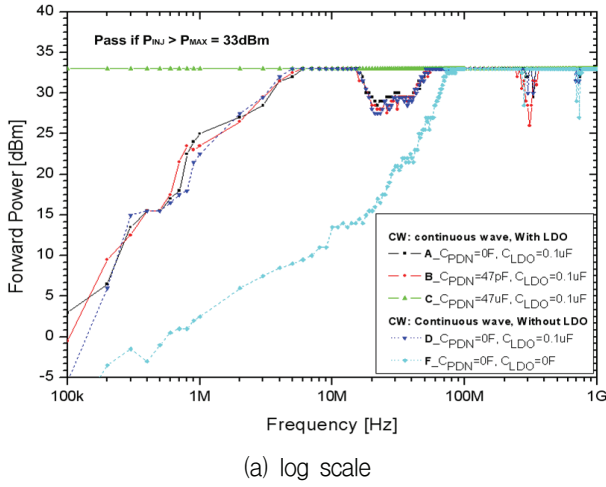


(a) VDD 전압 변화

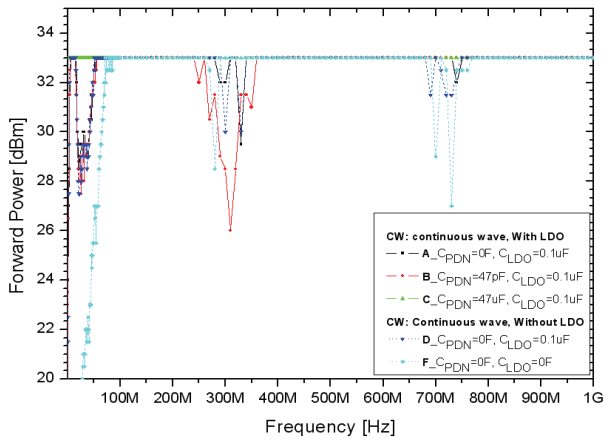


(b) 칩 유입 전류 변화

그림 12. 다양한 보드 패턴의 시뮬레이션 결과 비교
Fig 12. Comparison with simulations on various board patterns.



(a) log scale



(b) linear scale

그림 13. CW 노이즈 인가 시, 커패시터 값에 따른 PLL 내성 실험 결과.

Fig 13. Susceptibility test results of the PLL according to various capacitors under CW noise injection.

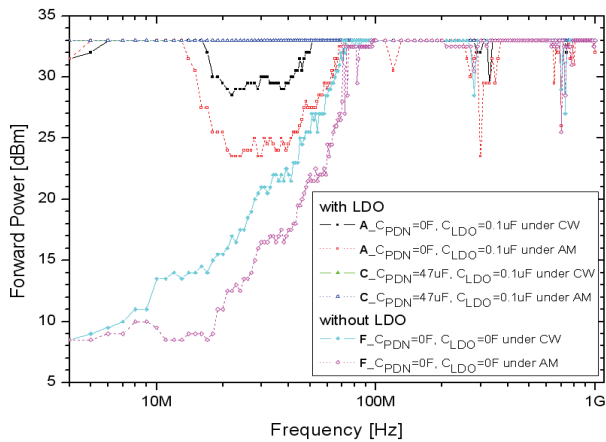


그림 14. CW와 AM(1kHz, 80%) DPI 주입에 따른 PLL 내성 결과

Fig 14. Susceptibility test results of the PLL according to CW and AM DPI injection.

C. TEM CELL 측정 결과 비교

그림 15는 DPI 잡음 인가가 없는 상태에서 정상 동작시의 TEM CELL 측정 결과를 보여주고 있다. 그림에서 여러 값을 갖는 CPDN에서 갖는 차이보다, LDO를 사용한 경우와 DC 공급기로 DC 전압을 공급한 경우 EMI 경향이 크게 다르다. 이는 LDO 기생 커패시터의 유/무에 따른 임피던스 변화로 인해 칩 공급 전압 차이가 발생하면서 PLL 내부 VCO 전압이 흔들리기 때문으로 보인다.

그림 16을 보면 시뮬레이션 및 DPI의 EMS 측정에서 보이는 것처럼 LDO를 사용하는 패턴 A, B의 경우

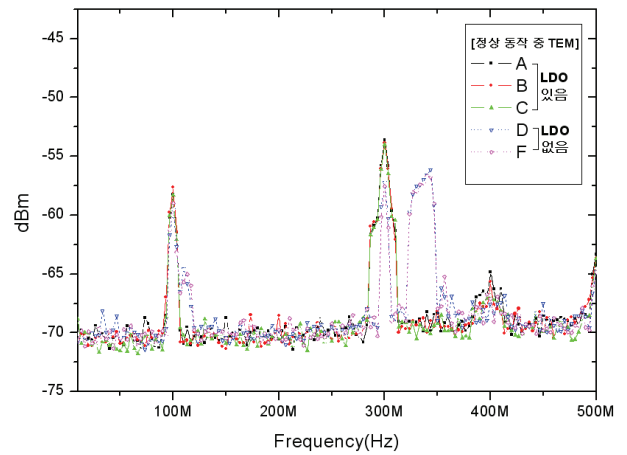


그림 15. DPI 인가가 없는 정상 동작 시, 패턴별 TEM CELL 스펙트럼 측정 결과

Fig 15. TEM Cell spectrum results of various patterns on normal operations without DPI injections.

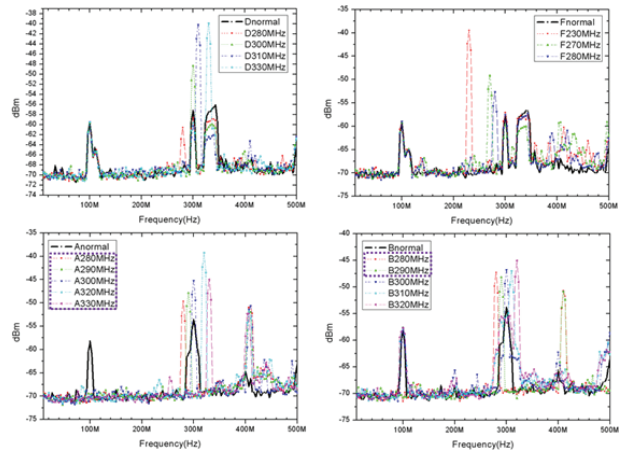


그림 16. 오동작 시, 패턴별 TEM CELL 스펙트럼 측정 결과

Fig. 16. TEM spectrum results of various patterns under failed operations.

280MHz 대역의 노이즈에 의해 오동작이 난 경우 동작 주파수인 100MHz 신호가 완전히 사라짐을 볼 수 있다. 제작된 PLL을 LDO로 전원을 공급하는 시스템에서 사용할 경우 280MHz 대역이 가장 치명적인 주파수 대역을 알 수 있다.

VI. 결 론

PLL의 내성시험을 통한 PCB의 PDN 평가를 위해 모델을 만들고 시뮬레이션을 수행한 후 검증을 위한 측정을 진행하였다. 검증에 앞서 VNA로 S11을 측정된 결과 시뮬레이션과 유사하였으며, DPI 테스트를 진행하며 입력전력을 측정된 결과와도 거의 일치 하였다. 모델 시뮬레이션 결과로 정확한 오동작 레벨을 예측할 수 없었지만 대체적인 오동작 경향을 파악할 수 있었으며, 칩 VDD, 칩으로 유기되는 전류 시뮬레이션을 통해 PLL VDD와 LDO 부하의 커패시터 유무와 그 값에 따른 오동작 경향의 변화를 예측할 수 있었다. 또한 DPI 시험과 병행된 TEM CELL EMI 시험을 통해 280MHz 대역을 민감한 대역으로 인지하고, 적절하지 않은 값의 고주파 감결합 커패시터를 추가하는 경우에는 오히려 내성을 악화시킬 수 있음을 확인하였다.

REFERENCES

[1] M. Ramdani, S. B. Dhia, M. Coenen, "The Electromagnetic Compatibility of Integrated Circuits-Past, Present, and Future", IEEE Transaction on Electromagnetic Compatibility vol.51, no.1, pp.78-100, Feb. 2009.

[2] I. Chahine, M. Kadi, E. Gaboriaud, A. Louis and B. Mazari, "Characterization and modeling of the susceptibility of integrated circuits to conducted electromagnetic disturbances up to 1 GHz," IEEE Transactions on Electromagnetic Compatibility, vol. 50, no. 2, pp. 285-293, May 2008.11-15, pp. 440-614, Feb., 2007.

[3] Wu Jian-fei, Etienne Sicard, Amadou Cisse Ndoeye, Frederic Lafon, Li Jian-cheng, Shen Rong-jun, "Investigation on DPI Effects in a Low Dropout Voltage Regulator," EMC Compo 2011 - 8th Workshop on Electromagnetic Compatibility of Integrated Circuits, pp. 153-158, November 6-9, Dubrovnik, Croatia, 2011.

[4] IEC 62132, Ed.1: Integrated Circuit -Measurements of electromagnetic Immunity - 150kHz to 1GHz.

[5] IEC 62132-4, 2003, "Direct RF Power Injection to measure the immunity against conducted RF-disturbances of integrated circuits up to 1 GHz", IEC standard.

[6] IEC 61967-2, 2003, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz -Part 2: Measurement of radiated emissions - TEM cell and wideband TEM cell method

[7] Ali Alaeldine, Richard Perdriau, Mohamed Ramdani, "A Direct Power Injection Model for Immunity Prediction in Integrated Circuits.", IEEE Transactions on Electromagnetic Compatibility, Vol. 50, No. 1, February 2008.

[8] Bo Pu, Jae Joong Lee, Sang Keun Kwak, So Young Kim, Wansoo Nah, "Electromagnetic Susceptibility Analysis of ICs using DPI Method with Consideration of PDN", IEEE, 2012.

[9] 3D 해석 및 Lumped 모델 혼용 하이브리드 모델링 방법을 이용한 PLL 보드 내성 예측 및 평가

 저 자 소 개

황 원 준(학생회원)

2013년 숭실대학교 정보통신전자공학부
학사 졸업.

2015년 숭실대학교 전자공학과 석사 졸업.

<주관심분야 : Power IC, PCB modeling,
EMC-aware IC>



위 재 경(정회원)

1998년 연세대학교

물리학과 학사 졸업.

1990년 서울대학교

물리학과 석사 졸업.

1998년 서울대학교

전자공학과 박사 졸업.

1990년~2002년 하이닉스 메모리연구소 근무

2002년~2004년 한림대학교 정보통신공학부
조교수

2004년~2007년 숭실대학교 정보통신전자공학부
조교수

2008년~현재 숭실대학교 전자정보공학부 정교수

<주관심분야 : Chip-level EMC, EMC-aware IC,
System-in-package, Safety-aware PMIC,
Bio-sensor ROICs>