

논문 2015-52-5-7

DIT 기반 IFFT의 Bit-Reversal 메모리 감소 기법

(Memory Reduction Method of DIT-based IFFT Bit-Reversal)

김 준 호*, 박 철 암*, 조 경 주**, 정 진 균***

(Jun-Ho Kim, Zheyao Piao, Kyung-Ju Cho[Ⓞ], and Jin-Gyun Chung)

요 약

OFDM 기반 통신시스템에서 IFFT는 중요한 핵심 컴포넌트 중의 하나이다. 본 논문에서는 OFDM 기반 통신시스템을 위한 메모리가 효율적인 새로운 IFFT 설계 방법을 제안한다. OFDM 기반 통신시스템에서 사용되는 IFFT의 입력신호는 데이터 변조신호, 파일럿과 널(null) 신호로 구성된다. 제안한 방법은 IFFT 입력신호의 매핑을 통해 IFFT에서 가장 큰 메모리를 차지하는 비트리버스의 메모리를 감소시키는 데 초점을 둔다. 비트리버스의 메모리 크기를 감소시키기 위해 DIT기반 구조에 적합한 선택 매핑기법을 제안한다. 시뮬레이션을 통해 제안한 방법이 기존 방법과 비교하여 약 50%의 메모리가 감소됨을 보인다.

Abstract

IFFT is one of the key components in OFDM-based communication systems. In this paper, we propose a new memory efficient IFFT design method for OFDM-based communication systems, based on a mapping of three IFFT input signals which consist of modulated data, pilot and null signals. The proposed method focuses on reducing the memory size in the bit-reversal block which requires the largest number of memory cells in IFFT architectures. To reduce the memory size, we propose a selection mapping method based on decimation-in-time (DIT) algorithm. It is shown that the proposed method achieves a memory reduction of about 50% compared to conventional methods.

Keywords : IFFT, bit reversal, memory size reduction

I. 서 론

최근 고속 데이터 통신을 지원하는 모바일 기기의 수요가 증가함에 따라 무선통신기술은 급변하게 진화하고 있다. 다양한 통신기술 중 OFDM 전송방식은 직렬로

입력되는 데이터열을 N 개의 부반송파를 사용하여 병렬로 전송하므로 다중경로 페이딩 채널환경에 강해 IEEE 802.11a/b, IEEE 802.11n, mobile WiMax 등의 고속 데이터 전송을 위한 변조방식으로 폭 넓게 사용된다.

OFDM 응용시스템에서 IFFT/FFT 연산은 복잡도가 큰 블록 중에 하나로 최적의 IFFT/FFT 프로세서를 설계하는 것은 고속 데이터통신을 위한 핵심 사항이다.

IFFT/FFT의 설계에는 radix- 2^k , radix- 4^k , mixed radix 등의 알고리즘이 이용되며, SDF(Single-path Delay Feedback), MDF(Muti-path Delay Feedback), MDC(Multi-path Delay Commutator) 등의 구조가 사용된다^[1~3]. 파이프라인 구조는 면적이 작고 전력소모가 적으면서 데이터 처리량이 높고 지연시간(latency)이 작기 때문에 구현시 선호하는 구조 중에 하나이다^[4~5].

N -포인트 radix- 2^k SDF IFFT 구조에서 비트리버스

* 학생회원, *** 정회원, 전북대학교 전자공학부
(Div. of Electronics, Chonbuk National University)

** 정회원, 원광대학교 전자공학과
(Dept. of Electronics, Wonkwang University)

Ⓞ Corresponding Author(E-mail: kjcho@wku.ac.kr)

※ 본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [10044092, 7Gbps급 무선멀티미디어 통신서비스 제공을 위한 60GHz대역 무선 LAN/PAN용 OFDM기반 PHY 및 RF트랜시버 핵심 IP기술 개발]

Received ; March 31, 2015 Revised ; April 10, 2015
Accepted ; April 23, 2015

를 위한 메모리는 $2N$ 개로, 피드백메모리 $N-1$ 개 보다 거의 2배 크다. 본 논문에서는 비트리버스의 메모리 감소방법을 제안한다. II장에서는 IFFT 연산방법 및 메모리 감소기법을 소개하고, III장에서 비트리버스의 메모리를 감소시킬 수 있는 선택매핑방법을 제안한다. IV장에서는 기존 방법과 제안한 방법의 메모리 크기를 시뮬레이션을 통해 비교하고, V장에서 결론을 맺는다.

II. 기존 IFFT 연산 및 메모리 감소 방법

1. OFDM 전송방식에서 IFFT 과정

대부분의 OFDM 송신기에서는 BPSK, QPSK, 16/64-QAM 중 적합한 변조기법을 선택하여 데이터를 변조하고, 각 부반송파에 변조된 데이터를 전송한다. 그림 1은 OFDM 전송방식에서 IFFT 연산과정을 나타낸다. Signal Mapper는 이진 직렬 데이터스트림을 변조기법에 맞게 그룹으로 나누고 복소값($I+jQ$)으로 매핑한다. 이 값은 변조기법에 따라 정상도를 표현하는 한 점이 된다. 모든 매핑기법에 대해 동일한 평균전력을 갖도록 매핑된 값($I+jQ$)에 정규화 인수(normalization factor, K_{mod})를 곱해 최종 변조된 데이터 d 를 형성한다.

$$d = (I + jQ) \times K_{mod} \quad (1)$$

여기서 K_{mod} 값은 BPSK, QPSK, 16-QAM, 64-QAM에 대해 각각 1 , $1/\sqrt{2}$, $1/\sqrt{10}$, $1/\sqrt{42}$ 이다.

OFDM 방식에서는 데이터 외에 정해진 부반송파에 파일럿, 널(null) 또는 영(zero) 신호를 할당하여 수신측

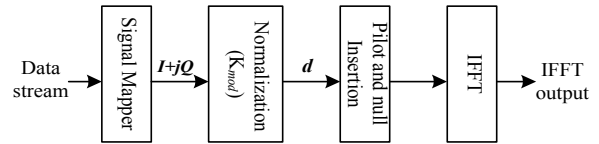


그림 1. OFDM 시스템에서 IFFT 연산과정
Fig. 1. IFFT operation procedure in OFDM systems.

에서 신호복원을 하는데 다양한 장점을 가지도록 한다.

변조된 데이터 d 와 파일럿, 널 신호는 IFFT 출력에서 시스템이 요구하는 SQNR을 만족하기 위해 10비트, 12비트 또는 16비트 등의 워드길이를 양자화 된다^[4]. 예를 들어, 16-QAM에서 $I+jQ = -3+j$ 라면 $d = -0.9487 + j0.3162$ 가 되고, 이 값을 10비트로 양자화 한다면 IFFT 입력값은 $d = 1.000011010 + j0.010100001$ 이 된다.

그림 2는 그림 1의 IFFT를 세분화하여 표현한 것이다. 2ⁿ-포인트 IFFT는 고속연산을 위해 i 개의 스테이지로 분할된다. DIF(decimation-in-frequency)기반 IFFT에서는 마지막 스테이지의 출력을 재배열해야 올바른 순서의 IFFT 출력을 얻을 수 있지만, DIT(decimation-in-time)기반 IFFT에서는 첫 스테이지의 입력을 재배열하면 마지막 스테이지에서 올바른 순서의 IFFT 출력을 얻을 수 있다. 출력 또는 입력 순서는 비트리버스를 통해 재배열되며 일반적으로 $2N$ 의 메모리가 필요하다.

2. IFFT 연산 과정

그림 3은 비트리버스를 포함한 16-포인트 radix-2² 알고리즘의 IFFT 신호 흐름선도를 나타낸다. 그림 3(a)는 DIF 알고리즘을 적용한 신호 흐름선도이고, (b)는

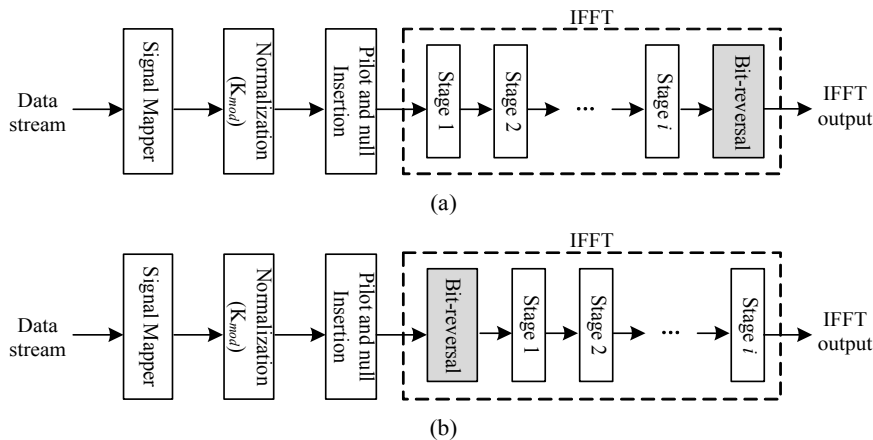


그림 2. OFDM 시스템에서 IFFT 연산과정: (a) DIF기반 IFFT, (b) DIT기반 IFFT
Fig. 2. IFFT operation procedure in OFDM systems: (a) DIF-based IFFT and (b) DIT-based IFFT.

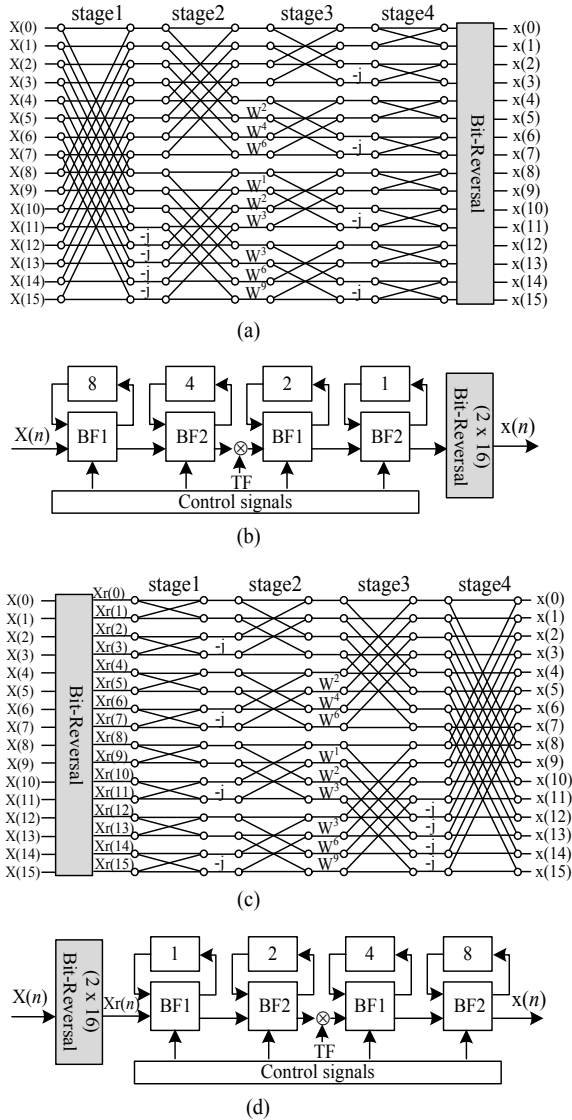


그림 3. 16-포인트 radix-2² DIF기반과 DIT기반 IFFT 신호 흐름선도 및 SDF 구조
 Fig. 3. 16-point radix-2² DIF and DIT-based IFFT signal flow charts with corresponding SDF architectures.

DIF기반 radix-2² SDF 구조이다. 여기서 BF는 버터플라이를 의미하며, TF(Twiddle Factor)는 회전인자를 의미한다. 그림 3(c)는 DIT 알고리즘을 적용한 신호 흐름선도이고, (d)는 radix-2² SDF 구조이다. DIF와 DIT의 신호 흐름선도는 전치(transpose) 관계이다.

그림 3(a)에서 스테이지 2의 버터플라이에서는 덧셈과 뺄셈이 식 (2)와 같이 이루어진다. 그림 3(b)의 SDF 구조에서 덧셈결과(a_2)는 스테이지 3으로 입력되고 뺄셈결과(s_2)는 스테이지 2의 피드백 메모리로 입력된다.

$$\begin{aligned}
 a_2(n) &= X(n) + X(n + N/2) + X(n + N/4) + X(n + 3N/4) \\
 s_2(n) &= X(n) + X(n + N/2) - [X(n + N/4) + X(n + 3N/4)] \\
 a_2(n + N/2) &= X(n) - X(n + N/2) - j[X(n + N/4) - X(n + 3N/4)] \\
 s_2(n + N/2) &= X(n) - X(n + N/2) + j[X(n + N/4) - X(n + 3N/4)] \\
 n &= 0, 1, \dots, (N/4 - 1) \quad (2)
 \end{aligned}$$

그림 3(c)의 비트리버스에서 재배열된 입력을 $X_r(n)$ 이라면 스테이지 2의 버터플라이 출력은 다음과 같다.

$$\begin{aligned}
 a_2(4m) &= X_r(4m) + X_r(4m + 1) + X_r(4m + 2) + X_r(4m + 3) \\
 s_2(4m) &= X_r(4m) + X_r(4m + 1) - [X_r(4m + 2) + X_r(4m + 3)] \\
 a_2(4m + 1) &= X_r(4m) - X_r(4m + 1) - j[X_r(4m + 2) - X_r(4m + 3)] \\
 s_2(4m + 1) &= X_r(4m) - X_r(4m + 1) + j[X_r(4m + 2) - X_r(4m + 3)] \\
 m &= 0, 1, \dots, (N/4 - 1) \quad (3)
 \end{aligned}$$

그림 3의 (b)와 (d)에서 피드백 메모리의 크기는 2x15워드(2x(N-1)워드)이며, 비트리버스 메모리의 크기는 2x2x16워드로 IFFT의 입출력 워드길이가 같으면 두 구조 모두 동일한 메모리 크기가 요구된다.

IFFT의 설계 시 메모리의 크기는 워드길이(W)와 포인트 수(N)에 비례하여 증가한다. 포인트 수는 고정되어 있으므로 IFFT 입력신호의 워드길이를 줄이면 메모리의 크기를 줄일 수 있다.

3. IFFT의 메모리 감소기법

가. DIF기반 IFFT의 메모리 감소

DIF기반 radix-2^k SDF 구조에서는 스테이지 2까지의 피드백 메모리 크기는 비트리버스를 제외할 때 전체 피드백 메모리의 약 75%를 차지한다. 그림 3(a)에서 스테이지 2의 버터플라이까지는 버터플라이 연산과 $-j$ 의 곱셈만 존재하므로 복소 덧셈과 뺄셈만 수행하면 된다. 그림 2와 달리 정규화 인수의 곱셈을 스테이지 2 이후로 옮길 수 있다면 IFFT 입력신호 워드길이를 줄여 첫 두 스테이지의 피드백 메모리 크기를 줄일 수 있다^[6].

OFDM 시스템에서 파일럿과 널 신호는 정해진 부분 송파에 정해진 값(파일럿: -1 또는 1, 널: 0)이 전송되므로 스테이지 2까지의 결과가 데이터로만 계산되어 만들어 졌는지, 데이터와 파일럿(또는 널)으로 만들어 졌는지 알 수 있다. 따라서 파일럿과 널 신호를 모두 0으로 매핑하고 스테이지 2의 출력(stg2_o)에 정규화 인수

를 곱하고 보상값(compensation value, CV)을 더해 스테이지3의 입력($stg3_i$)을 다음과 같이 계산할 수 있다.

$$stg3_i = (stg2_o_{re} K_{mod} + CV_{re}) + j(stg2_o_{im} K_{mod} + CV_{im}) \quad (4)$$

여기서 밑첨자 re 와 im 은 real과 imaginary를 나타낸다.

그림 4(a)는 DIF기반 IFFT 연산과정을 나타낸다. 그림 2(a)와 달리 정규화를 스테이지 2 이후에 수행함으로써 radix- 2^k SDF 구조에서 스테이지 1과 2의 피드백 메모리의 크기를 크게 줄일 수 있다^[6]. 예를 들어, 16-QAM의 경우, 스테이지 1의 입력신호는 -3, -1, 0 (파일럿, 널), 1, 3 중에 하나이므로 첫 스테이지의 입력 신호의 워드길이는 3비트{-3(101), -1(111), 0(000), 1(001), 3(011)}가 되며, 피드백 메모리의 워드길이는 버터플라이 연산에서 부호확장까지 고려하면 4비트이다.

나. DIT기반 IFFT의 메모리 감소

그림 4(b)는 DIT기반 IFFT의 연산과정을 나타낸다. 그림 2(b)와 달리 정규화를 스테이지 2 이후에 수행함으로써 radix- 2^k SDF 구조에서 IFFT의 가장 큰 메모리를 차지하는 비트리버스의 메모리 크기를 줄일 수 있다^[7]. 예를 들어, 16-QAM에서 DIF기반 구조는 비트리버스에서 IFFT의 출력 워드길이가 N 일 경우 $2 \times 2 \times N \times N$ 의 메모리가 필요하지만, DIT기반 구조는 $2 \times 2 \times 3 \times N$ 의 메모리가 필요하며, 워드길기와 무관하다.

III. 제안하는 DIT 선택매핑기법

DIT기반 구조는 DIF기반 구조보다 피드백 메모리에서 메모리 감소율이 작지만, IFFT 구현시 비트리버스 메모리가 피드백 메모리 보다 더 크므로 메모리 감소율은 DIT기반 구조가 더 우수하다. 본 장에서는 DIT기반 구조에서 비트리버스 블록의 워드길이를 감소시킬 수 있는 방법을 제안한다.

Signal Mapper는 변조방식에 따라 BPSK는 1비트(Q 값 없음), QPSK는 1비트, 16-QAM은 2비트, 64-QAM은 3비트로 그룹화 한다. DIT기반 매핑에서는 파일럿과 널 신호를 0으로 강제 매핑하고, 2의 보수로 변환하는데 1비트가 증가되어 비트리버스 블록에 입력된다^[7].

만약 그룹화된 데이터(2의 보수로 변환되기 전)와 파일럿, 널 신호를 구분하여 데이터는 그대로, 파일럿과 널은 0으로 강제 매핑하여 비트리버스를 수행한 후에 데이터에 대해서는 2의 보수로 형태로 매핑하고, 파일럿과 널 신호는 그대로 0으로 한다면 DIT 매핑기법 보다 비트리버스에서 워드길이를 1비트를 줄일 수 있다.

표 1은 변조기법에 따른 성상도 그룹화와 DIT 매핑과 제안하는 선택매핑의 신호표현 값을 나타낸다.

제안한 선택매핑 기법은 비트리버스 된 신호들 중에 매핑되어야 할 신호(즉, 데이터)와 매핑되지 않아야 할 신호(파일럿, 널)를 구분해야 한다. 신호 구분을 위해서

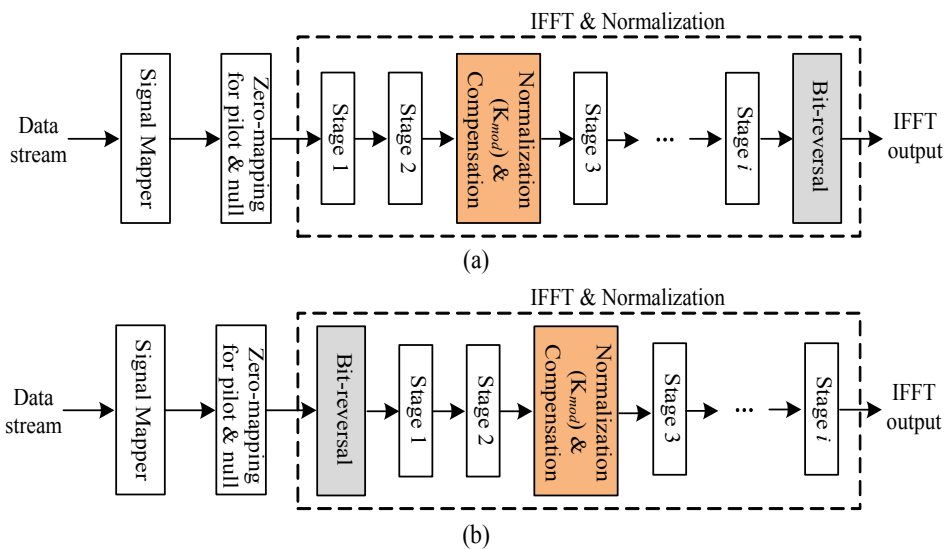


그림 4. OFDM시스템에서 IFFT 연산과정: (a) DIF기반 IFFT, (b) DIT기반 IFFT

Fig. 4. IFFT operation procedure in OFDM systems: (a) DIF-based IFFT and (b) DIT-based IFFT.

표 1. 변조방식에 대한 비트리버스의 비트수
Table 1. The number of bit in bit-reversal accounting to modulation.

변조	성상도 그룹핑 (매핑값)	DIT 매핑 (매핑값)	선택매핑 (매핑값)
BPSK	0(-1), 1(1)	11(-1), 00(0), 01(1)	0(-1), 1(1)
QPSK	0(-1), 1(1)	11(-1), 00(0), 01(1)	0(-1), 1(1)
16-QAM	00(-3), 01(-1), 11(1), 10(3)	101(-3), 111(-1), 000(0), 001(1), 011(3)	00(-3), 001(-1), 11(1), 10(3)
64-QAM	000(-7), 001(-5), 011(-3), 010(-1), 110(1), 111(3), 101(5), 100(7)	1001(-7), 1011(-5), 1101(-3), 1111(-1), 0000(0), 0001(1), 0011(3), 0101(5), 0111(7)	000(-7), 001(-5), 011(-3), 010(-1), 110(1), 111(3), 101(5), 100(7)

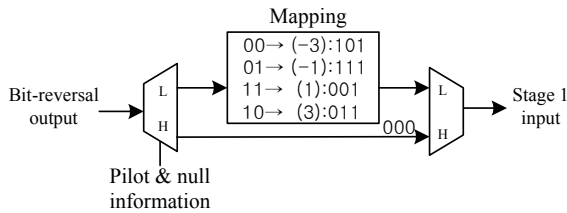


그림 5. 16-QAM에 대한 제안하는 선택매핑 기법
Fig. 5. Proposed selection mapping method for 16-QAM.

파일럿과 널 신호가 속한 부반송파의 정보를 알기 위해 IFFT의 포인트 수(N) 만큼의 LUT(look-up table)이 필요하지만, IFFT 입력신호의 인덱스로부터 파일럿과 널이 속한 인덱스를 이용하면 LUT를 사용하지 않아도 알 수 있다.

그림 5는 16-QAM에서 제안하는 선택매핑 기법을 나타낸다. 비트리버스 연산을 마친 신호는 파일럿과 널 신호의 정보에 따라 데이터 신호는 2의 보수로 매핑되

고, 파일럿과 널 신호는 0으로 매핑되어 IFFT의 입력으로 들어간다.

그림 6은 DIT기반 구조에 선택매핑 기법을 적용한 제안하는 IFFT의 구조를 나타낸다.

DIT 구조에서 스테이지 3의 입력은 피드백 경로를 고려하면 식 (3)으로부터 다음과 같이 표현할 수 있다.

$$stg3_i(4m) = a_2(4m)$$

$$stg3_i(4m+1) = a_2(4m+1)$$

$$stg3_i(4m+2) = s_2(4m)$$

$$stg3_i(4m+3) = s_2(4m+1), \text{ for } m = 0, 1, \dots, (N/4-1) \quad (5)$$

임의의 IFFT의 입력신호 $X_r(n)$ 이 파일럿 신호 p_0 를 포함한다면 식 (5)로부터 $X_r(n)$ 은 $stg3_i(4m)$, $stg3_i(4m+1)$, $stg3_i(4m+2)$, $stg3_i(4m+3)$ 에 영향을 준다. 실제 파일럿 신호 p_0 대신 0을 입력하고, 스테이지 3의 입력에 파일럿 신호 p_0 를 더해 보상한다.

표 2는 파일럿 신호의 위치에 따른 4개의 그룹에 대해 스테이지 3의 입력에 보상해줘야 할 값을 나타낸다. 표 2에서 %는 모듈로(modulo) 연산을 의미한다. 파일럿의 위치를 나타내는 하위 2비트와 스테이지 3의 입력 위치를 나타내는 하위 2비트를 각각 f_1, f_0 와 t_1, t_0 로 놓으면 다음과 같은 제어신호를 생성할 수 있다.

$$s1 = f_1'f_0t_0 + f_0t_1t_0' + f_1t_1t_0' + f_1f_0't_1't_0$$

$$s2 = f_1' + t_0' \quad (6)$$

$$s3 = f_1t_0$$

여기서 s1은 보상되는 값의 부호를 결정하고, s2와 s3는 보상되는 값이 각각 실수인지 허수인지를 나타낸다. 이 신호들을 이용하여 식 (4)를 효율적으로 구현할 수 있다.

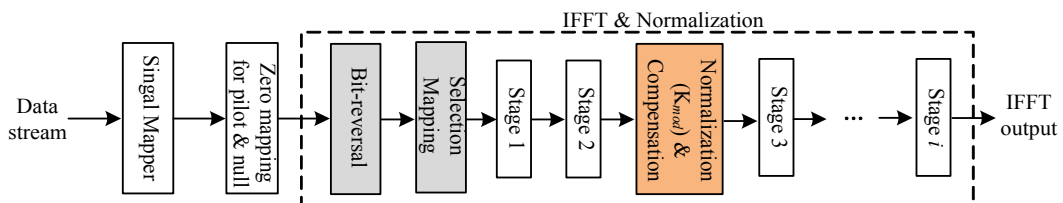


그림 6. OFDM 시스템을 위한 제안한 IFFT 설계
Fig. 6. Proposed IFFT design method for OFDM systems.

표 2. 파일럿 신호의 입력 위치에 따른 보상값
Table 2. Compensation values according to pilot signals.

재구성된 IFFT 입력에서 파일럿 위치(n)	파일럿 신호	스테이지3 입력 위치	보상값
$n\%4=0$ ($n=l_{k-1}l_{k-2}\dots l_200$)	p_0	$n (l_{k-1}l_{k-2}\dots l_200)$	p_0
		$n+1(l_{k-1}l_{k-2}\dots l_201)$	p_0
		$n+2(l_{k-1}l_{k-2}\dots l_210)$	p_0
		$n+3(l_{k-1}l_{k-2}\dots l_211)$	p_0
$n\%4=1$ ($n=l_{k-1}l_{k-2}\dots l_201$)	p_1	$n-1(l_{k-1}l_{k-2}\dots l_200)$	p_1
		$n (l_{k-1}l_{k-2}\dots l_201)$	$-p_1$
		$n+1(l_{k-1}l_{k-2}\dots l_210)$	p_1
		$n+2(l_{k-1}l_{k-2}\dots l_211)$	$-p_1$
$n\%4=2$ ($n=l_{k-1}l_{k-2}\dots l_210$)	p_2	$n-2(l_{k-1}l_{k-2}\dots l_200)$	p_2
		$n-1(l_{k-1}l_{k-2}\dots l_201)$	$-jp_2$
		$n (l_{k-1}l_{k-2}\dots l_210)$	$-p_2$
		$n+1(l_{k-1}l_{k-2}\dots l_211)$	jp_2
$n\%4=3$ ($n=l_{k-1}l_{k-2}\dots l_211$)	p_3	$n-3(l_{k-1}l_{k-2}\dots l_200)$	p_3
		$n-2(l_{k-1}l_{k-2}\dots l_201)$	jp_3
		$n-1(l_{k-1}l_{k-2}\dots l_210)$	$-p_3$
		$n (l_{k-1}l_{k-2}\dots l_211)$	$-jp_3$

IV. 메모리 사이즈 비교 및 시뮬레이션

표 3은 64-QAM에 대한 제안한 구조와 기존 IFFT 구조의 메모리 크기 비교결과를 나타낸다. ‘Conventional’은 그림 2(a)와 같이 DIF 구조를 사용하여 IFFT를 구현하는 일반적인 방법을 의미하며, ‘DIF Mapping’은 DIF 구조와 Mapping 기법을 사용한 방법^[6]을 의미하고, ‘Proposed’은 DIT 구조와 선택매핑 기법을 사용한 방법을 나타낸다. DIF를 사용한 구조는 비트리버스 메모리의 크기는 워드길이와 포인트 수에 비례하지만, DIT를 사용한 구조에서 비트리버스는 포인트

표 3. 제안한 구조와 다른 IFFT구조의 메모리 비교
Table 3. Comparison of memory size for IFFT design.

구분	Conventional	DIF Mapping	Proposed
비트리버스	$2 \times 2 \times W \times N$	$2 \times 2 \times W \times N$	$2 \times 2 \times 3 \times N$
스테이지 1	$2 \times W \times N/2$	$2 \times 5 \times N/2$	$2 \times 5 \times 1$
스테이지 2	$2 \times W \times N/4$	$2 \times 6 \times N/4$	$2 \times 6 \times 2$
나머지 스테이지	$2 \times W \times (N/4-1)$	$2 \times W \times (N/4-1)$	$2 \times W \times (N-4)$
LUT	-	$9 \times W^2 \times 2 \times N_p$	$9 \times W^2 \times 2 \times N_p$
Additional	-	2 adders + 3 MUX's + sign inverter	1 adders + 7 MUX's

수에만 비례함을 알 수 있다.

그림 7은 64-QAM에서 ‘Conventional’을 기준으로 IFFT 크기와 워드길이의 증가에 따른 DIF Mapping^[6], DIT Mapping^[7], 제안된 방법의 IFFT의 메모리 감소율을 나타낸다. IFFT의 크기에 따라 제안한 방법은 ‘Conventional’ 보다 약 50%의 메모리 감소율을 보여 약 44%의 감소율을 보인 DIT Mapping 보다 효율적임

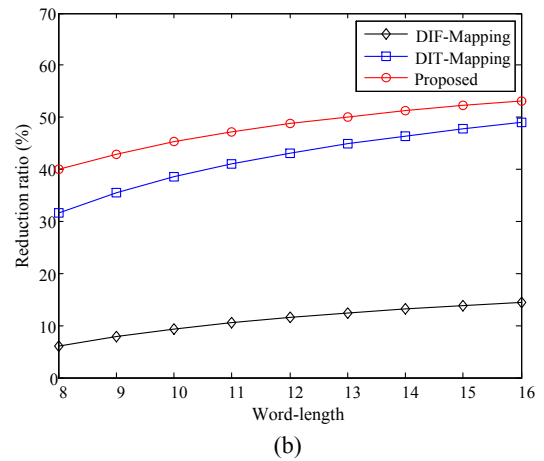
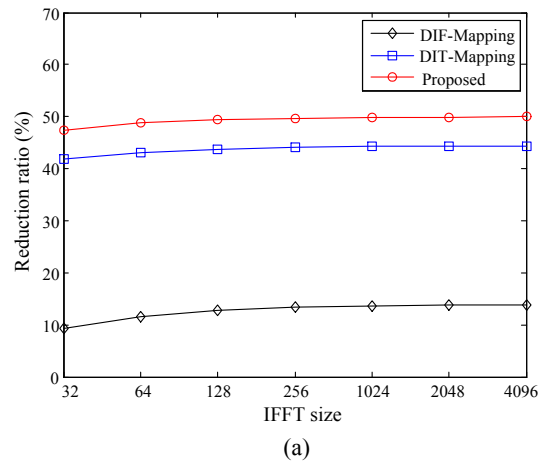


그림 7. 메모리 감소율 비교: (a) IFFT크기, (b) 워드길이
Fig. 7. Comparison of memory reduction ratio: (a) according to IFFT size and (b) according to wordlength.

표 4. IFFT의 메모리 합성 결과
Table 4. Comparison of IFFT memory synthesis.

구분	면적	면적비율(%)
Conventional	701,512	100
DIT 선택매핑	371,720	53

을 알 수 있다. 또한, 워드길이의 증가에 따라 제안한 방법은 ‘Conventional’ 보다 약 54%까지 메모리 감소가 되었으며, 약 49%까지 메모리가 감소된 ‘DIT Mapping’ 보다 우수함을 알 수 있다.

제안한 방법의 메모리 감소 효율을 보이기 위해 WLAN(IEEE 802.11a)에 사용되는 64-포인트 IFFT를 radix-2² SDF 구조를 구현하였다. 표 4는 ‘Conventional’과 제안한 방법에 대해 매그나칩 0.18 μ m 공정을 사용하여 합성 결과를 나타낸다.

V. 결 론

본 논문에서는 OFDM기반 통신시스템에서 핵심 요소 중에 하나인 IFFT의 메모리 감소기법을 제안하였다. IFFT 메모리에서 가장 큰 부분을 차지하는 비트리버스의 크기를 줄여 전체 메모리의 크기를 줄였다.

IFFT 입력신호의 매핑이 비트리버스에서 메모리 감소로 이어질 수 있도록 IFFT 구현시 일반적으로 사용되는 DIF기반 구조 대신 DIT기반 구조를 선택하였다. 또한, DIT기반 구조에 적합한 선택매핑기법을 제안하여 메모리 감소효율을 높였다. 시뮬레이션을 통해 제안한 방법이 기존 방법과 비교하여 약 50%의 메모리가 감소됨을 보였다.

본 논문에서 제안한 방법은 IFFT의 크기가 크거나, 출력의 워드길이가 클 때 보다 효율적이므로 다양한 OFDM기반 통신시스템에 사용할 수 있다.

REFERENCES

- [1] S. He and M. Torkelson, “A new approach to pipeline FFT processor”, *Proceedings of IPSPS 1996*, pp. 766-770, 1996
- [2] J. Y. Oh and M. S. Lim, “New radix-2 to the 4th power pipeline FFT processor,” *IEICE Trans. Electron.*, vol. E88-C, no. 8, pp. 1740-1746, Aug. 2005.
- [3] Taesang Cho, Hanho Lee, “A high-speed low-complexity modified radix-2⁵ FFT processor of high rate WPAN applications”, *IEEE Trans. VLSI Systems*, vol. 21, pp. 187-191, 2013.
- [4] S. N. Tang, J. W. Tsai, and T. Y. Chang, “A 2.4-Gs/s FFT processor for OFDM-based WPAN applications”, *IEEE Trans. Circuit Syst.*

II-Express Briefs, vol. 57, pp. 451-455, 2010.

- [5] Thoms Lenart and Viktor Owall, “A pipelined FFT processor using data scaling with reduced memory requirements”, in *Proc. NORCHIP*, 2002.
- [6] I. G. Jang, K. J. Cho, Y. E. Kim, and J. G. Chung, “Memory size reduction technique of SDF IFFT architecture for OFDM-based applications,” *IEICE Trans. Electron.*, vol. 95-B, pp. 2059-2064, June 2012.
- [7] H. Y. Lee, J. H. Kim, I. G. Jang, K. J. Cho, and J. G. Chung, “Memory efficient DIT-based SDF IFFT for OFDM systems”, *IEICE Electronics Express*, vol. 11, no. 5, pp. 1-6, 2014.

— 저 자 소 개 —



김 준 호(학생회원)
2013년 전북대학교 전자공학부
학사 졸업
2015년 전북대학교 전자공학부
석사 졸업
<주관심분야 : VLSI 신호처리,
SoC 설계>



조 경 주(정회원)
2000년 원광대학교 전자공학과
학사 졸업
2002년 전북대학교 정보통신학과
석사 졸업
2006년 전북대학교 정보통신
공학과 박사 졸업
2006년~2009년 전북대학교 Post-Doc.
2009년~2012년 향로표지기술협회 연구소 과장
2012년~현재 원광대학교 전자공학과 조교수
<주관심분야 : VLSI 신호처리, 저전력 회로설계,
SoC 설계>



박 철 암(학생회원)
2010년 중국 연변대학교
정보통신학과 학사 졸업
2012년 전북대학교 전자공학부
석사 졸업
2012년~현재 전북대학교
전자공학부 박사과정
<주관심분야 : 통신, 신호처리, 반도체>



정 진 균(정회원)
1985년 전북대학교 전자공학
학사 졸업
1991년 미국 미네소타 주립대학
전기공학과 석사 졸업
1994년 미국 미네소타 주립대학
전기공학과 박사 졸업
1995년~현재 전북대학교 전자공학부 교수
<주관심분야 : VLSI 신호처리, 저전력 회로설계,
SoC 설계>