

技術論文

J. of The Korean Society for Aeronautical and Space Sciences 43(5), 449-455(2015)

DOI:http://dx.doi.org/10.5139/JKSAS.2015.43.5.449

ISSN 1225-1348(print), 2287-6871(online)

전자부품 고장모드를 고려한 Built-In-Test 성능분석

서준호*, 고진영, 박한준

Built-In-Test Coverage Analysis Considering Failure Mode of Electronics Components

Joon-Ho Seo*, Jin-Young Ko and Han-Joon Park
SAMSUNG THALES Co.

ABSTRACT

Built-In-Test(hereafter: BIT) is necessary functionality for aircraft flight safety and it requires a high failure detection capacity of more than 95 % in the case of avionics equipment. The BIT coverage analysis is needed to make sure that BIT meets its fault diagnosis capability. FMECA is used a lot of for the BIT coverage analysis. However, in this paper, the BIT coverage analysis based on electronic components is introduced to minimize the analytical error. Further, by applying the failure mode of the electronic components and excluding electronic components that do not affect flight safety, the BIT coverage analysis can be more accurate. Finally, BIT demo was performed and it was confirmed that the performance of the actual BIT matches the analysis of BIT performance.

초 록

Built-In-Test(이하: BIT)는 항공기 비행안전을 위해 반드시 필요한 기능으로 항공전자 장비의 경우 95% 이상의 높은 고장 진단능력을 요구하고 있다. BIT가 요구도에 명시된 고장 진단능력을 만족시키는지 확인하기 위해 BIT 성능분석이 필요하다. BIT 성능분석을 위해 FMECA (Failure Mode Effect Critical Analysis)에 기술된 고장모드를 활용하는 방법이 많이 사용되고 있으나, 본 논문에서는 분석 오류를 최소화할 수 있는 전자부품 기반의 BIT 성능분석 방법론을 소개한다. 또한, BIT 성능분석에서 제외될 수 있는 비행안전에 영향을 미치지 않는 전자부품 및 전자부품의 고장모드를 실제 개발사례에 적용하여 불필요한 BIT 기능 구현을 방지하고 정확한 BIT 성능분석을 수행할 수 있도록 하였다. BIT Demo를 수행하여 BIT 성능분석 결과와 실제 BIT 성능이 일치함을 확인하였다.

Key Words : Built-In-Test(내장시험), Failure Mode(고장 모드), Failure Detection Rate (고장탐지율), Failure Isolation Rate(고장격리율)

1. 서 론

항공전자 장비에 발생된 고장은 항공기 또는

인명 손실을 초래하므로 이를 즉시 또는 사전에 탐지하는 것이 비행안전에 매우 중요하다.

BIT는 항공전자 장비의 고장 유무를 자동으로

† Received : October 18, 2014 Revised : March 23, 2015

Accepted : March 26, 2015

* Corresponding author, E-mail : joonho75.seo@samsung.com

시험하는 기능으로 모든 항공전자 장비에 탑재되어 항공기 이륙 전과 운용 중에 주기적으로 수행된다[1,2]. BIT는 POBIT, CBIT, PBIT, IBIT 으로 구분될 수 있다. POBIT는 장비 Power On 직후부터 정상모드 진입 전에 수행된다. 대부분의 항공장비는 빠른 정상모드 진입이 필요하므로 POBIT는 최소한의 기능만을 시험한다. CBIT와 PBIT는 항전장비 운용 중 지속적으로 수행되며 장비의 정상 임무수행에 영향을 미치는 일부 시험은 수행될 수 없다. PBIT는 반복 수행되는 측면에서 CBIT와 유사하나, PBIT는 반드시 일정한 주기성(Periodic)을 가져야 한다. IBIT는 조종사나 지상요원의 시작명령(Initialization)에 의해 수행되는 시험으로 해당 장비는 정상모드 동작을 중지하고 BIT 시험만 수행하게 되어 통상 가장 많은 시험 커버리지를 가진다.

BIT는 여러 산업분야에 적용될 만큼 중요성과 효율성이 널리 인식되어 있지만, 타 분야에서는 항공전자 장비처럼 높은 수준의 고장 진단 능력을 요구하고 있지 않으며, 구체적인 수치로 성능 요구사항을 명시하고 있지 않다. 항공전자 장비의 경우 비행 안전에 영향을 미치는 고장의 95% 이상을 BIT가 탐지하도록 요구하고 있으며, 비행 제어컴퓨터의 경우 최소 95%에서 최대 99%에 이르는 고장탐지 능력을 요구하고 있다[3].

설계된 BIT가 요구도에 명시된 고장 진단능력을 충족시키는지 분석하기 위해 FMECA에 기술된 고장모드를 활용하는 방법이 많이 사용된다. FMECA에서 분석된 장비에 발생 가능한 여러 고장에 대해 BIT가 고장 진단을 수행할 수 있는지 분석하는 기법으로 발생 가능한 고장 수 대비 진단할 수 있는 고장의 수를 비율로 계산하여 고장진단율을 산출할 수 있다. 하지만 본 방법은 정확한 FMECA 데이터를 확보해야하는 제약사항이 있으며, 실제 하드웨어 고장을 주입하여 BIT 성능을 입증하는 BIT Demo 시험에서 최적의 하드웨어 고장 포인트를 선정하기 어려운 문제점을 안고 있다. 신규 개발 장비의 경우 정확한 FMECA 데이터를 산출하기 어려운 경우가 많으며 이 경우 BIT 성능분석의 정확도 역시 떨어지게 된다.

본 논문에서는 항공전자 장비를 구성하는 전자부품을 기반으로 BIT 고장 진단능력을 분석하는 방법을 소개한다. 본 기법은 항공전자 장비를 구성하는 모든 전자부품의 고장에 대해 BIT가 해당 고장을 진단할 수 있는지 분석하는 방법으로 수 천 또는 수 만개의 전자부품으로 구성된 장비의 BIT 성능분석에 적용 시, 많은 시간과 노

력이 소요되지만 정확한 BIT 성능분석이 가능하며, BIT Demo를 위한 적절한 고장 포인트 선정이 용이하여 항공전자 장비와 같은 안전필수 분야에 효과적으로 적용 가능하다. 본 방법은 삼성탈레스가 해외업체와 수행한 항공전자 장비 개발에 적용되었으며 BIT Demo를 통해 본 BIT 성능분석의 유효성이 입증되었다.

II. 본 론

2.1 BIT 성능분석

2.1.1 주요 BIT 성능 파라미터

BIT 성능분석은 항공전자 장비에 구현된 BIT 성능 파라미터를 수치적으로 계산하여 BIT 성능이 요구도를 만족시키는지 확인하는 것을 목적으로 한다. BIT 성능을 나타내는 대표적인 파라미터들은 아래와 같다.

- 고장탐지율 (Failure Detection Rate)
- 고장격리율 (Failure Isolation Rate)
- 오검출률 (False Alarm Rate)

고장탐지율은 BIT가 항공전자 장비에 발생된 고장이나 잠재고장을 탐지할 수 있는 능력을 나타낸다. 만일 BIT가 장비에 발생된 고장을 모두 탐지한다면 고장탐지율은 100%이다.

고장격리율은 발생된 고장을 BIT가 격리시킬 수 있는 능력을 나타내는 파라미터이다. 여러 장비로 구성된 시스템의 경우 고장이 발생되면 어느 장비에서 고장이 야기되었는지 판단하기 어렵다. BIT는 정비사를 대신하여 시스템을 시험하고 고장이 발생된 위치를 알려주는데, 시스템에 발생된 모든 고장에 대해 어느 장비에서 고장이 야기되었는지를 정확히 알려준다면 해당 BIT는 장비레벨에서 고장격리율 100%를 만족하게 된다. 높은 BIT 성능을 요구하는 시스템의 경우 회로 카드 조립체 레벨의 고장격리를 요구하는 경우도 있다. 이 경우 BIT는 고장이 발생된 장비를 식별해야 할 뿐만 아니라, 장비 내 고장이 발생된 회로카드도 정확히 식별해야 한다.

오검출율은 BIT가 잘못된 고장 선언을 하지 않는 능력을 나타내는 파라미터이다. BIT는 거짓 (False) 고장을 운용자에게 보고할 수 있으며 오검출률이 0%이면 해당 BIT는 항상 실제 고장만을 운용자에게 보고한다. 오검출률 계산은 수치적인 분석 외에도 Reliability Development Test를 통한 통계값을 필요로 하므로 본 논문에서는 다루지 않기로 한다[4].

Table 1. Example of FMECA

ID	a) Failure Mode b) Causes	Effect of failure a) Local effect b) Next Higher	...
1	a) Loss of output voltage b) Component failure	a) No output from +5V b) No voltage to sensor	
2	a) Output voltage output of tolerance b) Component failure	a) Incorrect output voltage from +5V b) Incorrect voltage to sensor	
...

2.1.2 FMECA를 사용한 BIT 성능분석 방법론

위의 BIT 성능 파라미터들은 FMECA에 기술된 고장분석 자료를 활용하여 계산될 수 있다. FMECA는 장비에 발생 가능한 고장과 그 영향성을 테이블 형태로 기술한 분석 자료이다. Table 1은 FMECA 사례를 나타내고 있다. Table의 각 열마다 1개의 고장 항목이 기술되어 있으며 각 고장에 대해 순차적으로 식별 ID가 부여되어 있다.

BIT 성능분석은 FMECA에서 분석된 각각의 고장이 실제 발생 시 구현된 BIT에 의해 탐지되고 격리될 수 있는지를 판단하는 것이다.

$$\% \text{ 고장탐지율 (FMECA 데이터 사용)} = \frac{\text{Numbers of Failure Detected by BIT}}{\text{Numbers of Failure Identified by FMECA}} \times 100$$

고장탐지율은 FMECA에서 분석된 장비 또는 시스템에 발생 가능한 고장 수 대비 BIT가 탐지 가능한 고장 수를 나누어 계산한다. 동일한 방법으로 고장격리율도 아래와 같이 계산 가능하다.

$$\% \text{ 고장격리율 (FMECA 데이터 사용)} = \frac{\text{Numbers of Failure Isolated by BIT}}{\text{Numbers of Failure Identified by FMECA}} \times 100$$

FMECA의 경우 장비 또는 시스템 설계에 대한 전문지식과 이전 유사장비의 운용 경험을 활용하여 분석되기 때문에 신규개발 장비의 경우 설계초기부터 정확한 FMECA 데이터를 획득하기 어렵다. 상세설계 이후 FMECA 데이터의 정확성은 향상되지만 FMECA를 기반으로 작성한 BIT 성능분석은 FMECA 데이터가 업데이트됨에 따라 재 수행되어 분석에 많은 시간과 비용이 소요된다[5].

2.1.3 전자부품 기반 BIT 성능분석 방법론

항공전자 장비는 전자부품들로 구성되어 있다. 하우징, 케이블, 커넥터 류의 부품들도 사용되고 있지만 해당 부품들은 장비를 보호하거나 보조적

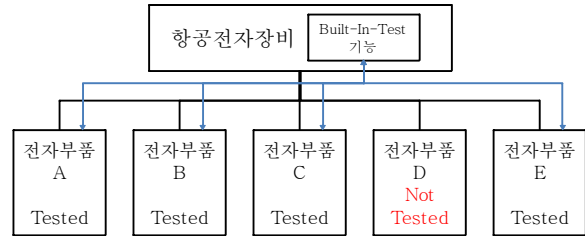


Fig. 1. Example of the avionics which has 5 electronics components

인 기능만을 수행하여 해당 부품에 대한 BIT 기능은 구현되지 않는다. 항공전자 장비의 경우 일반적으로 전자부품들에 의해 야기되는 고장을 탐지, 격리하기 위해 BIT 기능을 구현하며, BIT 성능분석 또한 전자부품들을 대상으로 한다.

Figure 1은 5개 전자부품으로 구성된 간략화된 항공전자 장비 사례를 나타내고 있다. 본 장비의 BIT 성능분석을 위해 FMECA를 활용할 수 있지만, 다음과 같은 방법으로도 BIT 성능분석을 수행할 수 있다.

$$\% \text{ 고장탐지율 (전자부품 수 데이터 사용)} = \frac{\text{Number of Detected Electronics Components}}{\text{Total Number of Electronics Components}} \times 100$$

$$\% \text{ 고장격리율 (전자부품 수 데이터 사용)} = \frac{\text{Number of Isolated Electronics Components}}{\text{Total Number of Electronics Components}} \times 100$$

Figure 1의 사례에서 장비레벨에서의 고장탐지율을 계산하면 장비를 구성하는 5개 부품 중 4개가 시험되고 고장이 탐지될 수 있으므로 고장탐지율은 80%가 된다. 본 방법은 항전장비의 고장모드를 고려할 필요 없이 항전장비를 구성하는 전자부품만을 대상으로 BIT 성능 파라미터를 계산한다. 해당 부품의 BIT 시험 여부는 BIT 설계자와 관련지식을 보유한 인원들이 검토회의를 통해 결정된다. 앞서 소개된 FMECA를 사용하는 방식은 FMECA 데이터를 도출하고, 도출된 각 고장에 대해 BIT로 시험되는지 판단하는 2단계 작업을 수행했지만, 본 방법은 한단계로 단순화되었다. 항공전자 장비를 구성하는 여러 전자부품들의 신뢰성은 동일하지 않다. 저항, 코일과 같은 수동소자들은 일반적으로 OP앰프나 IC등과 같은 능동소자에 비해 고장발생 확률이 낮다. OP앰프가 저항보다 10배 고장 발생 확률이 높다고 가정하면 OP앰프 고장을 탐지하지 못하는 BIT 성능이 저항 고장을 탐지하지 못하는 BIT 성능과 동일하다고 말하기 어렵다. 그러므로 정확한 BIT 성능분석을 위해 부품수를 사용하지

않고 전자부품의 고장률(Failure Rate: 이하 FR)을 사용하는 것이 바람직하다는 결론을 얻게 되었다. 고장율은 백만 시간 당 고장이 발생하는 횟수를 의미하며 신뢰성 지표로 널리 사용되는 MTBF(Mean Time Between Failure)의 역수 값이다. 고장율은 신뢰성 분석틀로서 업계에서 널리 사용되는 RELEX 소프트웨어를 활용하여 구할 수 있다. 고장율을 사용하여 BIT 성능분석식을 도출하면 다음과 같다.

$$\% \text{ 고장탐지율 (FR 데이터 사용)} = \frac{\text{Total FR} - \text{Total Undetected FR}}{\text{Total FR}} \times 100$$

$$\% \text{ 고장격리율 (FR 데이터 사용)} = \frac{\text{Total Detected FR} - \text{Total Unisolated FR}}{\text{Total Detected FR}} \times 100$$

위의 식에서 장비레벨의 고장탐지율과 고장격리율을 계산한다면 Total FR은 장비를 구성하는 모든 전자부품의 고장율 총합이고, Total Undetected FR은 BIT에 의해 고장이 탐지되지 않은 전자부품의 고장율 총합을 나타낸다. 고장격리율은 BIT가 탐지한 고장에 대해 해당 고장이 격리되는 비율을 나타내므로 Total FR 대신 Total Detected FR을 사용하여 계산한다. Total Unisolated FR은 BIT에 의해 고장이 격리되지 않는 장비내의 전자부품의 고장율 총합이다.

Figure 2는 고장율이 다른 전자부품으로 구성된 항공전자 장비 사례를 나타내고 있다. 각 부품의 고장율 값은 쉬운 계산을 위해 단순화 되었다. Fig.2의 사례에서 전체 고장율의 합은 5이고, BIT로 시험되지 않는 전자부품의 고장율 합은 0.5이므로 항공전자 장비의 고장탐지율을 계산하면 90%가 된다. 만일 BIT 시험이 각 전자부품의 고장율 모두 구분할 수 있다면 해당 BIT시험은 부품레벨에서 고장격리율이 100%가 된다. 하지만 BIT에서 항공전자 장비를 구성하는 모든 부품을 독립적으로 시험하고 고장을 격리하는 것은

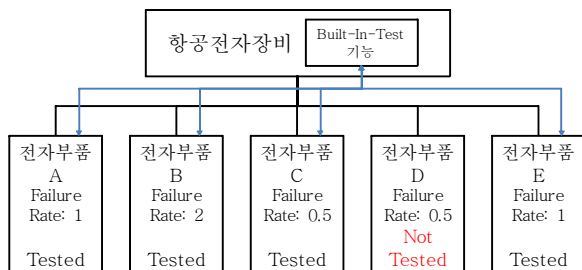


Fig. 2. Example of the avionics which has component failure rate

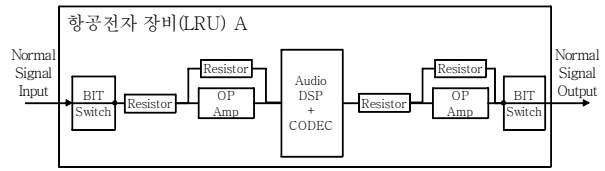


Fig. 3. Example of avionics with analog input and analog output

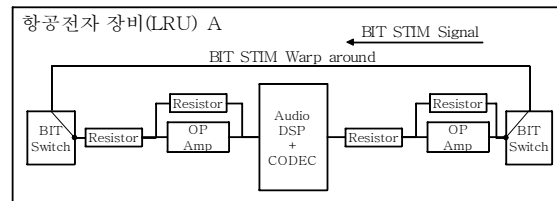


Fig. 4. Example of BIT to test analog input and analog output

불가능하며 일반적으로 장비레벨에서 고장을 식별한다.

Figure 3은 OP앰프, 저항, CODEC 내장 AudioDSP로 이루어진 간략화 된 아날로그 입출력 회로를 나타내고 있다. 정상 모드 동작에서는 AudioDSP에서 생성된 디지털 신호가 내부 CODEC을 거쳐 아날로그 신호로 출력되고, 외부에서 입력된 아날로그 신호는 OP앰프를 통해 증폭되고 AudioDSP에서 처리된다.

Figure 3의 아날로그 입출력 회로를 시험하기 위해 Fig. 4와 같이 Wraparound 신호경로를 형성하고 BIT STIM 이라고 하는 일정레벨의 Sine파 신호를 AudioDSP에서 생성하여 아날로그 출력회로를 통해 내보내고 다시 읽는 방법을 사용한다. 본 시험을 통해 항전장비 A를 구성하는 모든 전자부품들을 동시에 시험한다. Fig. 4의 회로에서 어떤 전자부품에 고장이 발생되면 BIT STIM 신호 값이 원하는 기대값을 벗어나게 되어 고장이 탐지된다. 이 경우 전자부품의 고장은 탐지되지만 고장난 부품을 회로 상에서 정확히 찾아서 격리하지 못한다. 즉 부품레벨에서의 고장격리는 불가능한 것인데, BIT 성능 요구도가 높은 항공전자 장비의 경우에도 통상 장비레벨에서의 높은 BIT 고장격리율만을 요구하고 있다. Fig. 4의 사례를 보면 BIT 기능이 장비 A 내에서 작동한다. 그러므로 BIT가 고장을 탐지 시 최소한 장비 A 고장이라는 것을 판단할 수 있으며 장비레벨의 고장격리율은 100%라고 말할 수 있다[6,7].

2.1.4 전자부품 기반 BIT 성능분석 고려사항

항공전자 장비를 구성하는 전자부품들을 분석한 결과 일부 전자부품들은 비행안전에 영향을

미치지 않는 것으로 확인되었다. 장비 형상 식별을 위해 사용되는 Signature Resistor나 장비 개발 및 정비에만 사용되는 JTAG Interface 구성 Pull-Up Resistor, Test Point Isolation Resistor들은 실제 임무 기능에 사용되지 않으며, JTAG 동작 시 로직상태를 명확히 하거나 시험장비를 통해 잘못 유입될 수 있는 노이즈나 충격전압을 차단하는 역할을 수행한다. 이에 해당부품들을 시험하기 위한 BIT 기능은 구현할 필요가 없으며, 해당부품들의 고장율은 BIT 성능분석에서 제외하는 것이 정확한 BIT 성능분석을 위해 반드시 필요하다. 그러므로 고장탐지율 및 고장격리율 계산을 위한 공식은 최종적으로 아래와 같이 도출되었다.

$$\% \text{ 고장탐지율 (FR을 사용한 최종 도출 공식)} = \frac{\text{Total FR} - \text{Total Excluded FR} - \text{Total Undetected FR}}{\text{Total FR} - \text{Total Excluded FR}} \times 100$$

$$\% \text{ 고장격리율 (FR을 사용한 최종 도출 공식)} = \frac{\text{Total Detected FR}^* - \text{Total Unisolated FR}}{\text{Total Detected FR}^*} \times 100$$

$$\text{Total Detected FR}^* = (\text{Total FR} - \text{Total Excluded FR} - \text{Total Undetected FR})$$

Total Excluded FR은 비행안전에 영향을 미치지 않는 전자부품들의 고장을 총합으로 분자와 분모항에 모두 사용되어 해당부품의 고장율은 BIT 성능분석에서 빠지게 된다.

단일 전자부품에 여러 종류의 고장이 발생 가능하며 이를 전자부품의 고장모드로 정의한다.

Table 2는 세라믹 Capacitor의 고장모드를 나타내고 있다. 모든 전자부품 고장모드 정보는 FMD-91 Failure Mode/Mechanism Distributions 문서에서 획득 가능하다. Table 3은 FMD-91 문서에 기술된 주요 전자부품의 고장모드와 고장 발생 비율을 나타내고 있다.

앞서 언급한 Signature Resistor와 Test Point Isolation Resistor들은 해당 부품에 어떤 종류의 고장이 발생되어도 항공기 비행안전에 영향을 미치지 않으므로 단순히 부품 고장율을 계산에서 제외하였다. 비행안전에 영향을 미치는 전자부품

Table 2. Example of capacitor failure mode

전자부품 종류	고장모드 (Failure Mode)	고장발생 비율	참고문서
Capacitor	Short	0.49	FMD-91
	Change of Value	0.29	
	Open	0.22	

Table 3. Example of electronics component failure mode

Device Type	Failure Mode	Failure Mode Probability
Capacitor, Ceramic	Short	0.49
	Change of Value	0.29
	Open	0.22
Coil	Short	0.42
	Open	0.42
	Change of Value	0.16
Microcircuit, Digital, MOS	Input Open	0.36
	Output Open	0.36
	Supply Open	0.12
	Output Stuck Low	0.09
	Output Stuck High	0.08
...

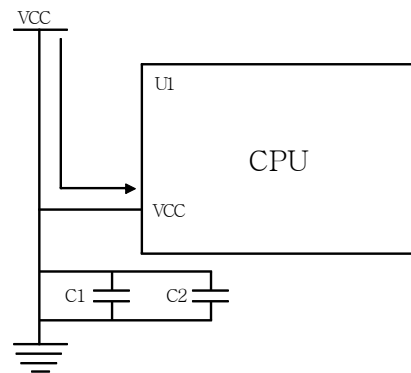


Fig. 5. Example of circuit with CPU and capacitor

의 고장모드와 비행안전에 대한 상세한 영향성을 추가 분석한 결과, 전자부품의 사용 방법에 따라 해당부품에 발생 가능한 여러 고장모드 중 특정 고장모드만이 항공기 비행안전에 영향을 미치는 경우도 있음을 확인하였다.

Figure 5는 CPU와 Capacitor로 구성된 간략화된 회로 사례를 나타내고 있다. CPU U1은 VCC 파워를 공급받아 작동한다. Capacitor C1과 C2는 병렬로 연결되어 CPU에 공급되는 VCC 파워 안정화 및 노이즈를 제거하는 역할을 수행한다. 실제회로에서는 Capacitor가 수십 개 사용되는 경우가 많다.

Figure 6은 Capacitor C1에 Short 고장이 발생하는 상황을 설명하고 있다. Short 발생 시 CPU에 공급될 VCC 파워는 C1을 통해 Ground로 모두 흘러 CPU 동작에 영향을 미치게 되고 최종적으로 항공기 비행안전에도 영향을 미치게 된다.

Figure 7은 Capacitor C1에 Open 고장이 발생하는 상황을 나타내고 있다. 실제회로에서는 많

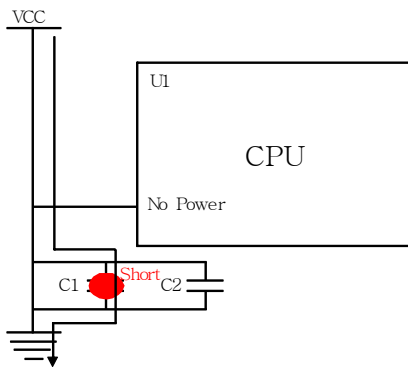


Fig. 6. Example of capacitor C1 short failure

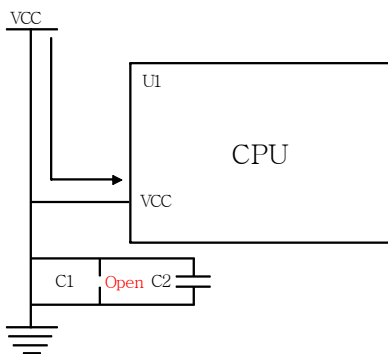


Fig. 7. Example of capacitor C1 open failure

은 Capacitor가 병렬로 사용되므로 한 개 Capacitor Open에 대한 CPU 동작의 영향성은 무시 가능한 수준이며, 이 경우 항공기 비행안전에도 영향을 미치지 않는다. 그러므로 해당고장 모드에 대한 고장율은 BIT 성능분석에서 제외되어야 한다. Open 고장에 대한 고장율은 Capacitor C1 고장율에서 Table 3에 언급된 Open 고장모드의 Failure Mode Probability를 곱해서 계산할 수 있다.

위의 사례에서는 Capacitor Open 고장이 항공기 비행안전에 영향을 미치지 않지만, 동일 종류의 Capacitor가 아날로그 입출력 신호 경로에서 DC 차단용 Capacitor로 사용될 경우에는 반대로 Short 고장이 비행안전에 영향을 미치지 않을 수 있다. 그러므로 전자부품고장모드에 대한 비행안전 영향성 분석은 회로분석과 병행하여 이루어져야 한다[8].

2.2 BIT Demo를 통한 검증

2.1절에서 기술한 전자부품 기반 BIT 성능분석 방법을 적용하여 개발 중인 항공전자 장비의 BIT 성능분석을 수행한 결과 98.2% 고장탐지율을 가지는 것으로 계산 되었다. 해당 장비의 고장탐지율 요구도는 98%이므로 요구사항을 충족

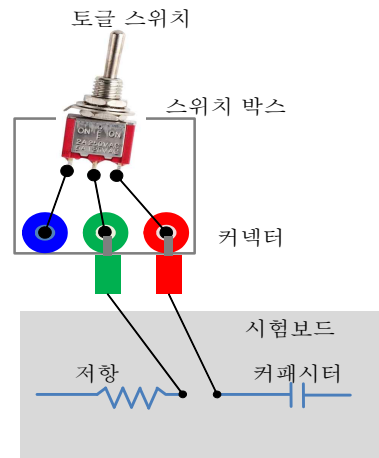


Fig. 8. Failure injection tool

시켰다고 판단할 수 있으나, 계산된 결과가 실제 BIT 성능에 부합하는지 검증하기 위해 BIT Demo를 수행하였다.

요구도를 만족시키기 위해서는 선정된 총 58개 고장 주입 항목에 대해 고장이 정확히 탐지되지 않거나, 고장이 정확히 격리되지 않는 항목이 1개를 넘어서는 안된다.

BIT Demo를 위해 실제 하드웨어 고장을 주입하였으며 Fig. 8과 같은 고장 주입 스위치 박스를 활용하였다. 토글 스위치 ON, OFF에 따라 신호 경로가 Open, Short 되므로 전자부품의 고장을 묘사할 수 있다.

고장 주입을 위한 시험 포인트 선정 시 BIT 성능분석에서 항공기 비행안전에 영향을 미치지 않는 것으로 분류한 전자부품을 제외한 모든 전자부품에 대해, 고장율이 높은 부품을 우선으로 선정하였으며, 선정된 부품의 고장모드를 고려하여 항공기 비행안전에 영향을 미치는 모드만을 선택하여 고장을 주입하였다.

BIT Demo 수행 결과 BIT 성능분석에서 고장 탐지 및 격리가 되지 않는 것으로 예상된 1개 경우를 제외한 나머지 57개 경우에서 성공적으로 고장 탐지 및 격리가 됨을 확인하였으며 전자부품 기반의 BIT 성능분석의 유효성을 확인하였다.

III. 결 론

본 논문에서는 FMECA를 사용한 BIT 성능분석을 대신할 수 있는 전자부품 기반의 BIT 성능분석 방법론을 소개하였다. 본 방법론은 장비를 구성하는 모든 전자부품에 대해 BIT 시험여부를 검토하여 BIT 성능분석을 수행하므로 정확하며 FMECA 데이터 오류에 의한 BIT 성능분석 오류

를 사전에 방지할 수 있다.

항공기 비행안전에 영향을 미치지 않는 전자부품 및 전자부품 고장모드에 대해 불필요한 BIT를 구현하거나 해당 부품의 고장율을 BIT 성능분석에 포함하여 잘못된 분석결과를 초래하지 않도록 실제 개발 사례를 소개하였다.

전자장비를 구성하는 수천개 또는 수만개의 부품에 대해 BIT 시험여부를 검토하는 본 방법은 많은 시간과 노력이 소요되어 신속한 개발을 요구하는 상용전자장비에는 적합하지 않을 것으로 판단되지만, 개발 기간이 비교적 길며 안전 및 정확한 BIT 성능분석을 최우선시 하는 항공 전자 장비에 적용 시 다른 BIT 분석방법 보다 정확한 분석결과를 제공하여 항공기 비행안전을 향상 시킬 수 있을 것으로 판단된다.

References

- 1) M. Pecht, M. Dube, and M. Natishan, "Evaluation of Built-In Test," IEEE Transactions on Aerospace and Electronics Systems, Vol. 37, No. 1, Jan. 2001
- 2) Sung-Woo Kim, Byoung-Hwa Lee, Won-Hong Chang, and Woo-Seop Oh, "Design and Verification of Built In Test for KUH," J. of The Korean Society for Aeronautical and Space Sciences, Vol. 40, No. 7, 2012, pp. 623~628.
- 3) Wg Cdr Nikhil Verma, and Md. Easir Arafat Papon, "A Study of Reliability and Failure Rate for Comparing BIT and non-BIT maintenance cycles in AONA," International Journal of Emerging Technology and Advanced Engineering, Vol. 3, Issue 2, Feb. 2013.
- 4) Posenthal, D., and Wadell, B. C., "Predicting and eliminating built-in test false alarms," IEEE Transactions on Reliability, Oct. 1990, pp.500~505.
- 5) Sheppard J. W., and W. R. Simpson, "Applying Testability Analysis for Integrated Diagnostics," IEEE Design and Test of Computer, Vol. 9, No. 3, Sep. 1992, pp.65~78.
- 6) McCluskey, E. J., "Built-In Self-Test Structures," Design & Test of Computer, IEEE, Vol. 2, Issue 2, July. 2007, pp.29~36.
- 7) Jeffrey Smith, and Duane Lowenstein, "Built in Test Coverage and Diagnostics: Best Practices to Achieve Built in Test Success," Autotestcon, 2009 IEEE, Sep. 2009, pp.169~172.
- 8) Bagwe, A. and Parekhji, R. A., "Functional testing and fault analysis based fault coverage enhancement techniques for enhancement techniques for embedded core based systems," Test Symposium, 2000, Dec. 2000, pp.260~266.