

## Power IC용 저면적 Differential Paired eFuse OTP 메모리 설계

박헌, 이승훈, 진교홍, 하판봉, 김영희\*

### Deign of Small-Area Differential Paired eFuse OTP Memory for Power ICs

Heon Park, Seung-Hoon Lee, Kyo-Hong Jin, Pan-Bong Ha, Young-Hee Kim\*

**요약** 본 논문에서는 Power IC용 저면적 32비트 differential paired eFuse OTP 메모리를 설계하였다. OTP 메모리 셀 어레이에서 행의 개수가 열의 개수보다 더 작은 경우 eFuse 링크의 프로그램 전류를 공급하는 SL (Source Line) 구동 라인을 열 방향으로 라우팅하는 대신 행 방향으로 라우팅하므로 레이아웃 면적을 많이 차지하는 SL 구동회로의 수를 줄이는 differential paired eFuse 셀 어레이 방식과 코어 회로를 제안하였다. 그리고 blowing되지 않은 eFuse 링크가 EM (Electro-Migration) 현상에 의해 blowing되는 불량을 해결하기 위해 RWL (Read Word-Line) 구동 회로와 BL (Bit-Line) 풀-업 부하회로에 V2V (=2V±0.2V)의 regulation된 전압을 사용하였다. 설계된 32비트 eFuse OTP 메모리의 레이아웃 면적은 228.525 $\mu$ m × 105.435 $\mu$ m으로 기존의 셀 어레이 라우팅을 이용한 IP 크기인 197.485 $\mu$ m × 153.715 $\mu$ m 보다 20.7% 더 작은 것을 확인하였다.

**Abstract** In this paper, a small-area 32-bit differential paired eFuse OTP memory for power ICs is designed. In case of smaller number of rows than that of columns for the OTP memory cell array, a scheme for the cell array reducing the number of SL driver circuits requiring their larger layout areas by routing the SL (source line) lines supplying programming currents for eFuse links in the row direction instead of the column direction as well as a core circuit is proposed. In addition, to solve a failure of being blown for non-blown eFuse links by the electro-migration phenomenon, a regulated voltage of V2V (=2V±0.2V) is used to a RWL (read word line) driver circuit and a BL (bit line) pull-up driver circuit. The layout size of the designed 32-bit eFuse OTP memory is 228.525 $\mu$ m × 105.435 $\mu$ m, which is confirmed to be 20.7% smaller than that of the counterpart using the conventional cell array routing, namely 197.485 $\mu$ m × 153.715 $\mu$ m.

**Key Words** : Differential paired eFuse, power IC, reliability, small area, OTP memory

#### 1. 서론

Power IC는 아날로그 트리밍 기능을 수행하기 위해 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 소용량의 eFuse OTP (electrical Fuse One-Time Programmable) 메모리가 많이 사용되고 있으며, 메모리 용량은 수 십 비트 정

도가 사용된다[1]. eFuse OTP 메모리는 eFuse에 수 십 mA의 과전류를 흘려 eFuse 링크를 blowing하여 프로그램 한다[2][3].

eFuse OTP 메모리는 다음과 같은 특징을 갖는 설계가 요구된다. (1) 기준전압 회로를 사용하지 않고도 프로그램된 eFuse 링크의 센싱 저

This work was supported by the Industrial Core Technology Development Program(10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded By the Ministry of Trade, industry & Energy

\*Corresponding Author : Department of electronic engineering Professor of Changwon university (youngkim@changwon.ac.kr)

Received april 2, 2015

Revised april 8, 2015

Accepted april 10, 2015

항이 수 kΩ으로 작은 OTP 셀 회로 설계[4]. (2) 저면적 OTP 코어 회로 설계[5]. (3) 프로그램되지 않은 eFuse 링크가 큰 read 전류에 의해 blowing되는 것을 방지하는 회로[5]. (4) 데이터 retention 시간동안 프로그램된 eFuse 링크의 저항이 줄었을 때 센싱 불량이 발생하지 않도록 하는 설계[6][7]. (5) eFuse OTP 메모리가 정상적으로 프로그램 되었는지 패키지(package) 상태에서 테스트가 가능하도록 설계[8].

본 논문에서는 기준전압 회로를 사용하지 않고도 프로그램된 eFuse 링크의 센싱 저항이 작은 OTP 셀인 differential paired eFuse OTP 셀을 사용하였다. 그리고 OTP 메모리 셀 어레이에서 행의 개수가 열의 개수보다 더 작은 4행 × 8열인 경우 eFuse 링크의 프로그램 전류를 공급하는 SL (Source Line) 구동 라인을 열 방향으로 라우팅하는 대신 행 방향으로 라우팅하므로 레이아웃 면적을 많이 차지하는 SL 구동회로의 수를 8개에서 4개로 줄이는 Differential Paired eFuse 셀 어레이 방식과 코어 회로를 제안하였다. 그리고 수 백 μA 이상의 큰 전류에 의해 blowing되지 않은 eFuse 링크가 EM (Electro-Migration) 현상에 의해 blowing되는 불량을 해결하기 위해 RWL (Read Word-Line) 구동 회로와 BL (Bit-Line) 풀-업부하회로에 V2V (=2V±0.2V)의 regulation된 전압을 사용하였다.

## 2. 회로설계

Magnachip 0.18μm GF-ACL 공정을 이용하여 설계한 32비트 eFuse OTP 메모리의 주요 특징은 다음과 같다. 셀 어레이는 4행 × 8열로 구성되어 있다. eFuse OTP 셀은 듀얼 포트 eFuse OTP 셀에 비해 프로그램된 eFuse 링크의 센싱 저항이 작은 differential paired eFuse OTP 셀을 사용하였으며, eFuse 링크는 n-polysilicon eFuse보다 blowing이 잘 되는 p-polysilicon (Co-silicide)을 사용하였다. 동작모드는 프로그램 모드, read 모드와 program-verify-read 모드

가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 read 비트는 각각 1비트, 8비트이고 프로그램 시간은 200μs이다. 사용되는 전원전압은 VDD의 단일전원이 사용된다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 과위를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 2.3~5.5V가 사용된다. V2V는 Power IC에서 voltage regulator에 의해 regulation된 전압이다. 설계에 사용된 소자는 5V MOS 트랜지스터만 사용하였다.

표 1. 32비트 eFuse OTP IP의 주요 특징.

Table 1. Major specifications of a 32-bit eFuse OTP memory IP.

Items	Main Features
Process	MX 0.18μm GF-ACL Process
OTP Cell Array Size	4R × 8C
Fuse Type	p-poly (Co-silicide)
Supply Voltage (VDD)	2.3V~5.5V
Temperature Range	-40℃ ~ 150℃
Operating Mode	Program / Program-Verify-Read / Normal Read
Program bit/Read bit	1bit/8bit
Program Voltage	VDD = 5.5V
Program Time	200 μs
Access Time	200 ns

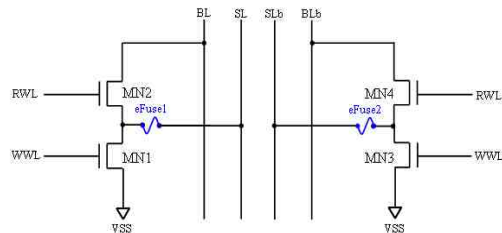


그림 1. 2D 어레이가 가능한 기존의 differential paired eFuse 셀 회로도.

Fig. 1. The conventional differential paired eFuse cell circuit which can be routed in the two-dimension array.

기존의 differential paired eFuse OTP 셀[9]은 그림 1에서 보는바와 같으며, row decoding과 column decoding된 신호가 필요하다. 기존의 differential paired eFuse OTP 셀에 사용되는

소자는 2개의 프로그램 트랜지스터 (MN1과 MN3), 2개의 read 트랜지스터 (MN2와 MN4)와 2개의 eFuse (eFuse1과 eFuse2)가 있다.

표 2는 기존의 2D array가 가능한 differential paired eFuse OTP 셀의 동작 모드별 바이어스 전압 테이블이다. 프로그램 모드에서 RWL은 0V로 유지되어 read NMOS 트랜지스터를 OFF 시킨다. 그리고 선택된 WWL은 VDD (=5.5V)로 활성화되는 반면, 선택되지 않은 WWL은 0V를 유지하므로 OTP 셀의 eFuse 링크는 프로그램 전류가 흐르지 않으므로 blowing되지 않는다. 한편 column decoding에 의해 선택되지 않은 셀의 SL과 SLb는 0V로 유지되는 반면, 선택된 셀의 SL과 SLb는 DIN이 '0'인 경우는 0V와 VDD, DIN이 '1'인 경우는 VDD와 0V로 구동된다. 프로그램 모드에서 DIN이 '0'인 경우는 선택된 셀의 BLb에 연결된 eFuse2가 blowing되고, DIN이 '1'인 경우는 BL에 연결된 eFuse1이 blowing된다.

표 2. 기존의 differential paired eFuse OTP 셀의 동작 모드에 따른 셀 노드별 바이어스 전압.

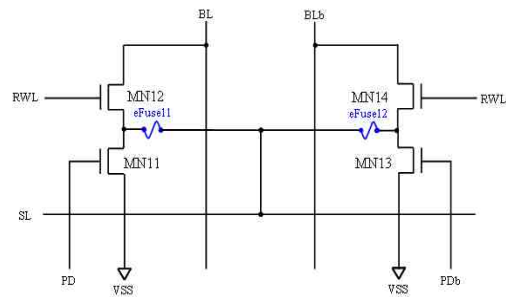
Table 2. Cell node bias voltages according to the operational modes of the conventional differential paired eFuse OTP memory cell.

		PROGRAM MODE				READ MODE	
		Selected Column		Unselected Column			
RWL	Selected	0V	0V	0V	0V	VDD	VDD
	Unselected	0V	0V	0V	0V	0V	0V
WWL	Selected	VDD	VDD	VDD	VDD	0V	0V
	Unselected	0V	0V	0V	0V	0V	0V
DIN		0	1	0	1	X	X
SL		0V	VDD	0V	0V	0V	0V
SLb		VDD	0V	0V	0V	0V	0V
BL		Floating	Floating	Floating	Floating	0V	VDD
BLb		Floating	Floating	Floating	Floating	VDD	0V
eFuse1		Unblown	Blown	Unblown	Unblown	Unblown	Blown
eFuse2		Blown	Unblown	Unblown	Unblown	Blown	Unblown

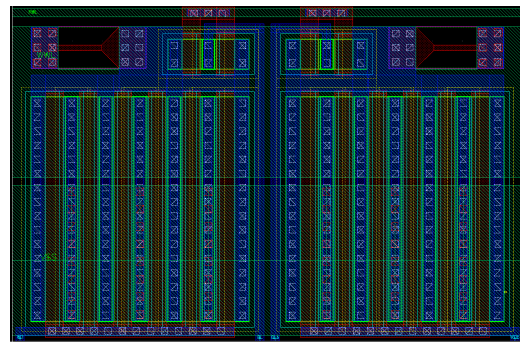
32비트 eFuse OTP 메모리 설계에 사용된 기존의 differential paired eFuse OTP 셀의 회로도는 그림 1에서 보는바와 같이 BL과 BLb, SL과 SLb는 모두 열 방향으로 향하고 있다. 그런

데 기존의 differential paired eFuse OTP 셀을 이용한 4행 × 8열을 갖는 eFuse OTP 메모리는 eFuse를 blowing시키기 위해 큰 프로그램 전류를 공급해주는 SL 구동회로를 매 열마다 배치하므로 8개의 SL 구동회로가 차지하는 레이아웃 면적이 큰 문제점이 있다.

그래서 본 논문에서는 행의 개수가 열의 개수보다 작은 셀 어레이를 갖는 differential paired eFuse OTP IP 설계에서 SL 구동 라인을 열 방향으로 라우팅하는 대신 행 방향으로 라우팅하므로 레이아웃 면적을 많이 차지하는 SL 구동회로의 수를 줄이는 셀 어레이 방식을 새롭게 제안하였다. 그림 2(b)는 제안된 differential eFuse OTP 셀의 레이아웃 이미지이며, 셀 사이즈는  $17.02\mu\text{m} \times 11.26\mu\text{m}$  (=191.6452 $\mu\text{m}^2$ )이다.



(a)



(b)

그림 2. 새롭게 제안된 differential paired eFuse 셀 (a) 회로도 (b) 레이아웃 이미지.

Fig. 2. Newly proposed differential paired eFuse OTP memory cell: (a) circuit and (b) layout image.

표 3은 제안된 differential paired eFuse OTP

셀의 동작 모드별 바이어스 전압 테이블이다. 프로그램 모드에서 RWL은 0V로 유지되어 read NMOS 트랜지스터를 OFF시킨다. 그리고 선택된 SL은 VDD (=5.5V)로 활성화되는 반면, 선택되지 않은 SL은 0V를 유지하므로 OTP 셀의 eFuse 링크는 프로그램 전류가 흐르지 않으므로 blowing되지 않는다. 한편 column decoding에 의해 선택되지 않은 셀의 PD와 PDb는 0V로 유지되는 반면, 선택된 셀의 PD와 PDb는 DIN이 '0'인 경우는 0V와 VDD, DIN이 '1'인 경우는 VDD와 0V로 구동된다. 프로그램 모드에서 DIN이 '0'인 경우는 선택된 셀의 BLb에 연결된 eFuse12가 blowing되고, DIN이 '1'인 경우는 BL에 연결된 eFuse11이 blowing된다.

표 3. 제안된 differential paired eFuse OTP 셀의 동작 모드에 따른 셀 노드별 바이어스 전압.

Table 3. Cell node bias voltages according to the operational modes of the proposed differential paired eFuse OTP memory cell.

		PROGRAM MODE				READ MODE	
		Selected Column		Unselected Column			
RWL	Selected	0V	0V	0V	0V	VDD	VDD
	Unselected	0V	0V	0V	0V	0V	0V
SL	Selected	VDD	VDD	VDD	VDD	0V	0V
	Unselected	0V	0V	0V	0V	0V	0V
DIN		0	1	0	1	X	X
PD		0V	VDD	0V	0V	0V	0V
PDb		VDD	0V	0V	0V	0V	0V
BL		Floating	Floating	Floating	Floating	0V	VDD
BLb		Floating	Floating	Floating	Floating	VDD	0V
eFuse11		Unblown	Blown	Unblown	Unblown	Unblown	Blown
eFuse12		Blown	Unblown	Unblown	Unblown	Blown	Unblown

설계된 32비트 eFuse OTP 메모리의 블록도는 그림 3에서 보는 바와 같이 4행 × 8열의 OTP 셀 어레이, 제어 신호 (RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어 신호를 공급하는 제어 로직, 어드레스 A[4:3]을 디코딩하여 4개의 행 중 하나를 구동해주는 row driver, 열 어드레스 A[2:0]를 디코딩하여 8개의 열 중 프로그램 되는 한 열을 선택해주는 PD driver 회로, BL의 데이터를 읽어내기 위한

DOUT buffer, 그리고 PD latch 회로에 래치된 데이터와 DOUT 버퍼의 읽어낸 데이터가 일치하는지 비교해주는 Compare 회로로 구성되어 있다.

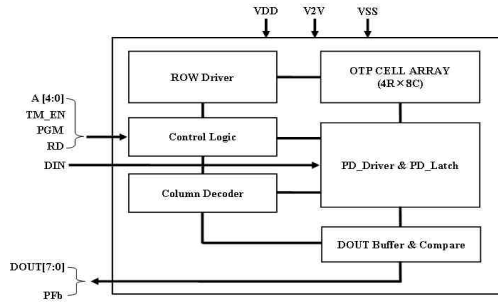


그림 3. 32비트 eFuse OTP 메모리의 블록도.

Fig. 3. Block diagram of the 32-bit eFuse OTP memory.

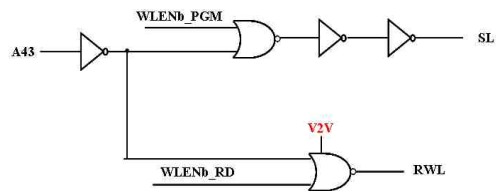


그림 4. 제안된 Row Driver 회로.

Fig. 4. Proposed row driver circuit.

그림 4의 제안된 Row Driver 회로는 프로그램 모드로 진입하게 되면 WLENb\_PGM 신호가 0V가 되며, 행 어드레스인 A[4:3]을 디코딩하여 선택되는 SL만 VDD 전압으로 구동되고 선택되지 않은 SL은 0V를 유지한다. 이때 WLENb\_RD 신호는 프로그램 모드에서 VDD를 유지하므로 RWL은 0V를 유지한다. 그리고 read 모드와 program-verify-read 모드에서 선택된 RWL은 V2V (=2V±0.2V)로 구동되고 선택되지 않은 RWL은 0V를 유지한다. Power IC는 2.3V~5.5V의 넓은 동작 전압 범위를 갖도록 eFuse OTP를 설계해야 한다. 그렇게 설계하기 위해서는 5.5V의 VDD에서 프로그램되지 않은 eFuse 셀을 read할 때 blowing되지 않은 eFuse를 통해 큰 전류가 흐르는 것을 방지하므로 EM (Electro-Migration)에 의해 blowing되는 현상을 막아야 한다. 그렇게 하기 위해서는 RWL의 activation 전압

과 BL 풀-업 부하 회로의 전압을 VDD 대신 V2V를 사용하여야 한다.

그림 5는 제안된 BL pull-up load 회로로 normal read mode에서 BL 프리차지(precharge) 신호인 BL\_PCG 신호에 의해 BL과 BLb는 0V로 프리차지 된다. OTP 셀의 RWL 신호가 V2V로 활성화되면 BL\_LOADb 신호가 0V인 구간 동안 큰 채널 폭을 갖는 풀-업 부하 트랜지스터(MP1과 MP2)에 의해 BL과 BLb는 V2V로 풀-업 된다. 이때 program-verify-read 모드용 작은 채널 폭을 갖는 풀-업 트랜지스터(MP3와 MP4)는 OFF 상태에 있다. 그리고 그림 5의 모든 풀-업 부하 트랜지스터는 high-impedance를 유지하도록 설계되었다. 그런데 풀-업 트랜지스터의 임피던스가 크기 때문에 프로그램 되지 않은 eFuse에 연결된 BL은 0V를 유지하는 반면, 프로그램 된 eFuse에 연결된 BL은 V2V로 풀-업 된다. 프로그램 되지 않은 eFuse 셀을 read하는 경우 BL의 프리차지 전압인 V2V 전압은 read NMOS 트랜지스터와 eFuse 링크를 통해 GND로 방전 된다.

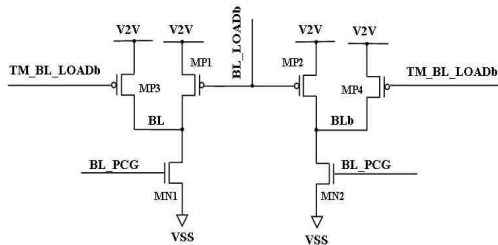


그림 5. 제안된 BL 풀-업 부하 회로.  
Fig. 5. Proposed BL pull-up driver circuit.

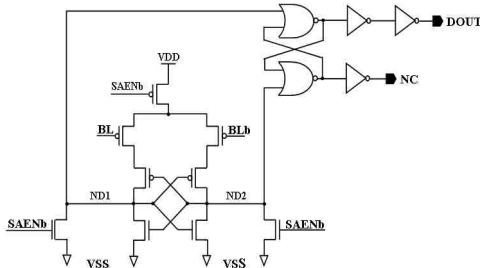


그림 6. 설계된 BL S/A 회로도.  
Fig. 6 Designed BL S/A circuit.

그림 6의 BL S/A (Sense Amplifier) 회로는 차동 입력 전압 (differential input voltage)을 센싱하여 래치하는 negative edge triggered D F/F이다[4].

그림 7의 PD Driver 회로는 프로그램 모드에서 행 어드레스인 A[2:0]를 디코딩하여 프로그램 되는 열의 DL (Data Latch) 신호만 VDD 전압을 공급한다. 선택되는 열의 PD (Program Data)와 PDb (PD bar)는 DIN이 VDD인 경우 VDD와 0V 전압을 공급하고, DIN이 0V인 경우 0V와 VDD 전압을 공급한다. 한편 프로그램 되지 않는 열의 PD와 PDb는 0V를 유지한다. 그리고 읽기 모드에서는 IPGM 신호가 0V이므로 PD와 PDb는 0V를 구동하도록 한다.

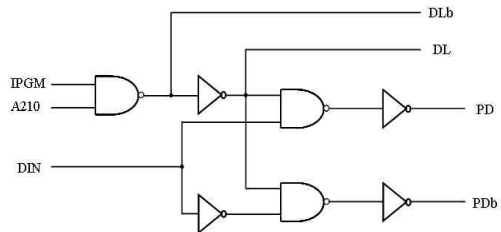


그림 7. 제안된 PD 구동회로.  
Fig. 7. Proposed PD driver circuit.

일반적으로 eFuse OTP 셀은 프로그램된 eFuse 링크의 저항이 data retention 시간동안 eFuse 저항이 줄어드는 경우에 센싱 불량 발생될 수 있다. 그래서 프로그램된 eFuse 저항의 변동을 고려한 가변 풀-업 부하를 갖는 센싱 마진 테스트 회로가 제안되었으며, 본 논문에서도 가변 풀-업 부하 회로를 이용한 센싱 마진 테스트 수행하는 동시에 dynamic pseudo NMOS 로직회로를 이용하여 프로그램 데이터와 read 데이터가 일치하는지 비교하는 program-verify-read 모드를 지원하도록 설계하였다.

### 3. 모의실험 및 레이아웃 결과

그림 8은 32비트 differential paired eFuse OTP 메모리에 대한 프로그램 모드에서의 모의 실험 결과이다. A[4:0]를 먼저 인가한 상태에서 PGM 신호가 활성화 되면 DIN이 '0'인 경우 그림 8(a)에서 보는바와 같이 선택된 eFuse OTP 셀의 SL과 PD는 모두 high가 되어 그림 2(a)의 MN13이 ON되어 큰 프로그램 전류가 eFuse12를 통해서 흐르면서 blowing된다. 반면 DIN이 '1'인 경우 선택된 eFuse OTP 셀의 SL과 PD 신호는 모두 high가 되어 그림 2(a)의 eFuse11이 blowing된다.

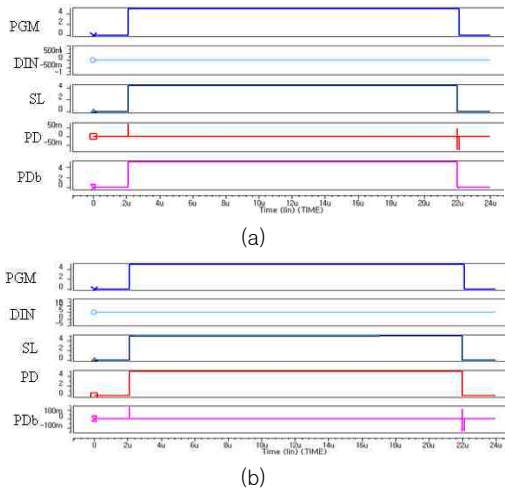


그림 8. 프로그램 모드에서의 모의실험 결과 (a) DIN이 '0'인 경우 (b) DIN이 '1'인 경우.  
Fig. 8. Simulation results in the program mode: (a) in case of DIN='0' and (b) in case of DIN='1'.

그림 9는 32비트 eFuse OTP에 대한 read mode에서의 모의실험 결과 파형이다. RD 신호가 활성화 되면 RWL 신호가 high로 되고, BL/BLb에 eFuse OTP 셀의 데이터가 전달된 뒤 SAENb 신호에 의해 셀의 데이터는 센싱되어 DOUT 포트에 출력된다. VDD=2.3V, V2V=1.8V, Slow Model Parameter, Temp=15 0°C의 모의실험 조건에서 tAC (access time)은

1756ns이다.

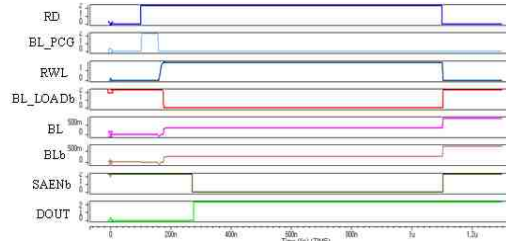


그림 9. Read 모드에 '0'로 프로그램된 경우의 모의실험 결과.  
Fig. 9. Simulation result in case of being programmed with '0' in the read mode.

설계된 32비트 eFuse OTP에서 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과는 다음과 같다. Differential paired eFuse OTP의 program-verify-read 모드와 read 모드에서 프로그램된 eFuse 센싱 저항은 각각 11kΩ, 4kΩ으로 모의실험 되었다.

표 4. 프로그램된 eFuse 링크의 저항에 대한 모의실험결과 (a) program-verify-read mode (b) normal read mode.  
Table 4. Simulation results for the resistances of programmed eFuse links: (a) in the program-verify-read mode and (b) in the normal read mode.

(a)

VDD	V2V	Temp	SS model	SF model	TT model	FS model	FF model
5.5V	2.2V	-40°C	5K	3K	4K	5K	3K
		25°C	6K	4K	4K	5K	3K
		150°C	5K	4K	4K	5K	3K
5.5V	1.8V	-40°C	11K	6K	8K	10K	6K
		25°C	10K	6K	6K	9K	5K
		150°C	9K	5K	7K	8K	5K
2.3V	2.2V	-40°C	5K	3K	4K	5K	3K
		25°C	6K	4K	4K	5K	3K
		150°C	5K	4K	4K	5K	3K
2.3V	1.8V	-40°C	11K	6K	8K	10K	6K
		25°C	10K	6K	7K	9K	5K
		150°C	9K	5K	7K	8K	5K

(b)

VDD	V2V	Temp	SS model	SF model	TT model	FS model	FF model
5.5V	2.2V	-40℃	3K	2K	2K	2K	2K
		25℃	3K	2K	2K	2K	2K
		150℃	2K	2K	2K	2K	2K
5.5V	1.8V	-40℃	4K	2K	3K	4K	2K
		25℃	4K	2K	3K	4K	2K
		150℃	4K	2K	3K	4K	2K
2.3V	2.2V	-40℃	3K	2K	2K	2K	2K
		25℃	2K	2K	2K	2K	2K
		150℃	2K	1K	2K	2K	2K
2.3V	1.8V	-40℃	2K	2K	3K	4K	2K
		25℃	4K	2K	3K	4K	2K
		150℃	3K	2K	3K	4K	2K

매그나칩 반도체 0.18 $\mu\text{m}$  공정을 이용하여 설계된 32비트 eFuse OTP 메모리의 레이아웃 면적은  $228.525\mu\text{m} \times 105.435\mu\text{m}(=0.0241\text{mm}^2)$ 으로 기존의 셀 어레이 라우팅을 이용한 IP 크기인  $197.485\mu\text{m} \times 153.715\mu\text{m}(=0.0304\text{mm}^2)$ 보다 20.7% 더 작은 것을 확인하였다. 그림 10은 설계된 32비트 eFuse OTP 메모리의 레이아웃 이미지를 보여주고 있다.

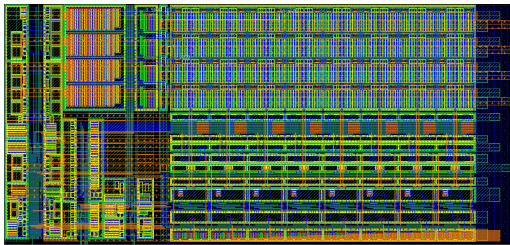


그림 10. 설계된 32비트 eFuse OTP 메모리의 레이아웃 이미지.

Fig. 10. Layout image of the designed 32-bit eFuse OTP memory.

#### 4. 결 론

Power IC는 아날로그 트리밍 기능을 수행하기 위해 추가 공정이 필요 없는 eFuse OTP를 필요로 한다.

본 논문에서는 기준전압 회로를 사용하지 않

고도 프로그램 된 eFuse 링크의 센싱 저항이 작은 OTP 셀인 differential paired eFuse OTP 셀을 사용하였다. 그리고 OTP 메모리 셀 어레이에서 행의 개수가 열의 개수보다 더 작은 경우 eFuse 링크의 프로그램 전류를 공급하는 SL 구동 라인을 열 방향으로 라우팅하는 대신 행 방향으로 라우팅하므로 레이아웃 면적을 많이 차지하는 SL 구동회로의 수를 줄이는 Differential Paired eFuse 셀 어레이 방식과 코어 회로를 제안하였다. 그리고 수 백  $\mu\text{A}$  이상의 큰 전류에 의해 blowing되지 않은 eFuse 링크가 EM 현상에 의해 blowing되는 불량을 해결하기 위해 RWL 구동 회로와 BL 풀-업 부하회로에 V2V ( $=2V \pm 0.2V$ )의 regulation된 전압을 사용하였다. 설계된 32비트 eFuse OTP 메모리의 레이아웃 면적은  $228.525\mu\text{m} \times 105.435\mu\text{m}$ 으로 기존의 셀 어레이 라우팅을 이용한 IP 크기인  $197.485\mu\text{m} \times 153.715\mu\text{m}$ 보다 20.7% 더 작은 것을 확인하였다.

#### REFERENCES

- [1] W. Y. Jeong, W. C. Hao, P. B. Ha and Y. H. Kim, "Design of eFuse OTP Memory with Wide Operating Voltage Range for PMICs", Journal of the Korea Institute of Information and Communication Engineering, Vol. 18, No. 1, pp. 115-122, Jan. 2014.
- [2] J. Safran, A. Leslie, G. Fredeman, C. Kothandaraman, A. Cestero, X. Chen, R. Rajeevakumar, D. K. Kim, Y. Z. Li, D. Moy, N. Robson, T. Kiriata and S. Iyer, "A compact eFuse programmable array memory for SOI CMOS", Symposium on VLSI Circuits Digest of Technical Papers, pp. 72-73, June 2007.
- [3] N. Robson, J. Safran, C. Kothandaraman, A. Cestero, X. Chen, R. Rajeevakumar, A. Leslie, D. Moy, T. Kiriata and S. Iyer, "Electrically programmable fuse (eFuse):

From memory redundancy to autonomic chip”, Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.

[4] J. H. Jang, L. Y. Jin, H. G. Jeon, K. I. Kim, P. B. Ha and Y. H. Kim, “Design of an 8-bit differential paired eFuse OTP memory IP reducing sensing resistance” J. Cent. South Univ., Vol. 19, No. 1, pp. 168-173, Jan. 2012.

[5] W. C. Hao, C. W. Heo, Y. H. Kim, P. B. Ha and Y. H. Kim, “Design of Small-Area eFuse OTP Memory for Line Scan Sensors”, Journal of the Korea Institute of Information and Communication Engineering, Vol. 18, No. 8, pp. 1914-1924, Aug. 2014.

[6] M. Alavi, M. Bohr, J. Hicks, M. Denham, A. Cassens, D. Douglas and M. C. Tsai, “A PROM element based on salicide agglomeration of poly fuses in a CMOS logic process”, IEEE International Electron Devices Meeting, pp. 855-858, Dec. 1997.

[7] J. H. Kim, D. H. Kim, L. Y. Jin, P. B. Ha and Y. H. Kim, “Design of 1-Kb eFuse OTP memory IP with reliability considered”, Journal of Semiconductor Technology and Science, Vol. 11, No. 2, pp. 88-94, June 2011.

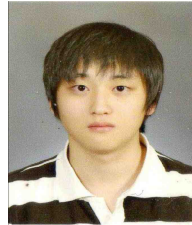
[8] H. L. Yang, I. W. Choi, J. H. Jang, L. Y. Jin, P. B. Ha and Y. H. Kim, “Design of High-Reliability eFuse OTP Memory for PMICs”, Journal of the Korea Institute of Information and Communication Engineering, Vol. 16, No. 7, pp. 1455-1462, July 2012.

[9] Y. K. Kim, J. H. Jang, G. S. Yoon, D. H. Lee, M. Y. Ha, P. B. Ha and Y. H. Kim, “Design of 32-Bit Differential Paired eFuse OTP memory in a Form of Two-Dimensional Array”, J. Cent. South Univ., pp. 3484-3491, Dec. 2012.

저자약력

박 헌(Heon Park)

[정회원]



- 2010.8 경상대학교 전자공학과 공학사
- 2014.2 창원대학교 전자공학과 공학석사
- 2014.3~현재 창원대학교 전자공학과 박사과정

<관심분야>

Non-Volatile memory 설계

이 승 훈(Seung-hoon Lee)

[학생회원]



- 2014.2 창원대학교 전자공학과 공학사
- 2014.3 창원대학교 전자공학과 공학석사과정

<관심분야>

Non-Volatile memory 설계

진 교 홍(Kyo-Hong Jin)

[정회원]



- 1991. 2. 부산대학교 컴퓨터공학과 공학사
- 1993. 2. 부산대학교 컴퓨터공학과 공학석사
- 1997. 8. 부산대학교 컴퓨터공학과 공학박사
- 1997.7~2000.2 국방과학연구소 선임연구원
- 2000.3~2004.8. 동의대학교 조교수
- 2004.9~현재 창원대학교 전자공학과 교수

<관심분야>

사물인터넷, 유비쿼터스컴퓨팅, 프로토콜 설계 및 분석



**하 판 봉(Pan-Bong Ha) [정회원]**



- 1981.2 부산대학교 전기공학과 공학사
- 1983.2 서울대학교 전자공학과 공학석사
- 1993.2 서울대학교 전자공학과 공학박사
- 1987.3~현재 창원대학교 전자공학과 교수

<관심분야> 임베디드 시스템, SoC 설계

**김 영 희(Young-Hee Kim) [종신회원]**



- 1989.2 경북대학교 전자공학과 공학사
- 1997.2 포항공과대학교 전자전기공학과 공학석사
- 2000.8 포항공과대학교 전자전기공학과 공학박사
- 1989.1~2001.2 현대전자 책임연구원
- 2001.3~현재 창원대학교 전자공학과 교수

<관심분야> 메모리 IP 설계, SoC 설계