

PoP용 패시브 소자 임베디드 기판의 warpage 감소를 위한 파라메타 설계에 관한 연구

조승현^{1,†} · 김도한² · 오영진² · 이종태² · 차상석²

¹동양미래대학교 기계공학부, ²심텍(주)

A Study on the Parameters of Design for Warpage reduction of Passive components Embedded Substrate for PoP

Seunghyun Cho^{1,†}, Dohan Kim², Youngjin Oh², Jongtae Lee² and Sangsuk Cha²

¹Dept. of Mechanical engineering, Dongyang Mirae University, 445 Gyeongin-ro, Guro-gu, Seoul 152-714, Korea

²R&D Center of SIMMTECH Co. Ltd, 117, Gwahaksaneop 4-ro, Okasan-myeon, Cheongwon-gun, Chungcheongbuk-do 361-911, Korea

(Received February 26, 2015: Corrected March 20, 2015: Accepted March 24, 2015)

초 록: 본 논문에서는 2개의 패시브 소자가 임베디드된 PoP(Package on Package)용 양면 기판의 휨을 감소시키기 위해 유한요소법을 이용한 수치해석과 파라메타 설계를 위한 다구찌법이 사용되었다. 양면 회로층 두께와 솔더 레지스트 두께가 4인자 3수준으로 설계되어 파라메타 영향도가 분석되었다. 또한, 유닛 영역의 솔더 레지스트가 제거하거나 도포된 모델의 휨을 해석하여 솔더 레지스트의 영향도를 분석하였다. 마지막으로 실험을 통해 수치해석과 다구찌법에 의한 파라메타 설계의 효과를 입증하였다. 연구결과에 의하면 휨에 미치는 영향은 볼 사이트에 있는 회로층이 지배적으로 크고 칩 사이트의 회로층이 두 번째로 크며 솔더 레지스트의 영향이 가장 작았다. 또한, 칩 사이트 유닛영역의 솔더 레지스트는 도포 유무에 따른 영향도가 매우 작았다. 한편 기판의 휨은 볼 사이트 회로층의 두께가 얇을수록, 칩 사이트 회로층의 두께와 솔더 레지스트의 두께는 두꺼울수록 감소하였다.

Abstract: In this paper, numerical analysis by finite element method and parameter design by the Taguchi method were used to reduce warpage of a two passive components embedded double side substrate for PoP(Package on Package). The effect of thickness of circuit layers (L1, L2) and thickness of solder resist (SR_top, SR_BTM) were analyzed with 4 variations and 3 levels(minimum, average and maximum thickness) to find optimized thickness conditions. Also, paste effect of solder resist on unit area of top surface was analyzed. Finally, experiments was carried out to prove numerical analysis and the Taguchi method. Based on the numerical and experimental results, it was known that circuit layer in ball side of substrate was the most severe determining deviation for reducing warpage. Buried circuit layer in chip side, solder resist and were insignificant effects on warpage relatively. However, warpage decreased as circuit layer in ball side thickness increased but effect of solder resist and circuit layer in chip side thickness were conversely.

Keywords: PoP(Package on Package), Substrate, Embedded, Passive, Warpage, Taguchi, FEM

1. 서 론

모바일용 스마트기기의 보급확대와 고기능화로 PoP의 수요가 증가하고 있으며 디자인의 자유도를 높이고 소형화하기 위해 수동소자가 기판 내부에 실장된 PoP용 임베디드 기판의 적용도 확대되고 있다.

이와 같은 PoP에는 언더필과 솔더조인트의 박리와 크랙,

솔더조인트의 미결합 등 기판의 낮은 강성도와 휨 때문에 발생하는 많은 신뢰성 불량들이 존재하고 있다.¹⁻³⁾ 따라서 패키지와 기판 레벨의 휨을 감소시키기 위한 연구가 학계와 산업계에서 지속적으로 진행되고 있으며,^{4,6)} 수치해석과 실험계획법을 이용한 연구개발도 활발히 적용되고 있다.⁷⁻⁹⁾ 특히, 최근 능동소자나 수동소자가 기판내부에 실장되면서 기판의 휨은 패키지의 신뢰성향상을 위해 매우 중

[†]Corresponding author

E-mail: coolsh@dongyang.ac.kr

© 2015, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

요한 설계인자가 되고 있다.¹⁰⁻¹⁵⁾

PoP용 기판은 회로설계를 패키지업계에서 결정하는 수주산업의 특성을 가지고 있기 때문에 기판제조분야의 휨 감소방안은 기판의 각 층 두께조정, 더미디자인 변경, 제조 공정 변경 등으로 제한되어 있고 제조공정은 많은 시행착오를 거쳐 상당부분 안정화되어 있기 때문에 기판분야의 휨 감소를 위한 연구는 각 층의 두께조정과 더미디자인 변경 등을 중심으로 수행되고 있다. 특히, 기판 각 층의 두께는 제조공정 능력에 의해 편차가 불가피하게 발생하기 때문에 각 층 두께조정에 의한 휨 제어는 매우 유효한 방법이라고 할 수 있다.

따라서, 본 논문에서는 PoP용 양면 패시브 임베디드 기판의 회로층과 솔더 레지스트 두께가 기판의 휨에 미치는 영향을 분석하기 위해 다구찌법과 수치해석을 사용하여 휨을 최소화할 수 있는 최적조건을 도출하였으며 칩 사이

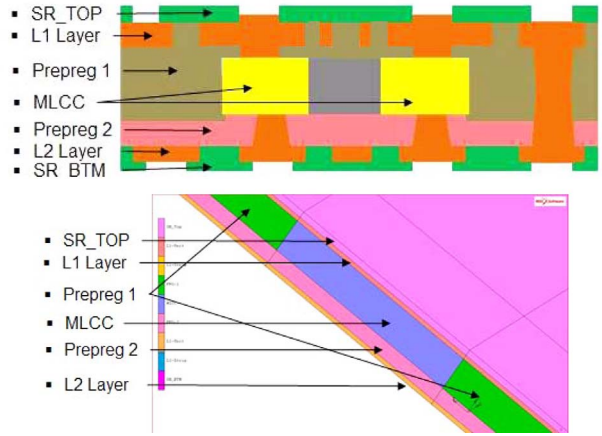
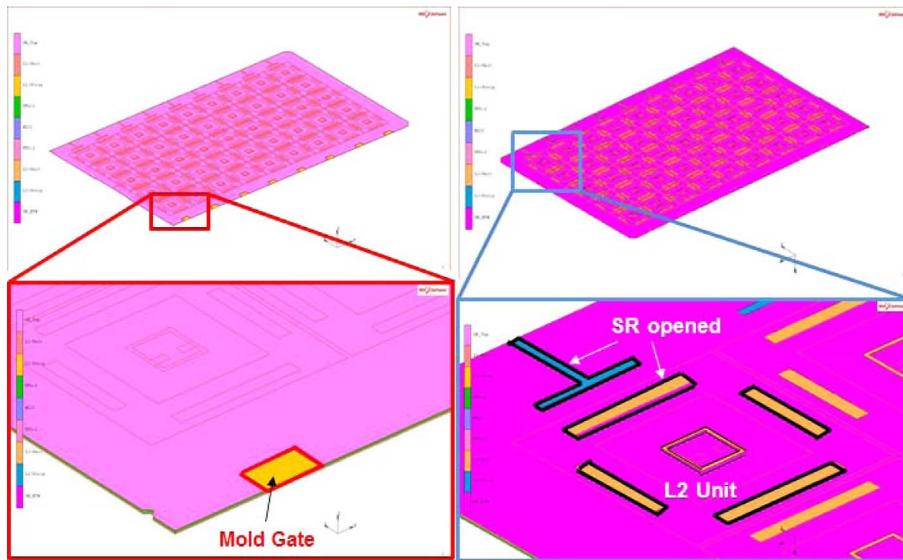
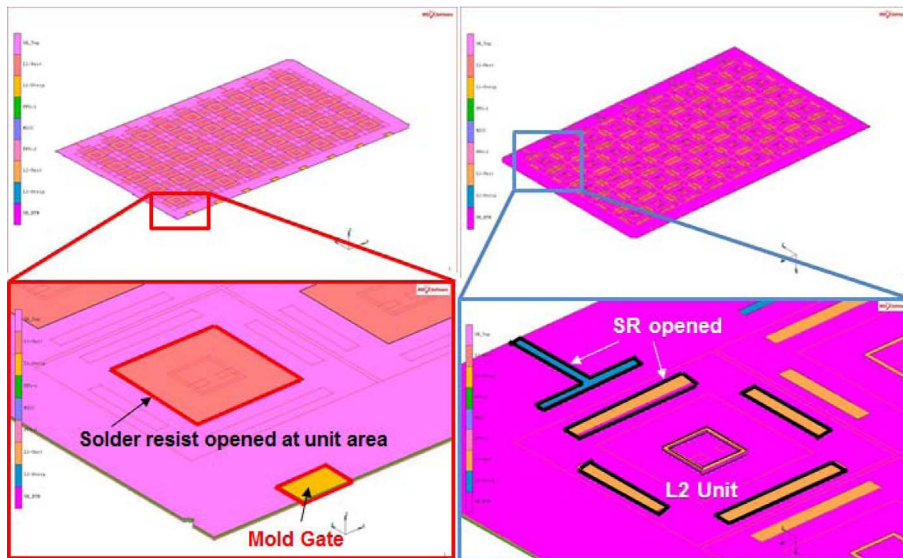


Fig. 1. Schematic diagram of passive components embedded substrate for PoP.



(a) Solder resist on chip and ball side of substrate which name is closed model



(b) Solder resist on chip and ball side of substrate which name is opened model

Fig. 2. Solder resist paste conditions for PoP substrate.

드의 유닛영역 솔더 레지스트의 도포가 휨에 미치는 영향도 함께 분석하였다. 또한 다구찌법과 수치해석에 의해 도출된 최적조건을 실험에 의해 비교함으로써 연구의 신뢰성을 확보하였다.

2. 수치해석

2.1. 유한요소 모델링

Fig. 1은 기판의 구조와 유한요소 모델을 보여주고 있다. 기판은 그림과 같이 양면 회로 중 윗 회로층이 프리프레그 내부에 형성되고(buried), 유닛에 2개의 MLCC 소자가 임베딩되었다. 기판의 사이즈는 240.7 mm × 76.3 mm이며, 10.6 mm × 11 mm 크기의 유닛이 126개가 구성되어 있다. 기판은 Fig. 2와 같이 1/2면적만을 118,000개의 3차원 솔리드 요소로 모델링하였고, 강제모션(Rigid motion)을 방지하기 위해 기판의 중심노드를 고정하였다. 기판을 구성하고 있는 재료의 특성값은 Table 1과 같다. 회로층의 물성은 단순 복합체(Simple rule of mixture)을 적용하고 회로층의 잔동율을 고려하여 유닛과 더미영역을 구분하여 계산하였다. 잔동율은 동일한 회로층 면적에 회로형성을 위한 구리가 차지하는 면적비율을 의미한다. 기판의 초기온도를 20°C로 설정하고 Fig. 3과 같은 리플로우 온도조건에서 기판의 휨을 해석하였다. 본 논문에서는 유한요소 해석을 위해 범용 프로그램인 MSC/Software사의 MSC/MARC2014 소프트웨어를 사용하였다.¹⁶⁾

Table 1. Mechanical properties of materials

	Solder resist	Prepreg 1, 2	MLCC
Tg(by TMA), °C	105	240	-
CTE, μm/m°C	60/130	8	10.6
Poission's ratio	0.3	0.3	0.3
Tensile modulus(25°C), Gpa	3.2	33	195

Table 3. Orthogonal array of L₉(4³) of the Taguchi method

No.	Solder resist on chip side (SR_Top)	L1 layer (L1)	prepreg 1	prepreg 2	L2 layer (L2)	Solder resist on ball side (SR_BTM)	Total Thickness
1	19	13	120	45	13	10	207
2	19	19	120	45	19	16	219
3	19	25	120	45	25	22	231
4	25	13	120	45	19	22	231
5	25	19	120	45	25	10	225
6	25	25	120	45	13	16	219
7	31	13	120	45	25	16	237
8	31	19	120	45	13	22	231
9	31	25	120	45	19	10	225

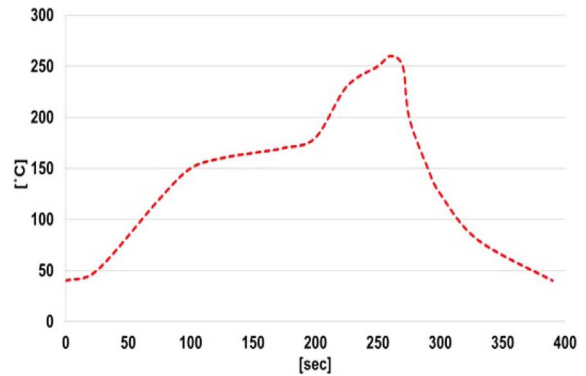


Fig. 3. Reflow temperature.

Table 2. Factor and conditions for the Taguchi method

level	Solder resist on chip side (SR_Top)	L1 Layer (L1)	L2 Layer (L2)	Solder resist on ball side (SR_BTM)
1	19	13	13	10
2	25	19	19	16
3	31	25	25	22

2.2. 기판의 설계인자 영향도 분석

Table 2는 다구찌법을 사용하여 휨에 미치는 솔더 레지스트와 회로층 두께의 영향도를 분석하기 위해 4인자 3수준을 나타낸 표이다. 설계인자는 칩 사이드와 볼 사이드의 솔더 레지스트와 양면 회로층 두께이고, 최소, 평균, 최대 두께를 3수준으로 설정하였다. 이와 같이 4인자 3수준의 다구찌설계와 수치해석을 위해 본 논문에서는 Table 3과 같이 직교배열표 L₉(4³)를 사용하였다.

2.3. 다구찌 망소특성의 파라미터 설계

본 논문에서는 설계인자들의 휨에 대한 영향도를 분석하고 최적조건을 도출하기 위해 망소특성에 의한 파라미터 설계를 적용하였다.¹⁷⁾ 사용된 다구찌법은 휨이 작으면

작을수록 강건설계인 망소조건을 사용하였고 성능특성치인 휨 대신 SN비(Signal to Noise ratio)분석을 수행하였다. 망소조건은 SN값이 높으면 높을수록 강건설계에 부합한 설계임을 의미한다. 해석에 의해 계산된 SN비에 대한 분산분석은 ANOVA(Analysis of variance)를 이용하여 SN비를 최대로 하는 수준을 최적조건으로 선정하였다.

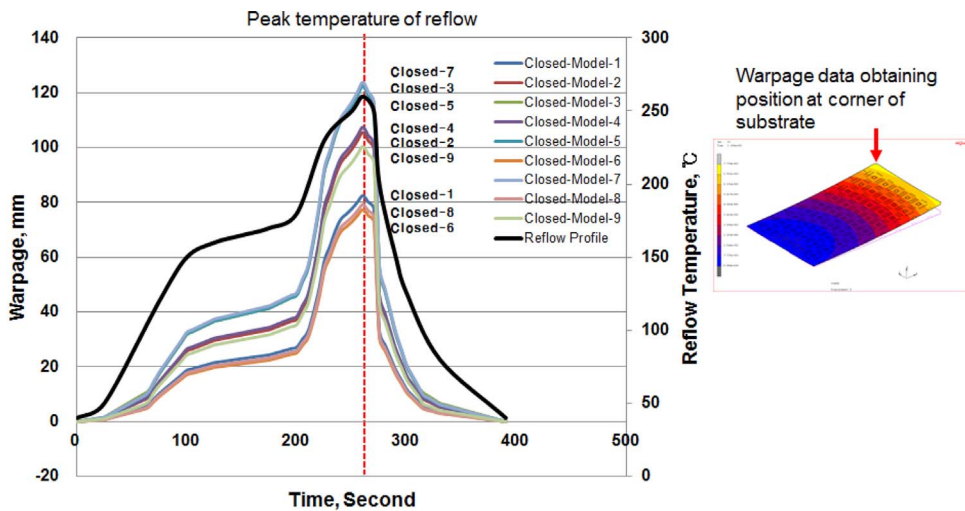
3. 결과 및 토의

3.1. 수치해석

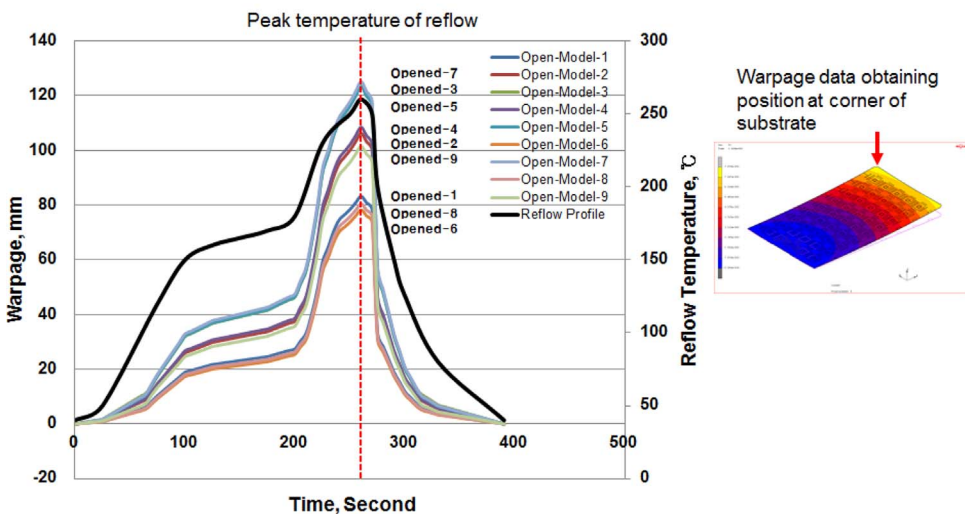
Fig. 4(a), (b)는 각각 리플로우 온도조건 동안 직교배열 표로 모델링된 9개 모델의 휨결과를 보여주고 있다. Fig. 4(a)는 볼 사이트 유닛영역의 솔더 레지스트가 도포된 모델이고 Fig. 4(b)는 솔더 레지스트가 없는 모델이다. 휨결과는 그림에 표시된 바와 같이 최대 휨이 발생하는 기관의 모서리에서 계산되었다. 해석결과에 의하면 유닛영역의 솔더 레지스트 도포유무와 무관하게 휨의 경향은 동일하

였고, 기관의 볼 사이트를 기준으로 오목한 형태의 변형을 나타내었으며 휨의 경향이 리플로우 온도의 프로파일과 비슷한 경향을 나타내었다.

Fig. 5(a), (b)는 다구찌법의 망소조건을 사용하여 Table 2~Table 3과 같은 기관의 설계인자 조건으로 설계인자의 영향도 분석을 수행한 결과이다. 영향도 분석은 Fig. 4(a), (b)에서 표시한 바와 같이 최대 리플로우 온도에서 발생한 휨결과를 사용하였다. 해석결과에 의하면 볼 사이트의 솔더 레지스트(SR_Top)의 두께와 윗 회로층(L1)의 두께는 두꺼울수록, 아래 회로층(L2)의 두께는 얇을수록, 볼 사이트의 솔더 레지스트(SR_BTM)의 두께는 평균일 때 기관의 휨이 감소하였다. 그러나, SN값에 의해 분석된 설계인자의 영향도분석을 보여주는 표에 의하면 아래 회로층(L2)의 영향도가 84%로 절대적으로 영향도가 가장 높고 윗 회로층(L1)의 영향도가 9%로 두 번째로 영향도가 높으며 솔더 레지스트의 영향도는 5% 이하로 매우 낮은 것을 알 수 있다. 이와 같은 해석결과는 본 논문에 연구대상이 된 양면

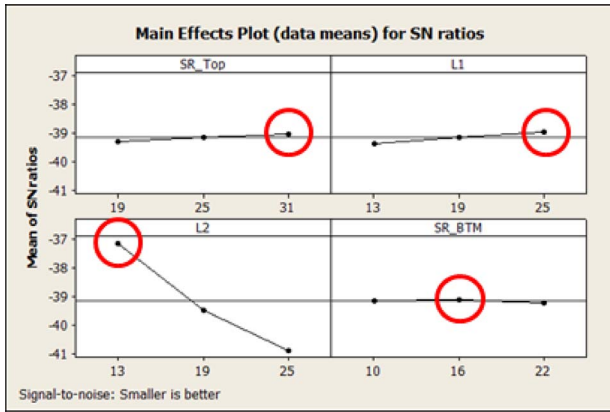


(a) Solder resist closed at unit area on chip side surface



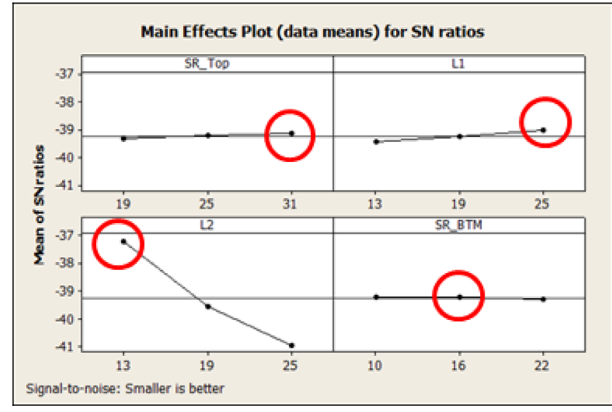
(b) Solder resist opened at unit area on chip side surface

Fig. 4. Warpage distribution under reflow temperature.



Level	Solder resist on chip side (SR_Top)	L1 Layer (L1)	L2 Layer (L2)	Solder resist on ball side (SR_BTM)
1	-39.28	-39.36	-37.11	-39.13
2	-39.14	-39.15	-39.46	-39.12
3	-39.04	-38.95	-40.89	-39.22
Delta	0.24	0.4	3.78	0.1
Contribution Ratio	5%	9%	84%	2%

(a) Solder resist closed at unit area on chip side surface



Level	Solder resist on top surface (SR_Top)	L1 Layer (L1)	L2 Layer (L2)	Solder resist on top surface (SR_Top)
1	-39.34	-39.44	-37.22	-39.21
2	-39.22	-39.24	-39.54	-39.2
3	-39.15	-39.03	-40.96	-39.3
Delta	0.19	0.41	3.74	0.1
Contribution Ratio	4%	9%	84%	2%

(b) Solder resist closed at unit area on chip side surface

Fig. 5. Main effect and contribution ratio analysis of design factors in substrate.

회로층을 가진 기판의 구조가 윗 회로층이 열팽창계수가 구리보다 낮은 프리프레그 내부에 형성되고, 아래 회로층은 열팽창계수가 구리보다 매우 높은 솔더 레지스트에 도포되어 있는 구조이므로 휨에 대한 아래 회로층의 영향도가 매우 크기 때문에 판단된다. 또한, 솔더 레지스트의 영향도가 낮은 것은 기판에 사용된 프리프레그 2개층 두께의 합이 165 μm 로써 해석에 사용된 9개 모델의 전체 두께의 70~80%를 차지함으로써 프리프레그가 강한 코어의 역할을 함으로써 상대적으로 솔더 레지스트의 영향도가 낮기 때문이다. 이와 같은 이유로 Fig. 4(a), (b)와 같이 유닛 영역의 솔더 레지스트 도포 유무의 영향은 매우 작았다.

따라서 기판의 휨을 줄이거나 제어하기 위해서는 아래 회로층(L2)을 얇게 관리하는 것이 매우 중요하다는 것을 의미한다.

3.2. 실험

본 논문에서는 수치해석의 결과를 실험적으로 입증하기 위해 다구찌 최적설계의 결과를 바탕으로 기판 각 층 두께의 영향을 비교하기 위한 2종의 샘플(샘플 A, 샘플 B)을 제작하였다. Fig. 6은 제작된 기판의 윗면과 아랫면의 구조를 나타낸 그림이다. 볼 사이트 유닛 영역의 솔더 레지스트는 도포되지 않은 구조를 사용하였다. Fig. 7은 실험을 위해 제작된 샘플 A와 샘플 B의 유닛 3개(Fig. 6의 unit 1, unit 2, unit 3)의 단면 구조와 각 층두께(최소, 최대, 평균)를 보여주고 있다. 표에서 보여주는 바와 같이 샘플 B가 다구찌 최

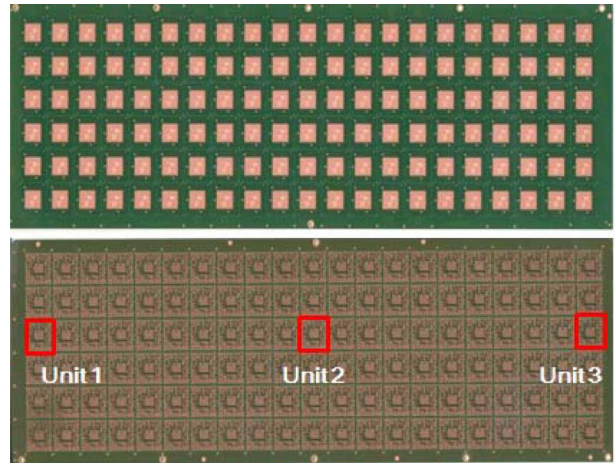


Fig. 6. Passive components embedded substrate for PoP.

적설계의 결과를 반영하여 칩 사이트 솔더 레지스트 (SR_Top)와 회로층(L1) 두께는 두껍게, 볼 사이트의 회로층(L2) 두께는 얇게, 솔더 레지스트(SR_BTM)의 두께는 비슷하게 제작되었다.

Fig. 8(a), (b)는 각각 샘플 A와 샘플 B에서 발생한 최대 휨과 리플로우 온도에서 발생한 휨을 비교한 실험결과이다. 실험결과에서 알 수 있는 바와 같이 샘플 B에서 발생한 휨이 작고, 리플로우 온도변화에 따라 변화폭 또한 작게 발생하였다. 따라서 수치해석과 다구찌법에 의해 제안된 기판 각 층의 두께조건이 실제 기판의 휨을 감소시키는데 효

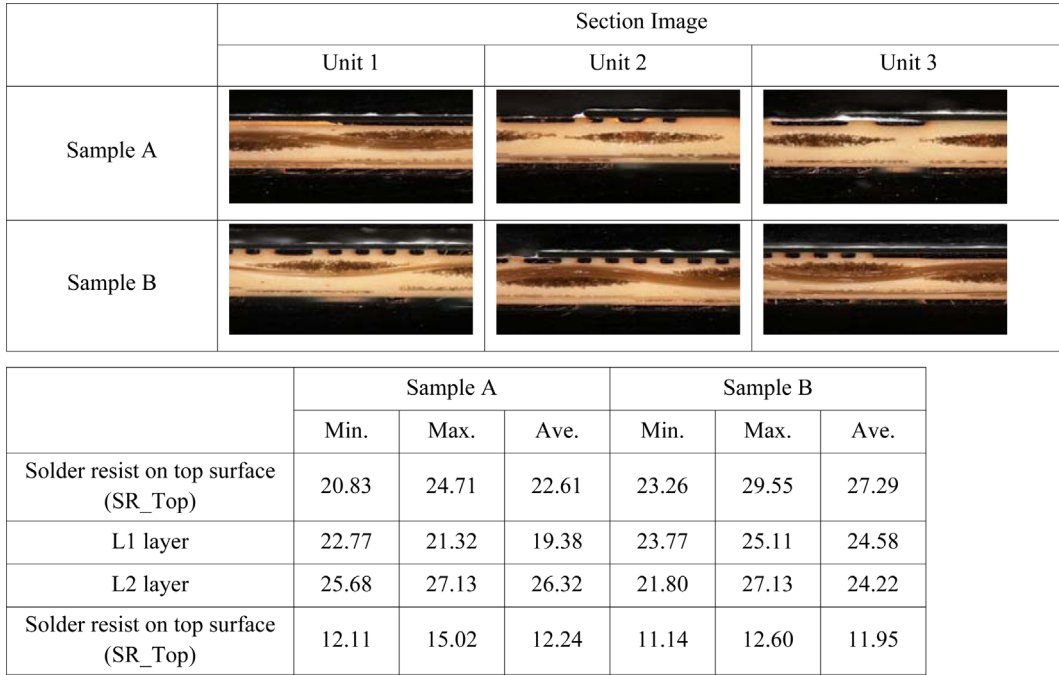


Fig. 7. Close section images of samples for experimental study.

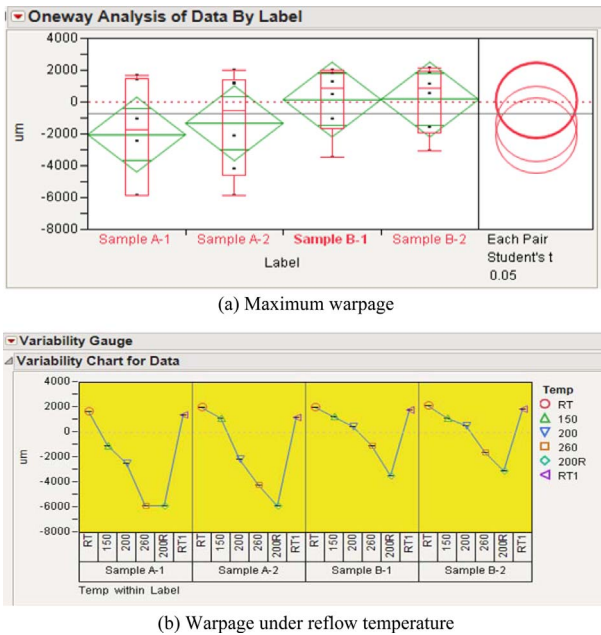


Fig. 8. Warpage comparison between sample A and B.

과적임이 확인되었다.

4. 결 론

본 논문에서는 PoP용 양면 패시브 임베디드 기판의 회로층과 솔더 레지스트 두께가 기판의 휨에 미치는 영향을 수치해석과 4인자 3수준의 다구찌법으로 분석하고 휨을 최소화하는 최적 두께조건을 도출하였으며 실험을 통해 수치해석의 결과를 입증하였다. 연구결과에 의하면 칩 사이트 솔더 레지스트(SR_Top)의 두께와 윗 회로층(L1)의

두께는 두꺼울수록, 볼 사이트 회로층(L2)의 두께는 얇을수록, 솔더 레지스트(SR_BTM)의 두께는 평균일 때 기판의 휨이 감소하였는데 회로층(L2)의 영향도가 84%로 절대적으로 영향도가 가장 높았고 다른 디자인 인자의 영향도는 9% 이하로 매우 낮았다.

이와 같은 해석결과로부터 PoP용 양면 기판의 두께를 줄이기 위해 회로층이 프리프레그 내부에 형성되면 회로층의 영향도는 감소하며, 프리프레그 위에 형성된 회로층의 영향도가 매우 증가하기 때문에 기판의 휨을 감소시키기 위해서는 프리프레그 위에 형성된 회로층의 두께를 얇게 관리하는 것이 중요하다. 또한, 실험을 통해 다구찌법과 수치해석에 의한 최적설계의 휨 감소 효과를 확인함으로써 제품개발시 시간과 비용의 절감을 위해 다구찌법과 수치해석이 매우 효과적임을 알 수 있다.

감사의 글

본 연구는 동양미래대학교의 2014년도 교내연구지원사업에 의해 수행되었습니다. 또한, 심텍(주)의 지원을 받아 수행되었으며, 이에 관계자 여러분께 감사드립니다.

References

1. M. Y. Tsi, C. H. J. Hsu and C. T. O. Wang, "Investigation of thermomechanical behaviors of flip chip BGA packages during manufacturing process and thermal cycling", Components and Packaging Technologies, 27(3), 568 (2004).
2. R. Darveau, C. Reichman and N. Islam, "Interface Failure in Lead Free Solder Joints", Proc. 56th Electronic Components and Technology Conference (ECTC), San Diego, 906 (2006).

3. S. H. Cho, S. J. Cho and J. Y. Lee, "Estimation of warpage and thermal stress of IVHs in flip-chip ball grid arrays package by FEM", *Microelectronics Reliability*, 48(2), 300 (2008).
4. J. H. Lau and S. W. R. Lee, "Effects of Build-Up Printed Circuit Board Thickness in the Solder Joint Reliability of a Wafer Level Chip Scale Package(WLCSP)", *Trans. Comp. Packag. Technol.*, 25(1), 51 (2002).
5. S. H. Cho, H. I. Jung and O. C. Bae, "Numerical Analysis on the Design Variables and Thickness Deviation Effects on Warpage of Substrate for FCCSP", *J. Microelectron. Packag. Soc.*, 19(3), 57 (2012).
6. W. Sun, W. H. Zhu, C. K. Wang, A. Y. S. Sun and H. B. Tan, "Warpage Simulation and DOE Analysis with Application in Package-on-Package Development", *Proc. 9th Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, Euro-SimE, Freiburg*, 244, IEEE (2008).
7. Y. L. Tzeng, N. Kao, E. Chen, J. Y. Lai, Y. P. Wang and C. S. Hsiao, "Warpage and Stress Characteristic Analyses on Package-on-Package (PoP) Structure", *9th Electronics Packaging Technology Conference (EPTC), Singapore*, 482, IEEE (2007).
8. W. Sun, W. H. Zhu, K. S. Le and H. B. Tan, "Simulation Study on the Warpage Behavior and Board-level Temperature Cycling Reliability of PoP Potentially for High-speed Memory Packaging", *International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP), Shanghai*, 978, IEEE (2008).
9. C. M. Ryder, "Embedded components: A comparative analysis of reliability", *Proc. IPC APEX, Las Vegas*, 3156 (2011).
10. L. Boettcher, S. Karaszkiwicz, D. Manassis and A. Ostmann, "Embedded chip technology: Technologies, applications, and future developments", *Proc. SMTA, San Diego*, 9 (2012).
11. H. Stahr and M. Beesley, "Embedded components on the way to industrialization", *Proc. SMTA, Fort Worth*, 1 (2011).
12. C. T. Ko, S. Chen, C. W. Chiang, T. Y. Kuo, Y. C. Shih and Y. H. Chen, "Embedded active device packaging technology for next-generation chip-in-substrate package, CiSP", *Proc. 56th Electronics Components and Technology Conference (ECTC), San Diego*, 322, IEEE (2006).
13. L. Boettcher, D. Manassis, A. Ostmann and H. Reichel, "Realization of system in package modules by embedding of chips", *Proc. IMAPS Device Packaging, Scottsdale*, 397 (2008).
14. H. W. Park, S. H. Cho, J. Kress, A. Bruderer and N. Galster, "Dielectric composite material with good performance and process ability for embedding of active and passive components into PCBs", *Proc. 63rd Electronic Components and Technology Conference (ECTC), Las Vegas*, 1325, IEEE (2013).
15. S. H. Park, "Design of experimental method", pp.256-283, *Minyoung corp.*, (2003).