

링 발진기와 7-푸쉬 체배기 기반의 $\times 49$ 주파수 체배기

A $\times 49$ Frequency Multiplier Based on a Ring Oscillator and a 7-Push Multiplier

송 재 훈 · 김 병 성* · 남 상 욱

Jae-Hoon Song · Byung-Sung Kim* · Sangwook Nam

요 약

본 논문에서는 링 발진기와 다중 푸쉬 주파수 체배기 기반의 $\times 49$ 주파수 체배기가 제안되었다. 제안된 주파수 체배기는 두 단의 $\times 7$ 주파수 체배기를 주입-잠금 방식으로 결합하여 입력된 신호를 49 체배하는 회로이다. 각 $\times 7$ 주파수 체배기는 14 위상 신호를 출력하기 위해 7 단의 링 셀을 갖는 링 발진기와 14 위상 신호를 받아 주파수를 7 체배하는 7-푸쉬 주파수 체배기로 구성되어 있다. 제안된 $\times 49$ 주파수 체배기는 입력 신호 주파수가 56.7~57.7 MHz일 때 2.78~2.83 GHz의 출력 신호 주파수로 49배 체배된다. 이 동작 주파수는 체배된 원 신호와 스퍼(spur)의 전력의 크기가 10 dB 이상 차이가 있을 때를 기준으로 측정되었고, 13.93 mW의 DC 전력을 소모한다.

Abstract

In this paper, a $\times 49$ frequency multiplier based on a ring oscillator and a multi-push multiplier is presented. The proposed $\times 49$ frequency multiplier consists of two $\times 7$ frequency multipliers and these multiplier is connected by injection-locking technique. Each $\times 7$ frequency multiplier consists of a ring oscillator with 14-phase output signal and 7-push frequency multiplier requiring 14-phase input. The proposed $\times 49$ frequency multiplier provides 2.78~2.83 GHz output signal with 56.7~57.7 MHz input signal. This operation frequency is defined that the output power difference between the carrier and the spur is above 10 dB. The proposed chip consumes 13.93 mW.

Key words: Frequency Multiplier, Injection-Locking, Multi-Push Multiplier, Ring Oscillator

I. 서 론

일반적으로 CMOS 공정을 이용한 위상 잠금 루프 기반의 통신 시스템에서는 캐리어 주파수에 비하여 매우 낮은 주파수의 클락 신호를 이용하기 때문에 다단의 주파수 분주기가 필요하고, 상대적으로 높은 캐리어 주파수에

서 전압 제어 발진기를 설계해야 하므로 기생 성분 등으로 인한 어려움이 따른다. 캐리어 주파수가 수 GHz 대역인 시스템의 경우, 수 GHz에서 전압 제어 발진기를 설계해야 하고, 이 출력 신호를 위상 잠금 루프의 클락 신호인 수십 MHz 대역까지 주파수를 분주하기 위해서는 5단 이상의 주파수 분주기가 필요하다. 고 체배 차수를 갖는 주

「이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(no.2009-0083495).」
서울대학교 뉴미디어연구소 & 전기컴퓨터공학부(INMC & Department of Electrical and Computer Engineering, Seoul National University)
*성균관대학교 정보통신공학부(School of Information and Communication Engineering, Sungkyunkwan University)
· Manuscript received October 14, 2015 ; Revised December 7, 2015 ; Accepted December 11, 2015. (ID No. 20151014-075)
· Corresponding Author: Jae-Hoon Song (e-mail: doritos43@ael.snu.ac.kr)

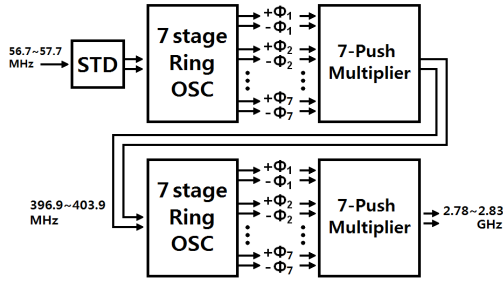


그림 1. 제안된 $\times 49$ 체배기 블록 다이어그램
Fig. 1. Block diagram of the proposed $\times 49$ frequency multiplier.

파수 체배기를 간단한 구조로 설계할 수 있다면, 다단의 주파수 분주기를 대체하고, 낮은 주파수에서 전압 제어 발진기 혹은 위상 잠금 루프를 구성할 수 있기 때문에, 주파수 체배기는 현재까지 널리 연구, 이용됨을 참고문헌 [1]~[4]에서 알 수 있다.

따라서 본 논문에서는 상당한 고 체배 차수를 갖는 $\times 49$ 체배기가 제안되었다. 그림 1과 같이 제안된 $\times 49$ 체배기는 $\times 7$ 체배기 두 단을 주입-잠금으로 연결하여 구성하였고, 약 57 MHz의 신호가 약 2.8 GHz 신호로 49배 체배된다. 다중-푸쉬 주파수 체배에 필요한 다중 위상을 만들기 위해서 14개의 위상(7개의 차동 위상)을 갖는 7단 링 셀 기반의 링 발진기를 이용하였다. 자세한 회로 설명은 II, III장에서 다룰 것이다.

II. 링 발진기 설계

그림 2는 설계된 7단의 링 셀로 이루어진 링 발진기이다. 일반적으로 링 발진기의 경우, 추가적인 트랜지스터나 커패시터를 회로에 연결해 입력 신호를 회로에 인가하는데, 사용된 링 발진기에서는 첫 번째 링 셀의 출력부분에 외부의 신호를 주입 잠금하기 위한 트랜지스터를 삽입하였다. 링 발진기 자체 발진 신호의 위상 잠움은 안 좋은 특성을 갖지만, 외부에서 위상잠움이 좋은 신호를 주입하면 주입된 신호의 위상 잠움 특성을 따라 가기 때문에, 링 발진기는 신호원으로 사용하지 않고 주입된 입력 신호의 주파수로 동기화 되도록 설계하였다. 본 논문에서는 그림 2와 같이 인버터를 기본으로 한 차동 구조의 링 발진기를 설계하였다. 첫 단의 링 발진기는 약 57 MHz

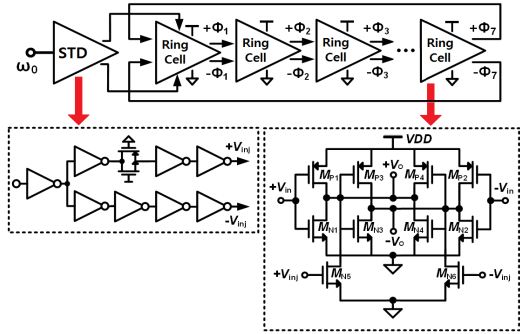


그림 2. 7단의 링 셀로 이루어진 링 발진기 회로도
Fig. 2. Schematic of the ring oscillator.

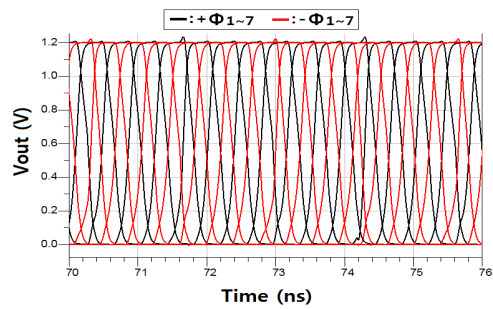


그림 3. 링 발진기의 14개 위상 출력 시뮬레이션 파형
Fig. 3. Simulated waveforms of 14 phase outputs of the ring oscillator.

에서, 두 번째 단의 링 발진기는 약 400 MHz에서 자유 발진한다. 좋은 위상 잠움 특성을 갖기 위해서는 외부에서 V_{INJ} 와 V_{INJB} 에 차동 형태의 좋은 신호를 주입시켜야 하는데, 외부에서 차동 신호를 인가하기 어렵기 때문에 단동의 신호를 받아서 차동으로 변경해 줄 수 있게 인버터와 트랜스미션 게이트를 이용하여 단동 차동 변환기(STD: Single To Differential)를 설계하여 $\times 49$ 체배기 중 입력 쪽의 $\times 7$ 체배기 앞에 추가하였다. 링 발진기 다음 단에 오는 7배 주파수 체배기에 필요한 위상 14개를 구현하기 위해 링 셀을 그림 2와 같이 연결한 7단 링 발진기로 설계하였다. 그림 3은 링 발진기의 14개 위상을 갖는 출력 신호의 시뮬레이션 파형이다. 이 파형들은 두 번째 $\times 7$ 체배기에 들어간 링 발진기 회로의 출력에서 본 것이다. 링 발진기는 7개의 링 셀로 설계되었으므로 각각의 링 셀의 출력 단에서 7개의 차동 신호, 즉 14개의 위상을 갖는 신호를 얻을 수 있다. 이러한 신호들은 7-푸쉬 주파수 체배기

의 입력으로 주입된다.

Ⅲ. 7-푸쉬 주파수 체배기 설계

그림 4는 링 발진기의 14개의 위상을 갖는 출력 신호를 입력으로 받아 7체배를 하는 7-푸쉬 주파수 체배기의 회로도이다. 참고문헌 [5]에서와 같이, N-푸쉬 체배기는 N차 미만의 조화 주파수 없이 N차 조화 주파수를 만들어 낼 수 있다. N개의 위상을 가지는 신호는 N차 조화 신호만 결합을 하고, 그 미만의 조화 성분에 대해서 상쇄되는데, 이는 다음 식 (1)을 이용해서 쉽게 알 수 있다.

$$\sum_{k=0}^n \cos\left(w_0 t + \frac{2\pi}{n+1} \cdot k\right)^{n+1} = (n+1)\cos((n+1)w_0 t) \quad (1)$$

병렬로 위치한 트랜지스터 M_{1-7} 이 7개의 위상 입력에 따라 각각의 시간마다 스위칭하고, M_{8-14} 가 반대 7개의 위상 입력에 따라 각각의 시간마다 스위칭하면 출력단에서는 7배 주파수에서 스위칭하는 차동 신호가 출력되게 된다. 참고문헌 [5]의 경우에는 5-푸쉬 체배기를 설계하였지만, 본 논문에서는 그보다 체배 차수가 높은 7-푸쉬를 이용하였고, 또한, 크기가 큰 인덕터 대신 저항을 부하로 이용하여 작은 면적으로 7-푸쉬 체배기를 구현하였다.

그림 5와 같이 출력에서 7배 주파수 차동 신호가 발생한다. 교차 결합 쌍을 이용하여 출력단에서의 전압 진폭을 키우고, 뒷 단의 인버터 버퍼를 거쳐 0 V에서 V_{DD} 까지 확대되도록 설계하였다. 파형을 자세히 살펴보면 신호간의 간격이 미세하게 차이가 있는 것을 알 수 있는데, 이는 첫 번째 주입 잠금 링 셀 출력인 2위상 신호가 나머지 12위상과 차이를 보이기 때문이다. 이러한 차이로 인해

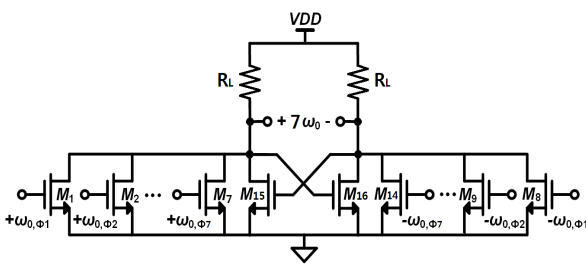


그림 4. 7-푸쉬 주파수 체배기 회로도
Fig. 4. Schematic of the 7-push frequency multiplier.

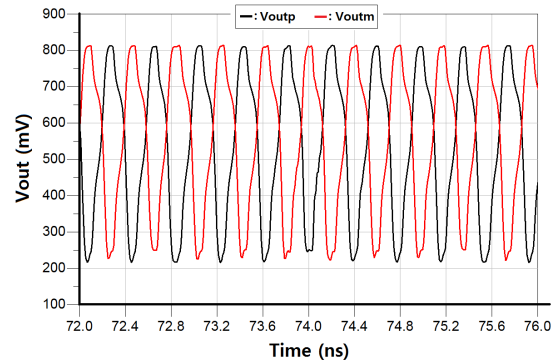
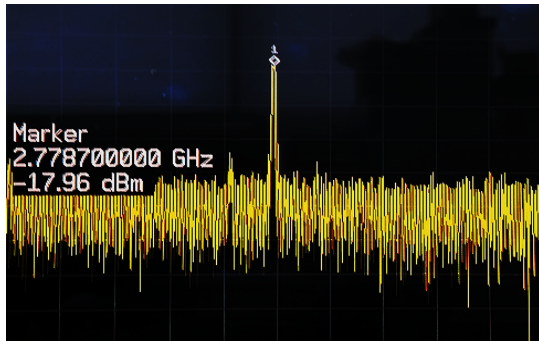


그림 5. 두 번째 $\times 7$ 체배기 출력 시뮬레이션 파형
Fig. 5. Simulated waveform of the second $\times 7$ multiplier.

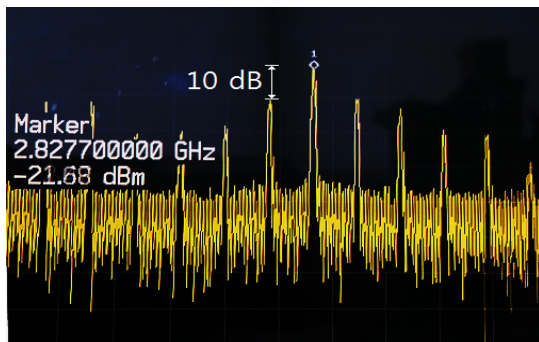
spur 성분이 존재하게 되고, 이는 측정 스펙트럼을 보면 확인할 수 있다.

Ⅳ. 측정 결과

제안된 칩은 1폴리 8메탈 65-nm CMOS 공정을 이용하여 제작되었다. 설계된 칩의 크기는 측정용 패드를 포함하여 $570 \times 370 \mu\text{m}^2$ 이고, 실제 코어 회로의 크기는 $230 \times 50 \mu\text{m}^2$ 이다. 57 MHz 입력 신호는 Agilent 8257D 신호 발생기로 주입하였고, 출력 신호는 Agilent 4440A 스펙트럼 분석기로 확인하였다. 그림 6은 측정된 출력 스펙트럼이고, 2.45 GHz부터 3.15 GHz까지 확인한 결과이다. 링 발진기의 출력이 7-푸쉬 체배기로 주입될 때 각 입력 주파수에 해당하는 57 MHz, 400 MHz에서 spur가 발생하게 된다. 400 MHz spur는 출력 2.8 GHz에서 800 MHz의 대역이므로 큰 문제가 되지 않을 수 있지만, 57 MHz spur는 문제가 될 수 있다. 그림 6(a) 출력 스펙트럼을 보면 56.7 MHz의 신호가 입력될 때는 첫 링 발진기의 자유발진 주파수와 거의 완벽히 일치하여 spur의 크기가 작지만, 입력 주파수를 조금씩 올려가며 확인하면 자유 발진 주파수와 주입된 신호의 주파수 차이가 커지므로 spur 성분의 크기가 점차 커지게 되어 원하는 49체배된 신호의 크기와 비슷해지는 문제가 있다. 본 논문에서는 원하는 출력 신호와 가장 가까운 spur의 전력이 10 dB 이상 차이가 있을 때까지 주파수 체배기의 동작 주파수로 설정하였고, 그 차이가 10 dB가 되는 주파수가 그림 6(b)의 2.83 GHz이다. 제안된 체배기는 13.93 mW의 DC 전력을 소모한다.



(a) 최저 주파수 출력
(a) Lowest frequency



(b) 최대 주파수 출력(-10 dB spur)
(b) Maximum frequency(-10 dB spur)

그림 6. 제안된 $\times 49$ 체배기의 출력 스펙트럼
Fig. 6. Output spectrum of the proposed chip.

표 1. 제안된 $\times 49$ 체배기의 성능

Table 1. Performance of the proposed $\times 49$ multiplier.

| 공정 | 65-nm CMOS |
|-------------------------|-----------------|
| 체배 차수 N | $\times 49$ |
| 출력 주파수(GHz) | 2.78~2.83 |
| DC 소모 전력(mW) | 13.93 |
| 칩 크기(μm^2) | 230 \times 50 |

본 칩의 상세한 성능은 표 1에 나타나 있다.

V. 결 론

본 논문에서는 7단의 링 셀로 이루어진 링 발진기와 7-푸쉬 주파수 체배기 기반의 $\times 49$ 주파수 체배기가 제안되

었다. 주파수를 49체배하기 위하여 두 단의 $\times 7$ 체배기를 이용하였다. 첫 $\times 7$ 체배기 단은 입력의 STD, 약 57 MHz에서 자유 발진하는 링 발진기와 7-푸쉬 체배기로 이루어져 있고, 두 번째 $\times 7$ 체배기 단은 약 400 MHz에서 자유 발진하는 링 발진기와 같은 7-푸쉬 체배기로 구성되어 있다. 링 발진기는 7개의 차동 신호(14위상)를 출력하며, 이 신호는 7푸쉬 체배기 코어에 병렬로 연결된 주입용 트랜지스터에 인가되어 7차 조화 성분을 만들어 내는 방식으로 주파수를 7체배한다. 제안된 $\times 49$ 주파수 체배기는 입력 신호 주파수가 56.7~57.7 MHz일 때 출력 주파수가 2.78~2.83 GHz이며, 이는 상당한 고 체배 차수인 49 체배를 성공적으로 구현한 결과라 할 수 있다.

References

[1] S. -C. Yen, T. -H. Chu, "An Nth-harmonic oscillator using an N-push coupled oscillator array with voltage-clamping circuits", *IEEE IMS Dig. Tech. Papers*, vol. 3, pp. 2169-2172, Jun. 2003.

[2] N. Mazor, E. Socher, "Analysis and design of an X-band-to-W-band CMOS active multiplier with improved harmonic rejection", *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 5, pp. 1924-1933, May 2012.

[3] N. Mazor, E. Socher, "X-band to W band frequency multiplier in 65 nm CMOS process", in *IEEE Microwave and Wireless Components Letters(MWCL)*, vol. 22, no. 8, pp. 424-426, Aug. 2012.

[4] I. Kallfass, H. Massler, A. Tessmann, A. Leuther, M. Schlechtweg, and G. Weimann, "A broadband frequency sextupler MIMIC for the W-band with > 7 dBm output power and > 6 dBm conversion gain", in *IEEE MTT-S Int. Dig.*, pp. 2169-2172, Jun. 2007.

[5] S. K. Kim, C. Choi, C. Cui, B. S. Kim, and M. Seo, "A W-band signal generation using N-push frequency multipliers for low phase noise", in *IEEE Microwave and Wireless Components Letters(MWCL)*, vol. 24, no. 10, pp. 710-712, Oct. 2014.