

고상 성장법을 이용한 실리콘 태양전지 에미터 형성 연구

김현호¹⁾ · 지광선²⁾ · 배수현¹⁾ · 이경동¹⁾ · 김성탁¹⁾ · 박효민¹⁾ · 이현민²⁾ · 강윤목³⁾ · 이해석^{1)*} · 김동환^{1)*}

¹⁾고려대학교 신소재공학과, 서울특별시, 02841

²⁾LG전자 기술원, 서울특별시, 06763

³⁾고려대학교 그린스쿨대학원 에너지환경정책기술학과, 서울특별시, 02841

A Study on Solid-Phase Epitaxy Emitter in Silicon Solar Cells

Hyunho Kim¹⁾ · Kwang-Sun Ji²⁾ · Soohyun Bae¹⁾ · Kyung Dong Lee¹⁾ · Seongtak Kim¹⁾ · Hyomin Park¹⁾ ·
Heon-Min Lee²⁾ · Yoonmook Kang³⁾ · Hae-Seok Lee^{1)*} · Donghwan Kim^{1)*}

¹⁾Department of Materials Science and Engineering, Korea University, 145 Anam-ro, Seongbuk-gu, Seoul 02841, Korea

²⁾Solar Energy Team, Materials and Components R&D Laboratory, LG Electronics, 38 Baumoe-ro, Seocho-gu, Seoul 06763, Korea

³⁾KU-KIST Green School, Graduate School of Energy-Environment Policy and Technology, Korea University, 145 Anam-ro, Seongbuk-gu, Seoul 02841, Korea

ABSTRACT: We suggest new emitter formation method using solid-phase epitaxy (SPE); solid-phase epitaxy emitter (SEE). This method expect simplification and cost reduction of process compared with furnace process (POCl₃ or BBr₃). The solid-phase epitaxy emitter (SEE) deposited a-Si:H layer by radio-frequency plasma-enhanced chemical vapor deposition (RF-PECVD) on substrate (c-Si), then thin layer growth solid-phase epitaxy (SPE) using rapid thermal process (RTP). This is possible in various emitter profile formation through dopant gas (PH₃) control at deposited a-Si:H layer. We fabricated solar cell to apply solid-phase epitaxy emitter (SEE). Its performance have an effect on crystallinity of phase transition layer (a-Si to c-Si). We confirmed crystallinity of this with a-Si:H layer thickness and annealing temperature by using raman spectroscopy, spectroscopic ellipsometry and transmission electron microscope. The crystallinity is excellent as the thickness of a-Si layer is thin (~50 nm) and annealing temperature is high (<900°C). We fabricated a 16.7% solid-phase epitaxy emitter (SEE) cell. We anticipate its performance improvement applying thin tunnel oxide (<2nm).

Key words: Solid-phase epitaxy, Crystallization, Rapid thermal process, Emitter, Silicon solar cell

Nomenclature

J_{sc} : short-circuit current density, mA/cm²

V_{oc} : open-circuit voltage, V

Subscript

PSG : phosphorus-doped silicate glasses

BSG : boron-doped silicate glasses

SPG : solid-phase epitaxy

SEE : solid-phase epitaxy emitter

BOE : buffered oxide etchant

PECVD: plasma-enhanced chemical vapor deposition

RTP : rapid thermal processing

SE : spectroscopic ellipsometry

TEM : transmission electron microscope

SIMS : secondary ion mass spectrometry

QE : quantum efficiency

EMA : effective medium approximation

QSSPC : quasi-steady-state photoconductance

1. 서론

최근 결정질 실리콘 태양전지는 실리콘 기판 두께 감소와 장비 사용 효율을 늘려 저가화 연구와 기존 양산 태양전지 구조에서 효율 향상을 하기 위해 빛 흡수율 향상 기술, 표면 패시베이션 기술, 전극 특성 개선 기술 등의 고효율화 연구가 진행되고 있다¹⁻³⁾.

확산로(furnace)를 이용한 POCl₃, BBr₃ 등의 액체 소스를 이용한 확산 공정은 결정질 실리콘 태양전지에서 일반적으로 이용되는 에미터 층 형성 방법이다⁴⁻⁶⁾. 기판 표면에 PSG 또는 BSG를 형성하여 고온 열처리(~1000°C 이내)를 통해 기판으로 도펀트(P or B)를 확산시킨다. 본 방법으로 에미터 형성 시, 표면에

*Corresponding author: lhseok@korea.ac.kr, solar@korea.ac.kr

Received August 18, 2015; Revised August 18, 2015;

Accepted August 24, 2015

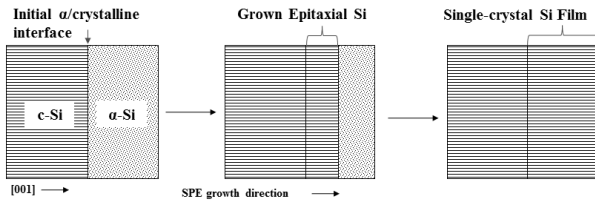


Fig. 1. 고상 성장법(solid-phase epitaxy) 모식도

PSG 또는 BSG 층을 제거하는 공정과 양면 공정으로 인한 edge isolation (Laser, etching 등) 공정이 추가된다. 이에 추가 공정을 생략하여 공정 단순화가 가능한 에미터 형성방법을 제안하고자 한다. 기판 표면에 비정질 실리콘 층(a-Si:H)을 증착한 후, 고상 성장(SPE) 기술을 이용하여 에미터를 형성하는 방법인 Solid-phase Epitaxy Emitter (SEE) 공정이다. 고상 성장법(SPE)은 Fig. 1과 같이 단결정 실리콘 기판 위에 연속적인 비정질 층을 형성하여, 충분한 열처리를 통하여 비정질 층과 단결정 기판의 계면에서부터 비정질상(a-Si)을 결정상(c-Si)으로 상변화 함으로써 결정을 성장 시키는 방법이다⁷⁻⁹. 결정 성장 구동력(driving force)은 결정상과 비정질상이 가지는 자유 에너지(gibbs free energy)의 차이 때문에 상변화가 일어난다. 결정상에 비해 비정질상의 자유 에너지가 크기 때문에 열처리를 통하여 활성화 에너지(activation energy)를 가하면 상변화가 일어나면서 결정 성장이 이루어진다¹⁰⁻¹².

에미터를 형성하는 SEE 공정은 기존 방법에 비해 공정 단순화를 통한 비용 절감이 가능하다. 또한, 기존 공정 라인을 유지 및 활용 하면서 공정 시간을 단축할 수 있으며, 새로운 구조의 태양전지 개발을 기대할 수 있을 것으로 생각된다.

본 연구는 SEE 기술로 형성된 에미터 특성에 대한 내용이다. 비정질 실리콘 박막의 결정화 분석을 바탕으로 에미터 특성을 분석하였다. 또한, SEE 기술로 형성된 에미터로 태양전지(SEE cell)를 제작하여 그 성능을 확인하였다.

2. 실험방법

본 연구에서는 결정화 분석을 위해 Czochralski 방식을 통해 성장된 붕소(B)이 도핑된 polished p-type (100) 실리콘 웨이퍼 (650-700 μm)를 사용하였다. BOE 용액으로 표면 자연 산화막이 제거된 실리콘 기판 표면에 플라즈마 화학증착 장비(rf-PECVD)로 PH₃ 가스를 주입하여 인(P) 도핑된 비정질 층을 증착하였다. 공정 시간을 조절하여 50~500 nm 두께별로 증착한 후, 급속열처리 장비(RTP)를 이용하여 600~1000°C 온도로 열처리하여 결정화된 에미터를 형성하였다. SEE 공정을 통해 형성된 에미터층의 결정화를 분석하기 위하여 라만 분광법(raman spectroscopy), 타원 편광분석(SE), 투과전자현미경(TEM)을 측정하

였다. 또한, 비정질 층 증착 시에 PH₃ 가스량을 조절하여 열처리를 통해 SIMS 분석을 통하여 에미터 도핑 프로파일을 분석하였다.

SEE 기술을 적용한 태양전지를 제작하기 위하여 Czochralski 방식을 통해 성장된 붕소(B)이 도핑된 p-type (100) 실리콘 웨이퍼(200 μm) 기판에 요철 구조(texturing)를 형성하였다. 플라즈마 화학증착 장비를 이용하여 두께별로 인(P)이 도핑된 비정질 층을 증착한 후, 열처리하여 에미터를 형성하였다. 플라즈마 화학증착 장비로 반사방지막(SiN_x)을 형성한 후, 전면에는 Ag paste, 후면에는 Al paste를 스크린 프린팅을 이용하여 인쇄하여 소성 공정(RTP)을 통하여 전극을 형성하였다. 제작된 SEE cell은 solar simulator, QE를 통하여 태양전지 성능을 비교하였다.

3. 결과 및 고찰

실리콘 기판위에 50 nm 두께의 인(P)이 도핑된 비정질층을 700°C에서 5분간 급속 열처리를 진행한 후, 투과 전자 현미경을 이용하여 결정화도를 분석하였다. Fig. 2와 같이 실리콘 기판을 따라 결정화가 진행되었으며, FFT 분석을 통하여 상변화가 일어나 결정성을 가지는 것을 확인하였다. 또한, 비정질층 증착 시에 도펀트 가스량(PH₃) 조절이 가능하며, 이에 따라 다양한 도핑 프로파일을 가지는 에미터 형성이 가능하다. 도펀트 가스량(PH₃)을 연속적으로 변화하여(2~12sccm) Fig. 3과 같은 다양한

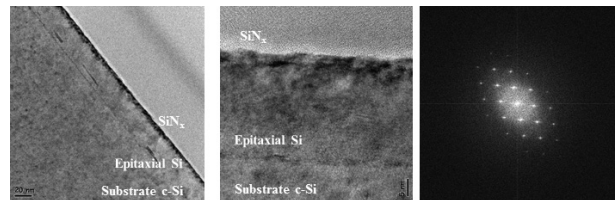


Fig. 2. SEE 기술로 형성된 에미터 결정화 분석(TEM images, Fast Fourier Transform image)

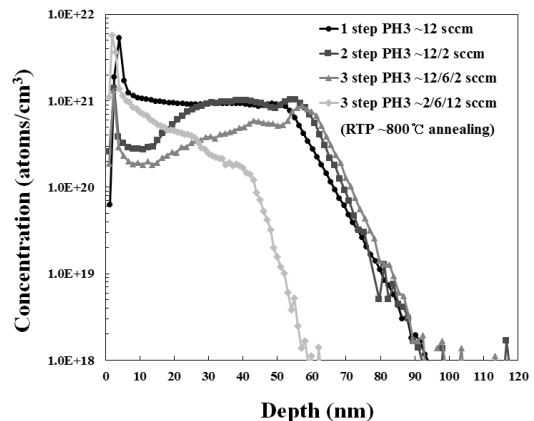


Fig. 3. PH₃ 가스량 조절을 통한 SEE 에미터 도핑 프로파일 (SIMS)

에미터를 형성하였다. 이를 통하여 SEE 기술을 통하여 다양한 특성을 가지는 결정화된 에미터 형성하여 다양한 태양전지 구조에 응용이 가능할 것으로 생각된다.

SEE 기술을 통하여 형성된 에미터를 기반으로 태양전지 성능을 확인하였다. 인(P)이 도핑된 비정질층 증착 시간을 조절하여 50 nm부터 500 nm 까지 두께를 다르게 증착하여, 열처리를 통해 형성된 SEE층으로 태양전지를 제작하였다. 두께별로 제작된 태양전지의 양자효율(QE) 값은 Fig. 4와 같다. 도핑된 비정질층의 두께가 500 nm일 경우, 단파장 영역(300~500 nm)에서 양자 효율 값이 0으로 캐리어 수집이 일어나지 않는 것으로 관찰되었다. 이에 따라 단락전류(Jsc) 값이 23.4 mA/cm²으로 현저히 낮은 값을 가졌다. 단파장 영역에서 결정질 실리콘의 흡수계수보다 비정질 실리콘의 흡수계수가 높다¹³⁾. 열처리 공정(700°C)을 통해 결정화되지 못하고 잔존하는 비정질 실리콘에 의한 흡수로 인하여 단파장 영역에서 양자효율 특성이 저하된 것으로 생각된다. 도핑된 비정질층의 두께를 50 nm로 감소함에 따라 단파장에서의 양자효율 값이 증가하는 것을 확인하였다(Fig. 4). 도핑된 비정질층의 두께를 500 nm에서 50 nm 감소 시, 단락전

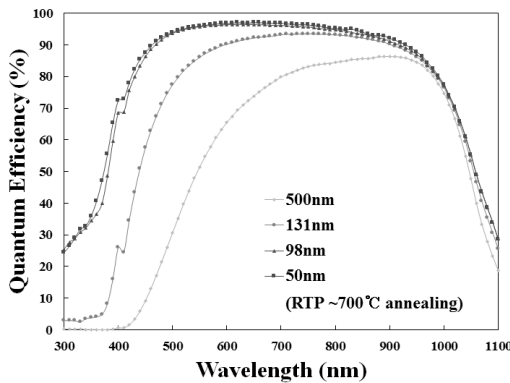
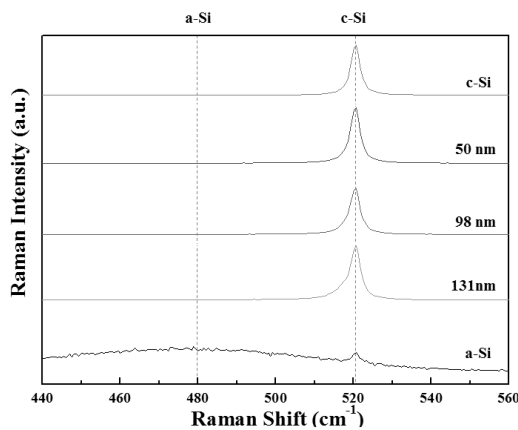


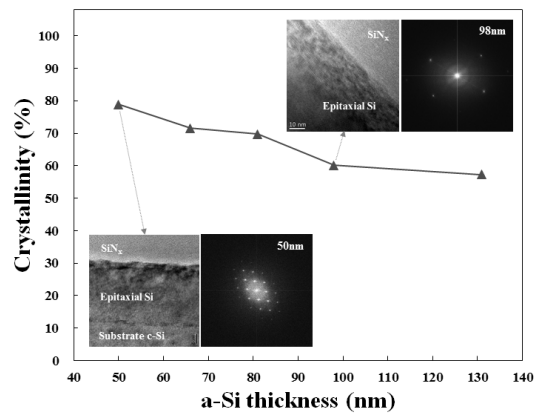
Fig. 4. 인(P) 도핑된 비정질 층 두께에 따른 SEE층으로 형성된 태양전지의 양자 효율(QE)



(a) 라만 분광법(Raman spectroscopy)

류(Jsc) 값이 23.4 mA/cm²에서 36.4 mA/cm²로 증가하였다. 비정질 층의 두께에 따라 열처리 후, 결정화 정도를 라만 분광법과 타원 편광분석, 투과 전자현미경을 통하여 분석하였다. 라만 분광법은 결정성을 가지는 실리콘의 경우 520cm⁻¹에서 Peak이 관찰되며, 비정질 실리콘의 경우 480cm⁻¹ 부근에서 관찰된다¹⁴⁻¹⁵⁾. 타원 편광법을 이용한 결정화 분석은 Bruggeman 이론(EMA)을 기초로 비정질/결정질 실리콘의 유전 상수를 기반으로 비정질/결정질 실리콘의 부피비를 계산하여 결정화 정도를 확인할 수 있다¹⁶⁻¹⁸⁾. Fig. 5(a)와 같이 라만 분광법 측정 결과, 700°C 열처리를 통해 131 nm 이하에서는 비정질 층이 결정화된 것으로 관찰된다. 반면, 타원 편광분석 및 투과 전자현미경을 측정 결과(Fig. 5(b)), 131 nm 이하 두께에서 열처리를 통하여 결정화 되었으나, 두께에 따라 결정화 정도에 차이를 보였다. 98 nm 두께에서는 결정화도가 60% 정도로 비정질 층이 일부 남아 있는 것으로 관찰된다. 두께가 감소함에 따라 결정화도가 증가하지만, 50 nm에서 약 80%로 100% 결정화가 이루어지지 않았다. 이는 앞선 Fig. 2의 50 nm의 투과 전자 현미경 측정 결과를 보면, 상변화가 이루어진 층 내에 결함들(stacking fault or twin)이 관찰되며, 이로인하여 결정화도가 감소하였을 것으로 생각된다. 또한, 열처리에 따른 도펀트(P) 확산의 영향으로 결정화도를 감소시켰을 것이라고 생각된다. 도펀트(P)를 넣지 않은 진성 비정질 실리콘의 열처리 시, 100% 결정화도를 보이는 것을 확인하였다. 따라서 50 nm 두께에서 단파장 영역의 양자효율 특성이 스크린 프린팅 태양전지(>50%)에 비해 낮은 값을 가지는 것으로 판단된다. 라만 분광법과 타원 편광분석의 차이는 결정화 분석 시에 실리콘 웨이퍼 기판의 특성이 타원 편광분석에 비해 라만 분광법에 크게 영향을 미쳤을 것으로 사료된다.

인(P)이 도핑된 50 nm 비정질 층의 열처리 온도에 따른 결정화 및 태양전지 특성을 확인하였다. 타원 편광분석을 통하여 Fig. 6과 같이 600°C 이상에서의 열처리 공정 시, 상변화가 이루어



(b) 타원 편광분석(SE) 및 투과전자 현미경(TEM)

Fig. 5. 인(P) 도핑된 비정질 층 두께에 따른 700°C 열처리를 통한 SEE 층의 결정화도 분석

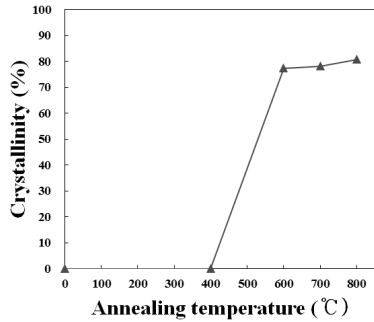


Fig. 6. 인(P) 도핑된 50 nm 비정질 층의 열처리 온도에 따른 결정화도 분석(SE)

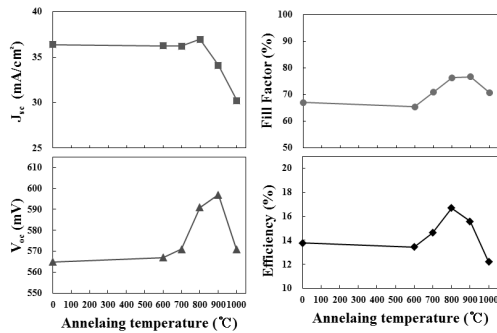


Fig. 7. 인(P) 도핑된 50 nm 비정질 층의 열처리 온도에 따른 태양전지 특성 비교

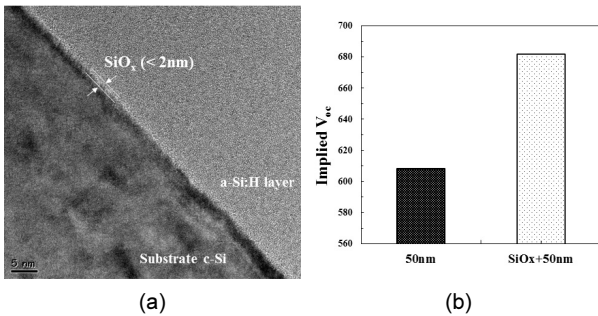


Fig. 8. (a) SEE층과 기판의 계면에 2 nm 이하의 tunnel oxide 형성 사진(TEM), (b) tunnel oxide 층 적용 유무에 따른 특성 비교(QSSPC)

어지는 것으로 관찰된다. 열처리 온도를 증가시켜도 결함과 도펀트(P) 확산의 영향으로 결정화도가 약 80% 나타난다. 상변화가 일어나는 600°C부터 1000°C까지 열처리를 통해 형성된 SEE 층으로 적용한 태양전지 성능을 Fig. 7과 같이 비교하였다. 800°C (5분) 열처리를 통해 16.7% 태양전지를 제조 하였다. 800°C 온도 이후에서는 실리콘 기판(p-type wafer) 특성 감소로 인하여 성능이 저하되었다. 고온 열처리 이후에 냉각 시, 침입형 자리에 도너 불순물(Ti, Cr, Fe 등)이 형성되면서 기판의 소수 캐리어인 전자가 불순물과 재결합하면서 소수 반송자 수명(lifetime)이 감소된다¹⁹⁻²⁰⁾.

SEE 층을 적용한 태양전지의 특성은 비정질 층의 두께와 열

처리 온도를 조절하여 단락전류(J_{sc})는 기존 상용 태양전지와 유사한 특성을 보였으나, 개방전압(V_{oc})의 경우에는 현저히 낮은 값을 나타내었다(< 600 mV). 이는 SEE 층과 기판 사이에 계면이 존재하는 것으로 관찰된다(Fig. 2). 특성 개선을 위해 SEE 층과 기판의 계면 패시베이션을 위해 비정질 층 증착 전에 wet oxidation 공정을 통하여 기판에 2 nm 이하의 tunnel oxide를 형성시킨다(Fig. 8(a))²¹⁻²²⁾. 2 nm 이하의 tunnel oxide 층을 적용하여 계면 패시베이션 특성 향상을 통하여 Fig. 8(b)와 같이 특성향상이 가능할 것으로 기대된다.

4. 결론

고상성장법(SPE)을 이용하여 에미터를 형성하는 방법인 SEE 기술을 제안하였다. SEE 기술은 기존 확산로(furnace)를 이용하여 에미터를 형성하는 방법에 비하여 공정 단순화 및 저가화 측면에서 유리하다. 또한, SEE 기술은 다양한 도핑 프로파일을 가지는 에미터 형성이 가능하다. SEE 기술은 비정질 상의 두께 및 열처리 온도에 따른 결정화 정도가 태양전지 특성에 차이를 보인다. 비정질 층의 두께를 500 nm에서 50 nm까지 감소하여 결정화도를 향상에 따라 단파장에서의 양자효율 성능을 개선하였다($J_{sc} = 36.4 \text{ mA/cm}^2$). 또한, 600°C부터 1000°C까지 열처리 온도에 따라 SEE 층을 형성하여 태양전지 제작하였다. 800°C 열처리를 통해 형성된 SEE 층을 적용하여 16.7% 태양전지 성능을 확인하였다. 향후 2 nm 이하의 tunnel oxide를 삽입하여 개방전압(V_{oc}) 개선을 통해 SEE 층을 적용한 태양전지 성능 향상을 기대할 수 있다.

후 기

본 연구는 2013년도 산업통상자원부의 재원으로 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다 (No. 20133010011780).

References

- Johannes Eisenlohr, Benjamin G. Lee, Jan Benick, Frank Feldmann, Marion Drießen, Nena Milenkovic, Benedikt Bläsi, Jan Christoph Goldschmidt, Martin Hermle, "Rear side sphere gratings for improved light trapping in crystalline silicon single junction and silicon-based tandem solar cells", Solar Energy Materials and Solar Cells, in press, 2015.
- J. Schmidt, A. Merkle, R. Brendel, B. Hoex, M. C. M. van de Sanden and W. M. M. Kessels, "Surface Passivation of High-efficiency Silicon Solar Cells by Atomic-layer-deposited Al_2O_3 ",

- Progress in Photovoltaics: Research and Applications, 16, pp. 461-466, 2008.
3. Yinan Zhang, Nicholas Stokes, Baohua Jia, Shanhui Fan and Min Gu, "Towards ultra-thin plasmonic silicon wafer solar cells with minimized efficiency loss", *SCIENTIFIC REPORTS*, 4, pp. 4939-4944, 2014.
 4. M.A.Green, "SOLAR CELLS", Prentice-Hall, 1982.
 5. P. Negrini, D. Nobili and S. Solmi, "Kinetics of Phosphorus Predeposition in Silicon Using POCl_3 ", *Journal of The Electrochemical Society*, 122, 9, pp. 1254-1260, 1975.
 6. J. Bultman, I. Cesar, B. Geerlings, Y. Komatsu and W. Sinke, "Methods of Emitter Formation for Crystalline Silicon Solar Cells," *Photovoltaics International*, Petten, 2010.
 7. E. P. Donovan, F. Spaepen, D. Turnbull, J. M. Poate and D. C. Jacobson, "Heat of crystallization and melting point of amorphous silicon", *Applied Physics Letters*, 42, pp. 698-700, 1983.
 8. E. P. Donovan, F. Spaepen, D. Turnbull, J. M. Poate and D. C. Jacobson, "Calorimetric studies of crystallization and relaxation of amorphous Si and Ge prepared by ion implantation", *Journal of Applied Physics*, 57, pp. 1795-1804, 1985.
 9. G. L. Olsen and J. A. Roth, "Kinetics of solid phase crystallization in amorphous silicon", *Materials Science Reports*, 3, 1, pp. 1-77, 1988.
 10. L. Csepregi, J. W. Mayer and T. W. Sigmon, "Channeling effect measurements of the recrystallization of amorphous Si layers on crystal Si", *Physics Letters A*, 54, 2, pp.157-158, 1975.
 11. L. Csepregi, J. W. Mayer and T. W. Sigmon, "Regrowth behavior of ion-implanted amorphous layers on <111> silicon", *Applied Physics Letters*, 29, 2, pp. 92-93, 1976.
 12. J. A. Roth and C. L. Anderson, "Silicon epitaxy by solid-phase crystallization of deposited amorphous films", *Applied Physics Letters*. 31, 10, pp. 689-691, 1977.
 13. Jai Singh, "Optical Properties of Condensed Matter and Applications", John Wiley & Sons, Ltd, pp. 49-60, 2006.
 14. M. H. Brodsky, "Light Scattering in Solid 1", Springer-Verlag, Berlin, pp. 205-251, 1975.
 15. Z. Iqbal and S. Veprek, "Raman scattering from hydrogenated microcrystalline and amorphous silicon", *Journal of Physics C: Solid State Physics*, 15, 2, pp. 377-392, 1982.
 16. V. Nayar, "Spectroscopic ellipsometry of epitaxial Si[100] surfaces", *Applied Physics Letters*, 61, 1, pp. 1304-1306, 1992.
 17. R.M.A. Azzam and N.M. Bashara, "Ellipsometry and Polarized Light", North-Holland, Amsterdam, 1977.
 18. Kwang-sun Ji, Junghoon Choi, Hyunjin Yang, Heon-Min Lee, Donghwan Kim, "A study of crystallinity in amorphous Si thin films for silicon heterojunction solar cells", *Solar Energy Materials and Solar Cells*, 95, 1, pp. 203-206, 2011.
 19. D. Macdonald, L. J. Geerlings, "Recombination activity of interstitial iron and other transition metal point defects in p- and n-type crystalline silicon", *Applied Physics Letters*, 85, 18, pp. 4061-4063, 2004.
 20. K. Graff, "Metal Impurities in Silicon Device Fabrication", Springer Series in Materials Science, 2nd edition, Springer-Verlag, Berlin, 2000.
 21. Frank Feldmann, Martin Bivour, Christian Reichel, Heiko Steinkemper, Martin Hermle, Stefan W Glunz, "Tunnel oxide passivated contacts as an alternative to partial rear contacts", *Solar Energy Materials and Solar Cells*, 131, pp. 46-50, 2014.
 22. Frank Feldmann, Martin Bivour, Christian Reichel, Martin Hermle, Stefan W. Glunz, "Passivated rear contacts for high-efficiency n-type Si solar cells providing high interface passivation quality and excellent transport characteristics", *Solar Energy Materials and Solar Cells*, 120, pp. 270-274, 2014.