

Schottky Body Diode를 집적하여 향상된 Reverse Recovery 특성을 가지는 50V Power MOSFET

50V Power MOSFET with Improved Reverse Recovery Characteristics Using an Integrated Schottky Body Diode

이 병 화*, 조 두 형*, 김 광 수**

Byung-Hwa Lee*, Doo-Hyung Cho*, Kwang-Soo Kim**

Abstract

In this paper, 50V power U-MOSFET which replace the body(PN) diode with Schottky is proposed. As already known, Schottky diode has the advantage of reduced reverse recovery loss than PN diode. Thus, the power MOSFET with integrated Schottky integrated can minimize the reverse recovery loss. The proposed Schottky body diode U-MOSFET(SU-MOS) shows reduction of reverse recovery loss with the same transfer, output characteristic and breakdown voltage. As a result, 21.09% reduction in peak reverse current, 7.68% reduction in reverse recovery time and 35% improvement in figure of merit(FOM) are observed when the Schottky width is 0.2 μ m and the Schottky barrier height is 0.8eV compared to conventional U-MOSFET(CU-MOS). The device characteristics are analyzed through the Synopsys Sentaurus TCAD tool.

요 약

본 논문에서는 U-MOSFET 내부의 기생 body 다이오드(PN diode)를 쇼트키 body 다이오드(Schottky body diode)로 대체한 50V급 전력 U-MOSFET을 제안하였다. 쇼트키 다이오드는 PN 다이오드와 비교 시, 역 회복 손실(reverse recovery loss)을 감소시킬 수 있는 장점을 가지고 있다. 따라서 전력 MOSFET의 기생 body 다이오드를 쇼트키 body 다이오드를 대신함으로써 역 회복 손실을 최소화 할 수 있다. 제안된 쇼트키 body 다이오드(Schottky body diode) U-MOSFET(SU-MOS)를 conventional U-MOSFET(CU-MOS)와 전기적 특성을 비교한 결과, 전달(transfer) 및 출력(output)특성, 항복(breakdown)전압 등 정적(static) 특성의 변화 없이 감소된 역 회복 손실을 얻을 수 있었다. 즉, 쇼트키 다이오드의 폭(width)이 0.2 μ m, 쇼트키 장벽 높이(Schottky barrier height)가 0.8eV일 때 첨두 역전류(peak reverse current)는 21.09%, 역 회복 시간(reverse recovery time)은 7.68% 감소하였고, 성능지수(figure of merit(FOM))는 35% 향상되었다. 제안된 소자의 특성은 Synopsys사의 Sentaurus TCAD를 사용하여 분석되었다.

Key words : Power MOSFET, Reverse recovery, Leakage current, Schottky diode, U-MOSFET

* Dept. of Electronics Engineering, Sogang University
leebh@sogang.ac.kr 02-705-8913

★ Corresponding author
kimks@sogang.ac.kr

※ This research was supported by the MSIP(Ministry of Science, ICT and Future Planning), Korea, under the ITRC(Information Technology Research Center) support program (IITP-2015-H8501-15-1002) supervised by the IITP(Institute for Information & communications Technology Promotion) and was supported by IDEC(IC Design Education Center).

Manuscript received Jan. 2, 2015; revised Mar. 17, 2015; accepted Mar 19, 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

전력 MOSFET은 스위칭 조정기, 스위칭 변환기, 모터 구동기와 같은 고주파 전력 전자 회로에 많이 쓰인다. 최근에는 시장 요구에 의해 동작 주파수가 더욱 높아지고 있는 추세이며, 이를 위해 빠른 스위칭과 낮은 역 회복 손실이 요구된다.

하지만 스위칭 시 MOSFET 구조에 내재된 body 다이오드의 소수 캐리어 수명(minority carrier lifetime)에 의해 역 회복 특성이 제한되는데, 이를 개선하기 위한 방법으로 전자 방사(electron irradiation)를 통해 캐리어 수명을 감소시키는 방법[1]과 금 또는 백금을 도핑(doping)하여 임의의 재결합(recombination)센터를 추가하여 캐리어 수명을 감소시키는 방법[2], [3]이 제시된 바 있다.

하지만 이러한 방법은 소수와 다수 캐리어 모두의 수명을 감소시키므로 conduction loss를 야기한다는 문제가 있다. 이러한 문제점을 개선하기 위해 캐리어 수명 control없이, 양극성(bipolar) 소자인 PN 다이오드의 일부를 단극성(unipolar) 소자인 쇼트키 다이오드로 대체하는 방법이 있다[4], [5]. 이 기술은 수명 control이 사용되지 않기 때문에 conduction loss는 없으나 쇼트키 다이오드의 폭(W_S)이 증가하면 첨두 역 전류(peak reverse current)와 역 회복 시간(reverse recovery time)은 감소하고, 누설 전류(leakage current)가 증가하는 trade-off가 존재한다.

따라서 본 논문에서 작은 누설전류와 빠른 역 회복 시간을 갖는 쇼트키 다이오드가 집적된 50V 급 전력 MOSFET(SU-MOS)을 제안하였다. 제안된 구조는 소자 내부에 존재하는 PN 다이오드의 일부를 쇼트키 다이오드로 대체하였으며 W_S 와 Φ_{BN} 의 변화에 따른 소자의 전기적 및 역 회복 특성을 Synopsys사의 Sentaurus TCAD를 통해 분석하였다.

II. 본론

1. 제안된 소자 구조

[그림 1]은 본 논문에서 사용된 소자들의 단면도를 나타낸 그림이다. 먼저 [그림 1(a)]는 conventional U-MOSFET(CU-MOS)소자의 단면도이고, CU-MOS는 시중에 출시된 제품인 BUZ11_NR4941과 유사한 DC 특성을 갖도록 하였다. [그림 1(a)]에서 볼 수 있듯이 CU-MOS는 trench 게이트(gate) 구조이며, boron으로 확산(diffusion)된 p-body와 arsenic으로 고농도 도핑된 n^+ 소스(source) 영역과 p^+ 영역이 존재한다. [그림 1(b)]는 SU-MOS 소자의 단면도를 나타낸다.

SU-MOS는 CU-MOS 구조에서 p^+ 영역을 제거하고, PN 다이오드 사이에 쇼트키 다이오드를 나란히 집적한 구조이다. 아래의 표 1은 시뮬레이션에 사용된 변수들의 값을 나타낸다. 본 논문에서 추가 설명이 없는 경우는 W_S 은 $0.2\mu\text{m}$, Φ_{BN} 은 0.8eV (nickel)로 시뮬레이션을 진행하였다.

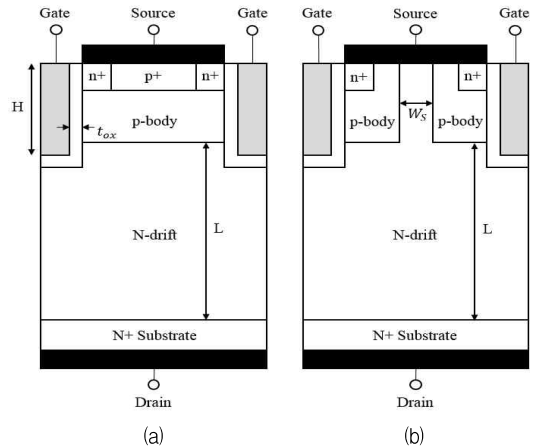


Fig. 1. Cross-sectional views of the power MOSFET (a) CU-MOS, (b) SU-MOS,

그림 1. (a) CU-MOS, (b) SU-MOS의 단면도

Table 1. Device parameters of the simulation.

표 1. 시뮬레이션의 소자 변수

Parameter	CU-MOS	SU-MOS
Cell pitch	$2.4\mu\text{m}$	$2.4\mu\text{m}$
Drift region thickness (L)	$2.5\mu\text{m}$	$2.5\mu\text{m}$
Drift region doping (N_D)	$1.05 \times 10^{16} \text{cm}^{-3}$	$1.05 \times 10^{16} \text{cm}^{-3}$
n^+ doping	$1 \times 10^{20} \text{cm}^{-3}$	$1 \times 10^{20} \text{cm}^{-3}$
p-body doping	$2 \times 10^{17} \text{cm}^{-3}$	$2 \times 10^{17} \text{cm}^{-3}$
p-body junction depth	$0.68\mu\text{m}$	$0.68\mu\text{m}$
Gate trench depth (H)	$1.25\mu\text{m}$	$1.25\mu\text{m}$
Gate oxide thickness (t_{ox})	$0.05\mu\text{m}$	$0.05\mu\text{m}$
Schottky barrier height (Φ_{BN})	-	0.8eV
Schottky body diode width (W_S)	-	$0.2\mu\text{m}$

2. 소자 시뮬레이션 결과

Sentaurus T-CAD 2D simulator를 사용하여 CU-MOS와 SU-MOS의 DC, AC 특성을 분석하였다. 먼저 정적 특성인 전달, 출력 및 항복 현상을 분석한 후 역 회복 특성인 AC 시뮬레이션을 진행하였다.

[그림 2]에는 W_S 와 Φ_{BN} 을 변수로 하여 게이트 전압에 따른 드레인(drain) 전류를 나타내었다. [그림 2(a)]는 $\Phi_{BN}=0.8eV$ 로 고정하였을 때 W_S 의 변화에 따른 전달 특성 그래프이다. $V_{DS}=10V$, $I_{DS}=10nA$ 일 때 문턱(threshold) 전압으로 정의하였고, 시뮬레이션 결과 CU-MOS와 SU-MOS의 문턱 전압은 2.14V로 동일하였다. 그래프를 보면 W_S 가 증가함에 따라 누설 전류가 증가함을 알 수 있는데, 그 이유는 소수 캐리

어 확산에 의해 누설 전류가 결정되는 PN 다이오드와 달리 쇼트키 다이오드는 열전자 방출(thermal emission)에 의해 누설 전류가 결정되기 때문이다. 누설전류 식 (1)에 표시된 바와 같이, 쇼트키 다이오드의 면적($A=W_S$)이 넓어짐에 따라 누설 전류는 증가한다[6]. [그림 2(b)]는 $W_S=0.2\mu m$ 로 고정하였을 때 Φ_{BN} 변화에 따른 전달 특성을 나타내는 그래프이다. Φ_{BN} 의 크기가 커짐에 따라 누설 전류는 감소하게 되는데, 식 (1)에서도 확인할 수 있다. W_S , Φ_{BN} 변화에 따른 누설 전류는 표 2에 정리하였다.

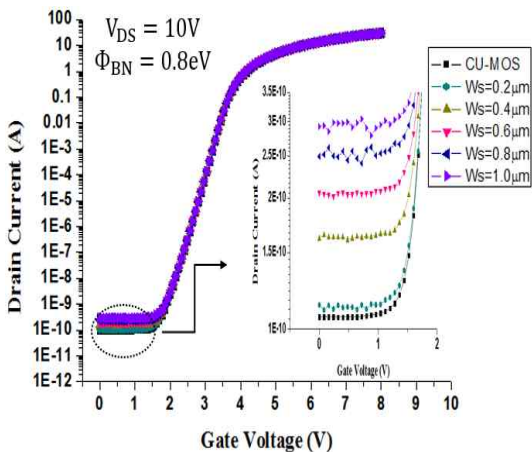
$$I_{Lr} = A A^* T^2 e^{-(q\Phi_{BN}/KT)} [e^{(qV_{Rr}/KT)} - 1] \quad (1)$$

여기서 A 는 면적, A^* 는 Richardson 상수, K 는 Boltzmann 상수, T 는 절대온도, V_{Rr} 은 역 전압을 의미한다.

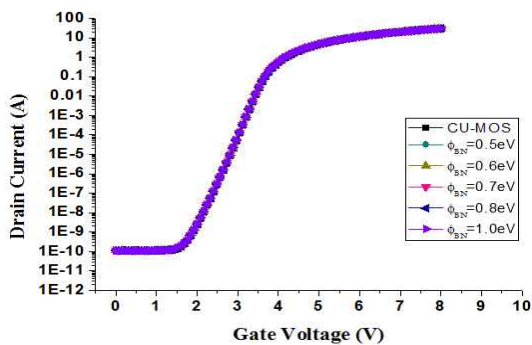
Table 2. Comparison of transfer characteristic of leakage current as function of W_S and Φ_{BN}

표 2. W_S 와 Φ_{BN} 에 따른 전달 특성의 누설 전류 비교 [A]

Φ_{BN} \ W_S	0.5eV	0.6eV	0.7eV	0.8eV	0.9eV
0.1 μm	1.08×10^{-10}	1.08×10^{-10}	1.08×10^{-10}	1.08×10^{-10}	1.08×10^{-10}
0.2 μm	1.11×10^{-10}	1.11×10^{-10}	1.11×10^{-10}	1.10×10^{-10}	1.10×10^{-10}
0.3 μm	2.03×10^{-10}	1.90×10^{-10}	1.69×10^{-10}	1.29×10^{-10}	1.15×10^{-10}
0.4 μm	1.36×10^{-7}	3.46×10^{-8}	1.67×10^{-9}	1.62×10^{-10}	1.19×10^{-10}
0.5 μm	4.37×10^{-6}	1.11×10^{-7}	2.79×10^{-9}	1.87×10^{-10}	1.28×10^{-10}
0.6 μm	5.89×10^{-6}	1.38×10^{-7}	3.40×10^{-9}	2.05×10^{-10}	1.30×10^{-10}
0.7 μm	8.17×10^{-6}	1.79×10^{-7}	4.21×10^{-9}	2.28×10^{-10}	1.41×10^{-10}
0.8 μm	1.03×10^{-5}	2.26×10^{-7}	5.08×10^{-9}	2.49×10^{-10}	1.53×10^{-10}
0.9 μm	1.14×10^{-5}	2.55×10^{-7}	5.64×10^{-9}	2.75×10^{-10}	1.61×10^{-10}
1.0 μm	1.32×10^{-5}	2.88×10^{-7}	6.53×10^{-9}	2.92×10^{-10}	1.82×10^{-10}



(a)



(b)

Fig. 2. Transfer characteristics as a function of gate voltage at different W_S , Φ_{BN} . (a) W_S , (b) Φ_{BN} .

그림 2. W_S , Φ_{BN} 을 변수로 한 게이트 전압에 따른 전달 특성 (a) W_S , (b) Φ_{BN}

[그림 3]에는 W_S 와 Φ_{BN} 을 변수로 하여 드레인 전압에 따른 드레인 전류를 나타내었다. [그림 3(a)]는 $\Phi_{BN}=0.8eV$ 로 고정하였을 때 W_S 의 변화에 따른 출력 특성을 나타낸 그래프이고, [그림 3(b)]는 $W_S=0.2\mu m$ 로 고정하였을 때 Φ_{BN} 변화에 따른 출력 특성을 나타낸 그래프이다. 두 경우 모두 $V_{DS}=10V$, $I_{DS}=15A$ 일 때 on-resistance가 0.07 Ω 으로 출력 특성의 변화가 없음을 확인하였는데, 이는 W_S 와 Φ_{BN} 이 채널(channel), 도핑농도 등 MOSFET 동작에 직접적으로 영향을 미

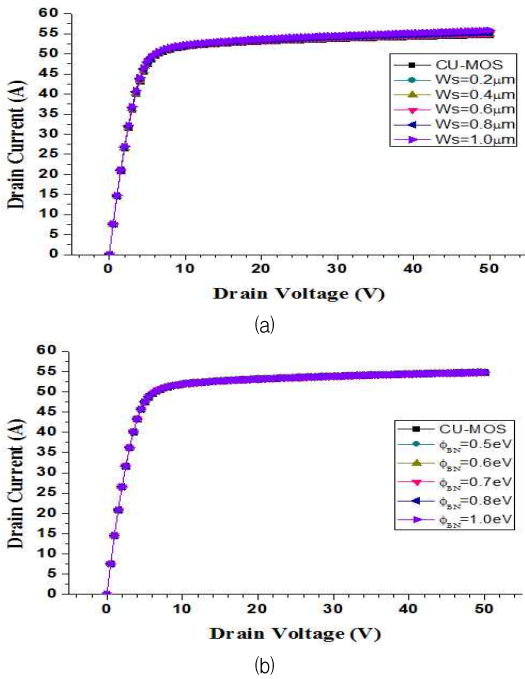


Fig. 3. Output characteristics as a function of drain voltage at different W_S , Φ_{BN} . (a) W_S , (b) Φ_{BN} .
그림 3. W_S , Φ_{BN} 을 변수로 한 드레인 전압에 따른 출력 특성 (a) W_S , (b) Φ_{BN}

치는 부분에 대해 무관한 변수이기 때문이다. [그림 4]는 W_S 와 Φ_{BN} 을 변수로 하여 드레인 전압에 따른 드레인 전류와 W_S 의 변화에 따른 항복전압을 나타내었다. [그림 4(a)]는 $\Phi_{BN}=0.8\text{eV}$ 로 고정하였을 때 W_S 의 변화에 따른 순방향 저지 항복(forward blocking breakdown, $V_{GS}=0\text{V}$)특성의 변화를 나타내고 있다. 그래프를 보면 W_S 가 증가함에 따라 누설전류가 증가하는데, 이는 쇼트키 다이오드의 면적이 증가하였기 때문이다. 항복 전압은 $I_{DS}=250\mu\text{A}$ 일 때 인가된 전압을 기준으로 삼았고, 이에 따른 각각의 경우에 대한 항복 전압은 [그림 4(b)]에 정리해 두었다. 시뮬레이션 결과 $W_S=0.2\mu\text{m}$, $0.5\mu\text{m}$, $1.0\mu\text{m}$ 일 때, 49.86V , 48.97V , 46.60V 로 CU-MOS의 항복전압인 50.16V 보다 근소한 차이로 감소하였다. CU-MOS보다 SU-MOS가 전반적으로 작은 항복 전압을 갖는 이유는, 쇼트키 다이오드를 형성하면서 생긴 접합(junction)의 모서리에서 전계 집중 현상이 발생하기 때문이다. 이 현상은 두 모서리 사이의 간격이 넓어질수록 보다 심화되므로, W_S 가 증가함에 따라 항복 전압은 감소하는 경향을 나타낸다[6]. [그림 4(c)]는 $W_S=0.2\mu\text{m}$ 로 고정하였을 때 Φ_{BN} 의 변화에 따른 순방향

저지 항복 특성을 나타내고 있다. 이 그래프를 보면 Φ_{BN} 에 따라 항복전압이 거의 변하지 않았는데, 그 이유는 Φ_{BN} 의 크기가 접합 모서리에서의 전계 집중 현상과 큰 연관이 없기 때문이다. $V_{DS}=0\text{V}$ 일 때 W_S , Φ_{BN} 변화에 따른 누설 전류는 표 3에 정리하였다.

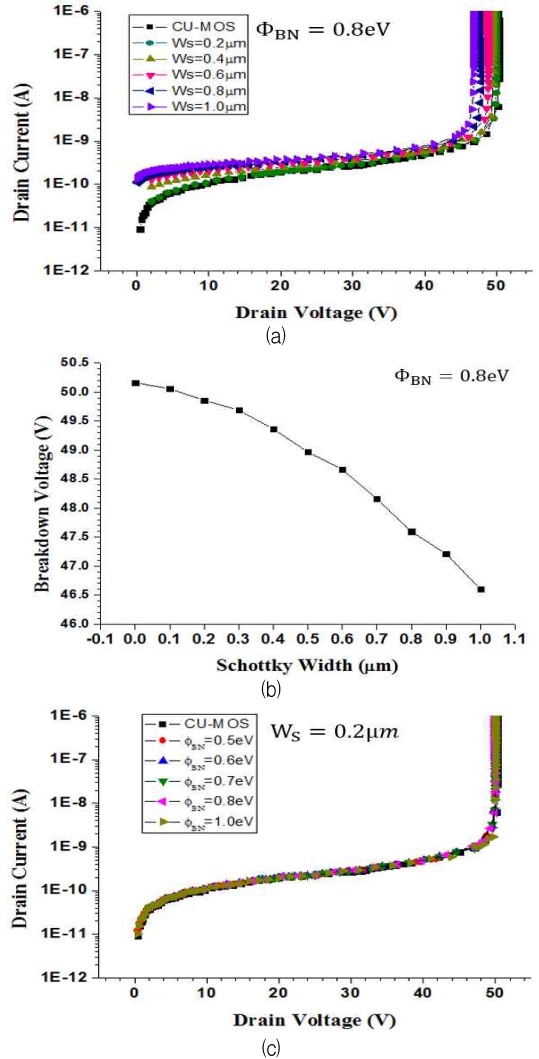


Fig. 4. (a) Forward blocking breakdown characteristics as a function of drain voltage at different W_S . (b) Breakdown voltage as function of different W_S . (c) Forward blocking breakdown characteristics as a function of drain voltage at different Φ_{BN} .
그림 4. (a) W_S 를 변수로 한 드레인 전압에 따른 순방향 저지 항복특성 (b) W_S 변화에 따른 항복 전압 (c) Φ_{BN} 을 변수로 한 드레인 전압에 따른 순방향 저지 항복특성

Table 3. Comparison of breakdown characteristic of leakage current as function of W_S and Φ_{BN} ($V_{DS}=0V$).

표 3. W_S 와 Φ_{BN} 에 따른 항복 특성의 누설 전류 비교 ($V_{DS}=0V$)

[A]

Φ_{BN} \ W_S	0.5eV	0.6eV	0.7eV	0.8eV	0.9eV
0.1 μm	2.08×10^{-11}	2.08×10^{-11}	2.08×10^{-11}	2.07×10^{-11}	2.07×10^{-11}
0.2 μm	2.39×10^{-11}	2.37×10^{-11}	2.36×10^{-11}	2.19×10^{-11}	2.14×10^{-11}
0.3 μm	8.28×10^{-11}	7.71×10^{-11}	6.66×10^{-11}	3.81×10^{-11}	2.21×10^{-11}
0.4 μm	5.98×10^{-8}	2.46×10^{-8}	1.53×10^{-9}	6.93×10^{-11}	2.56×10^{-11}
0.5 μm	4.16×10^{-6}	1.08×10^{-7}	2.67×10^{-9}	9.37×10^{-11}	3.29×10^{-11}
0.6 μm	5.76×10^{-6}	1.33×10^{-7}	3.28×10^{-9}	0.11×10^{-9}	3.65×10^{-11}
0.7 μm	7.65×10^{-6}	1.76×10^{-7}	4.05×10^{-9}	0.13×10^{-9}	4.06×10^{-11}
0.8 μm	1.01×10^{-5}	2.19×10^{-7}	4.64×10^{-9}	1.41×10^{-9}	4.36×10^{-11}
0.9 μm	1.05×10^{-5}	2.26×10^{-7}	4.92×10^{-9}	1.62×10^{-9}	4.52×10^{-11}
1.0 μm	1.24×10^{-5}	2.76×10^{-7}	6.25×10^{-9}	1.74×10^{-9}	4.70×10^{-11}

[그림 5]는 역 회복 특성을 파악하기 위한 회로도이다. 시뮬레이션에는 $V_{dd}=30V$, $V_{in}=10V$, $R_c=1\Omega$, $R_g=10\Omega$, 그리고 $L_c=1\mu H$ 를 사용하였다. 위의 회로에서 Q1은 V_{in} 으로부터 이중 펄스 입력 신호를 받음으로서 스위치 역할을 수행한다. Q2는 Q1이 off 상태일 때 on 상태가 되고, Q1이 다시 on 상태가 되면 Q2는 off 상태가 된다. 이 변화를 통해 역 회복 특성을 확인할 수 있다[7]. Q1, Q2에는 동일한 MOSFET 소자를 사용하였고, 이 소자의 차이에 따른 역 회복 특성의 변화를 관찰하였다.

[그림 6]는 W_S 와 Φ_{BN} 을 변수로 하여 시간에 따른 소자 Q2의 드레인 전류를 나타내었다. [그림 6(a)]는 $\Phi_{BN}=0.8eV$ 로 고정하였을 때 W_S 의 변화에 따른 역 회복 특성의 변화를 나타낸 그래프이다. 위의 그래프를

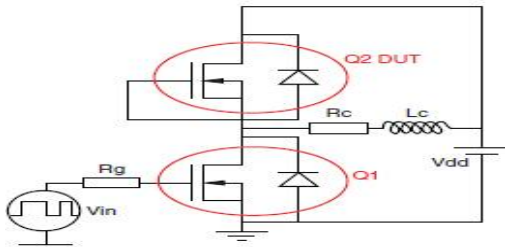


Fig. 5. Test circuit for reverse recovery characteristic. 그림 5. 역 회복 특성 실험 회로

보면, W_S 가 증가함에 따라 첨두 역 전류 값과 역 회복 시간이 감소한다. 그 이유는, 쇼트키 다이오드는 단극성 소자이기 때문에 스위칭 시 PN 다이오드에 비해 drift 영역에 저장된 전하를 빠르게 제거할 수 있기 때문이다. 그리고 cell pitch를 유지한 채 W_S 가 증가하면 이에 따라 PN 다이오드의 폭이 줄어들게 된다. 즉, 전류는 PN 다이오드보다 장벽 높이가 낮은 쇼트키 다이오드로 더 많이 흐르게 되고, 그 결과 첨두 역 전류가 작아지고 역 회복 시간이 빨라지게 된다 [8]. W_S 변화에 따른 첨두 역 전류와 역 회복 시간은 표 4에 정리하였다. [그림 6(b)]는 $W_S=0.2\mu m$ 로 고정하였을 때 Φ_{BN} 의 변화에 따른 역 회복 특성 변화를 나타낸 그래프이다. Φ_{BN} 이 증가할수록 캐리어의 반도체에서 금속으로의 이동이 어려워지기 때문에 첨두 역 전류 및 역 회복 시간이 증가한다. Φ_{BN} 변화에 따른 첨두 역 전류와 역 회복 시간은 표 5에 정리하였다.

[그림 7]은 역 회복 동안 드레인 전류와 소스 전압의 파형에 대해 나타내고 있다. 역 회복 과정에서 전압과 전류로 인해 발생하는 전력 손실의 차이점을 확인

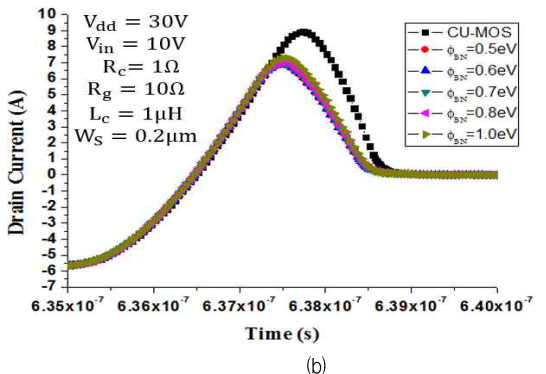
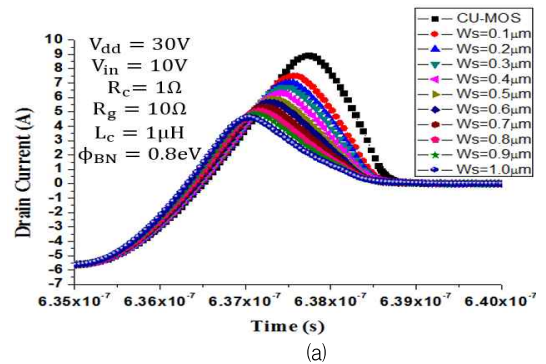


Fig. 6. Reverse recovery characteristics as a function of time at different W_S , Φ_{BN} . (a) W_S , (b) Φ_{BN} . 그림 6. W_S , Φ_{BN} 을 변수로 한 시간에 따른 역 회복 특성 (a) W_S , (b) Φ_{BN}

Table 4. Reverse recovery characteristics with different of W_S .

표 4. W_S 변화에 대한 역 회복 특성

Parameter	Peak Reverse Current I_{RR} [A]	Reverse Recovery Time t_{rr} [ns]
CU-MOS	8.92	1.99
$W_S=0.1\mu\text{m}$	7.50	1.87
$W_S=0.2\mu\text{m}$	7.03	1.84
$W_S=0.3\mu\text{m}$	6.72	1.83
$W_S=0.4\mu\text{m}$	6.29	1.79
$W_S=0.5\mu\text{m}$	5.91	1.77
$W_S=0.6\mu\text{m}$	5.67	1.76
$W_S=0.7\mu\text{m}$	5.35	1.75
$W_S=0.8\mu\text{m}$	5.06	1.75
$W_S=0.9\mu\text{m}$	4.93	1.73
$W_S=1.0\mu\text{m}$	4.64	1.73

Table 5. Reverse recovery characteristics with different of Φ_{BN} .

표 5. Φ_{BN} 변화에 대한 역 회복 특성

Parameter	Peak Reverse Current I_{RR} [A]	Reverse Recovery Time t_{rr} [ns]
CU-MOS	8.92	1.99
$\Phi_{BN}=0.5\text{eV}$	6.87	1.85
$\Phi_{BN}=0.6\text{eV}$	6.91	1.84
$\Phi_{BN}=0.7\text{eV}$	6.95	1.84
$\Phi_{BN}=0.8\text{eV}$	7.03	1.83
$\Phi_{BN}=0.9\text{eV}$	7.28	1.83

하기 위해 식 (2)와 같이 성능지수(figure of merit)를 고안하였다. 누설 전류와 역 회복 시 전압과 전류로 인한 에너지 손실을 중점적인 factor로 고려하였다.

$$FOM = 1/(E_{RR} \times \sqrt{I_L}) \quad (2)$$

여기서 E_{RR} (식 (3))은 역 회복 동안 소모되는 에너지를 나타내며, I_L 는 누설 전류를 의미한다. E_{RR} 과 I_L 이 작을수록 성능지수가 우수함을 의미한다.

$$E_{RR} = \int I_R(t) \times V_S(t) \times t_{rr} \quad (3)$$

여기서 $I_R(t)$ 는 역 회복 동안의 전류, $V_S(t)$ 는 역 회복 동안의 소스 전압에 걸리는 전압, t 는 역 회복 시간을 의미한다. 표 6은 식 (2)를 이용해 W_S 와 Φ_{BN} 의

변화에 대한 성능지수를 나타내었다. 결과적으로 W_S 가 $0.2\mu\text{m}$, Φ_{BN} 이 0.8eV 일 때, $1136[\mu(\text{J}\cdot\text{A})]^{-1}$ 로 가장 우수한 성능지수가 나타나는 것을 확인하였다. 이는 기존 CU-MOS의 $841.887[\mu(\text{J}\cdot\text{A})]^{-1}$ 과 비교 시 35%의 더 뛰어난 성능을 보인다.

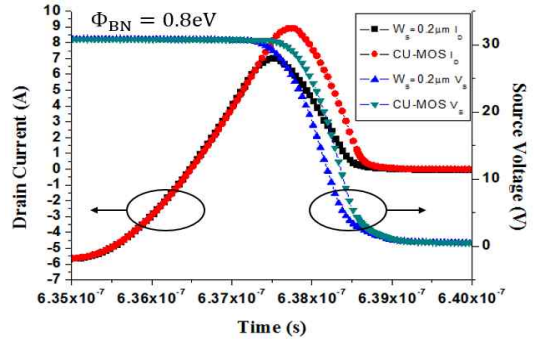


Fig. 7. Waveforms of drain current and the source voltage of the CU-MOS and SU-MOS.

그림 7. CU-MOS와 SU-MOS의 드레인 전류와 소스 전압의 파형

Table 6. Comparison of figure of merits as function of W_S and Φ_{BN} .

표 6. W_S 와 Φ_{BN} 에 따른 성능 지수 비교

W_S \ Φ_{BN}	[$\mu(\text{J}\cdot\text{A})^{-1}$]				
	0.5eV	0.6eV	0.7eV	0.8eV	0.9eV
0.1 μm	1071	1070	1069	1066	1060
0.2 μm	1115	1116	1110	1136	1107
0.3 μm	643	661	702	903	1106
0.4 μm	28	42	164	716	1068
0.5 μm	4	23	139	672	990
0.6 μm	4	22	133	663	958
0.7 μm	4	21	130	628	918
0.8 μm	4	22	132	656	898
0.9 μm	4	23	137	618	922
1.0 μm	4	24	130	629	928

III 결론

본 논문에서 고주파용 50V 급 전력 MOSFET을 위해 쇼트키 body 다이오드를 집적한 구조인 SU-MOS 소자를 제안한 후 전기적 및 역 회복 특성을 시뮬레이션을 통해 확인하였다. 결과적으로 W_S 가 증가하면 역 회복 특성이 향상되지만 누설전류가 커지고, 이와 달리 Φ_{BN} 이 증가하면 역 회복 특성이 저

하되지만 누설 전류는 작아진다. 따라서 W_S 과 Φ_{BN} 는 trade-off 관계에 있다. 제안된 소자와 CU-MOS 소자인 BUZ11_NR4941의 DC 특성을 비교해본 결과, 문턱전압 및 on-resistance, 그리고 항복전압의 변화는 없었다. 반면 역 회복 특성은 CU-MOS와 비교 시, W_S 가 0.2 μ m, Φ_{BN} 이 0.8eV일 때를 기준으로 침투 역 전류 값은 21.09%, 역 회복 시간은 7.68% 감소하였고, 결과적으로 성능지수는 35% 증가하였다.

References

- [1] Catania, M.F, Frisina, F, Tavolo, N, Ferla, G, Coffia, S, and Campisano, Salvatore Ugo, "Optimization of the tradeoff between switching speed of the internal diode and on-resistance in gold- and platinum-implanted power metal-oxide-semiconductor devices", IEEE Transactions on Electron Devices, vol. 39, issue 12, pp. 2745-2749, 1992
- [2] B. Jayant Baliga, and Edmund Sun, "Comparison of Gold, Olatinum, and Electron Irradiation for Controlling Lifetime in Power Rectifiers", IEEE Transactions on Electron Devices, vol. 24, issue 6, pp. 685-688, June 1977
- [3] Matthew D. Miller, "Differences Between Platinum-and Gold-Doped Silicon Power Devices", IEEE Trans. Electron Devices, vol. 23, no. 12, pp. 1279-1283, Aug 2005
- [4] Xu Cheng, Johnny K. O. Sin, Baowei Kang, Chuguang Feng, Yu Wu, and Xingming Liu, "Fast reverse recovery body diode in high-voltage VDMOSFET using cell-distributed Schottky contacts", IEEE Trans. Electron Devices, vol. 50, no. 5, pp. 1422-1425, May 2003
- [5] Calafut D., "Trench power MOSFET lowside switch with optimized integrated Schottky diode", Power Semiconductor Devices and ICs, 2004., pp. 397-400, 2004
- [6] B. J. Baliga, "Fundamentals of Power Semiconductor Devices. 1st ed.", New York: Springer, 2008
- [7] Synopsys, Inc., "Two-dimensional Process and Device simulation of Trench-Gate NMOS Power Device Using TCAD Sentaurus", synopsys Inc., Mountain View, CA, USA, 2013
- [8] Y. Wang, W. N. Jiao, H. F. Hu, Y. T. Liu and J. Gao, "Split-Gate-Enhanced Power UMOSFET With Soft Reverse Recovery", IEEE Trans. Electron Devices, vol. 60, no. 6, pp. 2084-2089, June 2013

BIOGRAPHY

Lee Byung-hwa (Student Member)



2014 : BS degree in Electronic Engineering, Kumoh National Institute of Technology
2014 ~ present : MS course in Electronic Engineering, Sogang University
<Research interest>

Cho Doo-hyung (Member)



2011 : BS degree in Electrical and Electronic Engineering, Dankook University
2013 : MS degree in Electronic Engineering, Sogang University
2013 ~ present : PhD course in Electronic Engineering,

Sogang University

Kim Kwang-soo (Member)



1981 : BS degree in Electronic Engineering, Sogang University
1983 : MS degree in Electronic Engineering, Sogang University
1998 : PhD degree in Electronic Engineering, Sogang University
1983 ~ 1997 : Electronics and

Telecommunications Research Institute (ETRI).

1998 ~ 2005 : Institute for Information Technology Advancement (IITA)

2005 ~ 2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)

2008 ~ present : Professor, Electronic Engineering, Sogang University