

실리콘 트랜치 구조 형성용 유전체 평탄화 공정

Dielectric Layer Planarization Process for Silicon Trench Structure

조 일 환*, 서 동 선**

Il Hwan Cho*, Dongsun Seo**

Abstract

Silicon trench process for bulk fin field effect transistor (finFET) is suggested without using chemical mechanical polishing (CMP) that cause contamination problems with chemical stuff. This process uses thickness difference of photo resistor spin coating and silicon nitride sacrificial layer. Planarization of silicon oxide and silicon trench formation can be performed with etching processes. In this work 50 nm silicon trench is fabricated with AZ 1512 photo resistor and process results are introduced.

요 약

소자의 집적화에 필수적인 소자 분리공정에서 화학약품의 오염 문제등을 발생시키는 화학적 기계연마기술(CMP) 공정을 사용하지 않고 벌크 finFET(fin field effect transistor)의 트랜치 구조를 형성할 수 있는 공정에 대하여 제안하였다. 사진 감광막 도포시 발생하는 두께차이와 회생층으로 사용되는 실리콘 질화막을 사용하면 에칭 공정만을 사용하여 상대적으로 표면 위로 돌출된 부분의 실리콘 산화막 층을 에칭하는 것은 물론 finFET의 채널로 사용되는 실리콘 트랜치 구조를 한번에 형성할 수 있는 특징을 갖는다. 본 연구에서는 AZ1512 사진 감광막을 사용하여 50 나노미터급 실리콘 트랜치 구조를 형성하는 공정을 수행하였으며 그 결과를 소개한다.

Key words : bulk finFET, isolation, semiconductor, etching process, planarization

* Dept. of Electronic Engineering, Myongji University

★ Corresponding author

+81-31-330-6369 sdsphoto@mju.ac.kr

※ Acknowledgement

This work was supported by the IITP funded by the Ministry of Science, ICT, and Future Planning (#14-823-04-006) and by 2014 Research Fund of Myongji University

Manuscript received Jan. 7, 2015; revised Feb. 25, 2015; accepted Mar 2, 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial

License(<http://creativecommons.org/licenses/by-nc/3.0>)

which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

반도체 소자 공정 중 인접한 소자사이를 분리하는 기술은 소자의 집적화가 진행됨에 따라 가장 중요한 소자 기술 중 하나로 자리 잡게 되었다. 소자의 채널 길이가 0.35 마이크로 미터 이하로 작아지면서 초기에 사용되던 LOCOS(local oxidation of silicon) 공정은 STI(shallow trench isolation) 공정으로 대체되었으며, STI 공정은 소자의 고집적화와 함께 지속적으로 개발되어 왔다.[1][2] 하지만 기계적인 마모와 화학약품을 사용하는 STI 공정의 경우 CMP(chemical mechanical polishing) 공정을 사용하게 되는데 이 때 화학약품 사용으로 인한 소자 오염 문제와 너비가 큰

패턴을 평탄화 할 경우 단차 문제가 발생하게 된다.[3] 공정 후 세정 공정 등을 통하여 이와 같은 문제점을 해결 할 수 있지만 기본적으로 STI 공정에서 이와 같은 문제점은 항상 소자 개발에 있어서 고려되어야 한다. STI 공정을 이용하면서 제작되는 고집적 소자 중 최근 각광을 받는 구조로 finFET (fin field effect transistor) 구조가 있다.[4] FinFET 은 게이트가 입체적으로 채널을 감싸는 형태를 통해 짧은 채널을 갖는 MOSFET(metal oxide silicon field effect transistor) 개발시 발생하는 짧은 채널 효과를 효과적으로 억제할 수 있다.[5] 이와 같은 finFET 의 경우 크게 벌크 실리콘 웨이퍼에 제작되는 벌크 finFET 과 SOI(silicon on insulator) 웨이퍼에 제작되는 SOI finFET 으로 나눌 수 있다. 벌크 finFET 의 경우 우수한 열 특성과 부유 몸체 효과 특성 억제 그리고 낮은 비용 등으로 반도체 산업 현장에서 많은 연구가 이루어지고 있다.[6] 본 연구에서는 벌크 finFET 을 제작하는데 있어서 필수적인 실리콘 트렌치 구조를 CMP 공정 대신 사진감광막의 두께차이를 이용하여 형성할 수 있는 공정에 대해서 소개한다. 여기에 서론을 입력하세요.

II. 본론

그림 1에 제안된 공정의 전체적인 순서도가 나타나 있다. 그림 1(a) 와 같이 먼저 실리콘 트렌치를 400 나노미터 건식 식각 공정을 이용하여 형성하며, 실리콘 트렌치의 깊이는 소자의 요구 조건에 따라 변경이 가능하다. 소자간의 분리에 사용되는 실리콘 산화막을 플라즈마 화학기상 증착공정 (PECVD)을 이용하여 증착하고 900 도에서 30분 가량 어닐링 해준다. 증착공정을 통해 형성된 산화막을 어닐링 할 경우 산화막의 에칭 속도가 감소하여 정확한 에칭 두께 조절이 가능하다. 이후 희생층으로 사용되는 실리콘 질화막을 저압 화학기상 증착공정 (LPCVD)를 이용하여 40 나노미터 두께로 덮어준다.

그 이후 그림 1(b) 와 같이 사진 감광막 도포를 수행한다. 본 연구에서는 Clariant 사의 AZ1512 사진 감광액을 사용하였다. 이때 그림에서와 같이 요철 패턴 부위에 따른 사진 감광막 두께차이를 크게 하려면 사진 감광막 도포 공정시 유기 용매를 추가하여 사진 감광막의 점도를 낮추는 것이 필요하다. 본 연구에서는 부피 기준으로 사진감광막대 유기 용매의 비율을 1:1 로 정하여 연구를 수행하였다. 유기 용매가 첨가된 사진감광막을 4000 RPM 으로 30초간 스핀 도포를 수행할 경우 트렌치 공정을 수행 할 수 있는 사진 감

광막 두께 차이를 얻을 수 있다. 사진 감광막 도포 이후, 산소 플라즈마를 사용하는 에칭 장비를 이용하여 그림 1(c) 와 같이 사진 감광막을 제거해준다.

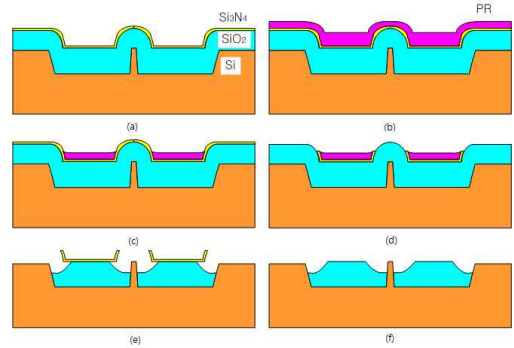


Fig. 1. Process sequence flow (a) Trench patterning, silicon oxide deposition and silicon nitride deposition (b) photoresist coating (c) photoresist etching with aching process (d) silicon nitride dry etching (e) silicon oxide wet etching (f) silicon nitride wet etching

그림 1. 공정 순서도 (a) 트렌치 형성 이후 실리콘 산화막과 실리콘 질화막 증착 (b) 사진감광막 도포 (c) 에칭공정을 통한 사진감광막 식각 (d) 실리콘 질화막 건식 식각 (e) 실리콘 산화막 습식 식각 (f) 실리콘 질화막 습식 식각

이때 차후 공정을 위해서 남아 있는 사진 감광막의 두께가 하단의 실리콘 질화막 두께에 비해서 두꺼워야 하며 본 연구에서는 그림 2와 같이 200 나노미터 이상의 사진 감광막을 얻을 수 있었다.

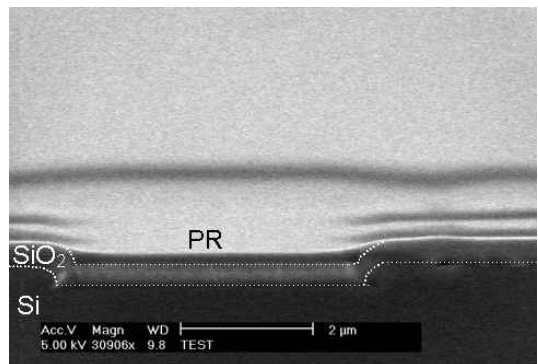


Fig. 2. SEM image of PR layer after ashing process
그림 2. 제거 공정 이후 남아있는 사진 감광막의 전자현미경 사진

사진 감광막 제거 공정 이후 선택적으로 노출되어

있는 실리콘 질화막 에칭 공정을 건식 식각 공정을 통해서 진행하였다. 그 결과로 그림 1(d) 에서와 같이 사진 감광막이 상대적으로 얇게 도포된 부분에 위치한 실리콘 질화막 부분만 제거되게 된다. 이때 실리콘 질화막 하단에 위치한 실리콘 산화막의 제거를 위해서는 실리콘 질화막 제거 공정의 무결점이 중요하게 되며 본 연구에서는 해당 두께의 200%를 목표로 하는 식각 공정을 통하여 실리콘 질화막을 제거하였다. 이때 사용되는 플라즈마 공정을 통하여 남아있는 사진 감광막에 제거될 수 있으나 실리콘 산화막 제거의 경우 플라즈마 식각 공정에 비해서 상대적으로 에칭 선택비가 우수한 습식 식각 공정을 사용하기 때문에 실리콘 질화막으로 선택적 에칭 공정 수행이 가능하다. 이후 그림 1(e) 와 같이 6:1 BHF(buffered hydrofluoric acid) 용액을 이용하여 실리콘 산화막 에칭 공정을 수행한다.

이때 실리콘 산화막의 평탄화 공정 및 벌크 finFET 용 트렌치 공정이 동시에 수행되는 장점을 얻을 수 있다. 그림 3의 실리콘 산화막 공정이 끝난 후 전자현미경 사진에서 알 수 있듯이, 실리콘 질화막을 마스크로 선택적인 실리콘 산화막 에칭이 이루어짐을 확인할 수 있다.

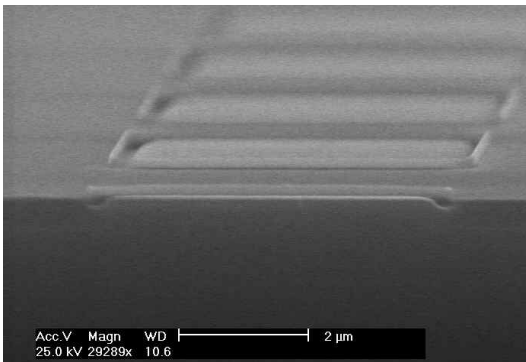


Fig. 3. SEM image of process after silicon oxide wet etching

그림 3. 실리콘 산화막 습식 에칭 공정 이후 패턴의 전자현미경 사진

마지막으로 그림 1(f) 와 같이 상단에 남아있는 실리콘 질화막을 습식 에칭 공정을 이용하여 제거하게 되면 벌크 finFET 제작에 사용되는 실리콘 트렌치 구조를 형성할 수 있게 된다. 본 연구에서는 전자빔을 이용한 패턴 형성 공정을 사용하여 그림 4와 같이 폭이 50 나노미터인 실리콘 구조를 형성하여 트렌치 구조를 제작하였다. 현재 개발되고 있는 20 나노미터

이하의 크기를 갖는 finFET의 경우에 대하여 실험적 결과를 얻지 못하였지만, 공정 조건을 최적화 할 경우 본 논문에서 제안된 공정을 사용할 수 있을 것으로 예상된다.

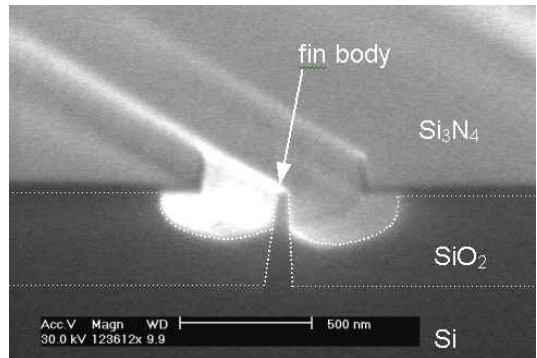


Fig. 4. SEM image of silicon trench structure

그림 4. 실리콘 트렌치 구조의 전자현미경 사진

III 결론

본 논문에서는 CMP 공정을 이용하지 않고 벌크 finFET 용 실리콘 트렌치 공정을 제작하는 새로운 공정에 대하여 소개하였다. 사진 감광막 두께차이와 감광막 제거공정만으로 실리콘 트렌치를 형성하였으며, 실제 공정을 통하여 50 나노미터급 실리콘 트렌치 형성 결과를 보였다. 본 논문에서 소개된 공정은 CMP로부터 발생할 수 있는 많은 문제점으로부터 자유로운 특성을 갖고 있으며 회사 뿐 아니라 실험용 소자를 제작하는 연구소나 학교에서 유용하게 사용될 수 있는 가능성을 가지고 있다.

References

- [1] Y.-L. Wang, C. Liu, M. -S. Feng, Jowei Dun and K. -S. Chou, "Effects of underlying films on the chemical-mechanical polishing for shallow trench isolation technology," *Thin Solid Films*, 308-309, pp.534-549, 1997
- [2] Sang-Ick Lee, Jinho Hwang, Hyoungjae Kim and Haedo Jeong Yao Wang, "Investigation of polishing characteristics of shallow trench isolation chemical mechanical planarization with different types of slurries," *Microelectronic Engineering*, Vol.84, pp.626-630, 2007
- [3] Yair Ein-Eli and David Starosvetsky, "Review

on copper chemical-mechanical polishing(CMP) and post-CMP cleaning in ultra large system integrated(ULSI)-An electrochemical perspective," *Electrochimica Acta*, Vol.52, pp.1825-1838, 2007

- [4] Xuejue Huang, Whn-Chin Lee, Charles Kuo, Digh Hisamoto, Leland Chang, Jakub Kedzierski, Erik Anderson, Hideki Takeuchi, Yang=Kyu Choi, Kazuya Asano, Vivek Subramanian Tsu-Jae King, Jeffrey Bokor and Chenming Hu, "Sub-50 nm P-channel FinFET," *IEEE Transactions on Electron Devices*, Vol.48(5), pp.880-886, 2001
- [5] Yang-Jyu Choi, Tsu-Jae King and Chenming Hu, "Spacer FinFET: nanoscale double-gate CMOS technology for the terabit era," *Solid State Electronics*, Vol.46, pp.1595-1601, 2002
- [6] Kyoung-Rok Han, byung-Gil Choi and Jong-Ho Lee, "Design Consideration of Body-Tied FinFETS(Ω MOSFETs) Implemented on Bulk Si wafers," *Journal of Semiconductor Technology and Science*, Vol.4(1), pp.12-17, 2004

Seo, Dongsun (Life Member)



1980: B.S. degree in Electronics, Yonsei University
 1985: M.S. degree in Electronics, Yonsei University
 1989: Ph.D. degree in Electrical Engineering, Univ. of New Mexico, USA

1990 ~ Present: Professor, Dept. of Electronics, MyongJi University

BIOGRAPHY

Cho Il Hwan (Member)



2000 : BS degree in Electrical Engineering, Korea Advanced Institute of Science and Technology.

2002 : MS degree in Electrical Engineering, Seoul National University.

2007 : PhD degree in Electrical Engineering, Seoul National University.

2012 ~ Present: Associate Professor, Dept. of Electronics, MyongJi University