

논문 2015-52-2-22

시간-디지털 변환기를 이용한 ADPLL의 잡음 개선에 대한 연구

(A Study on the Noise Improvement of All Digital Phase-Locked Loop
Using Time-to-Digital Converter)

안 태 원*, 이 종 석**, 이 원 석*, 문 용***

(Tae-Won Ahn[Ⓢ], Jongsuk Lee, Won-Seok Lee, and Yong Moon)

요 약

본 논문에서는 ADPLL의 잡음 개선을 위해 8비트 SVBS-TDC (Semi-Vernier Binary-Search Time-to-Digital Converter)를 제안했다. TDC의 동작 속도를 높이기 위해 인코더 등 디지털 블록을 사용하지 않는 BS-TDC (Binary-Search TDC) 구조를 사용했으며, 버니어 구조를 적용하여 기존의 BS-TDC에 비해 해상도를 10배 이상 증가시켰다. TDC의 단점인 좁은 입력 범위를 개선하기 위해 버니어 구조를 절반만 적용하여 510ps의 넓은 입력 범위를 확보했다. 제안하는 SVBS-TDC는 65nm CMOS 공정으로 설계하였고, 모의실험 결과 1.2V 전원 전압에서 동작 속도는 200MHz이고 해상도는 4ps로서 ADPLL의 잡음 특성을 효과적으로 개선함을 확인하였다.

Abstract

This paper presents SVBS-TDC (Semi-Vernier Binary-Search Time-to-Digital Converter) for the noise improvement of ADPLL (All-Digital Phase Locked Loop). We used a Semi-Vernier BS-TDC (Binary-Search TDC) architecture to improve the operation speed more than 10 times compared with the previous conventional BS-TDC and ensured a 510ps wide input range. The proposed Semi-Vernier BS-TDC was designed in a 65nm CMOS process and the simulation results showed 200MHz speed and 4ps resolution with a 1.2V supply voltage, and considerable noise improvement of ADPLL.

Keywords : ADPLL, TDC, DTC, Vernier

I. 서 론

PLL (Phase-Locked Loop)은 통신용 클록을 생성하는데 사용되는 주요 블록으로서, 크게 고전적인 아날로그 방식과 최근의 디지털 방식으로 구분된다. 기존의 아날로그 전하 펌프를 이용한 PLL은 CMOS 공정이 발전할수록 전하펌프의 저전압 헤드룸과 숏-채널 현상에 의한 문제와 수동 소자인 루프필터의 큰 면적 때문에 최근의 고성능 집적회로에는 적합하지 않다^[1~2]. 이러한 아날로그 PLL의 구조적인 한계를 극복하기 위해 최근

* 정회원, 동양미래대학교 전기전자통신공학부
(School of Electrical Engineering, Dongyang Mirae University)

** 학생회원, *** 정회원, 숭실대학교 전자정보공학부
(School of Electronic Engineering, Soongsil University)

Ⓢ Corresponding Author(E-mail: twahn@dongyang.ac.kr)

※ 이 논문은 2014학년도 동양미래대학교 학술연구비 지원에 의하여 연구되었음.

접수일자: 2014년12월16일, 수정일자: 2014년12월29일

게재확정: 2015년01월26일

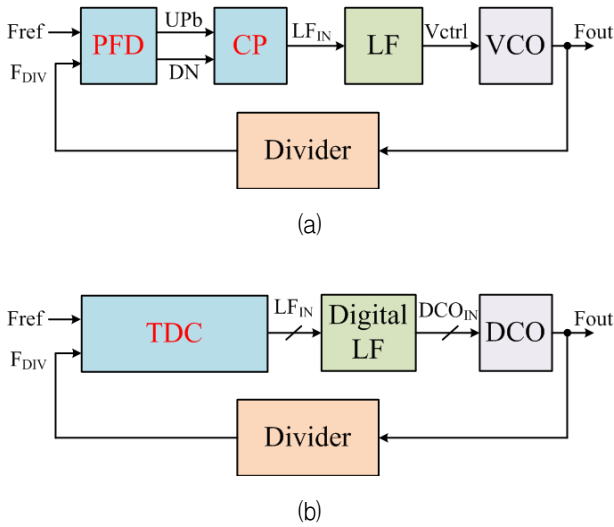


그림 1. (a) 아날로그 PLL 블록도 (b) ADPLL 블록도
 Fig. 1. (a) Block diagram of analog PLL
 (b) Block diagram of ADPLL.

에는 ADPLL (All-Digital PLL)을 이용한 클록 생성이 활발히 연구되어 왔으며 기본 블록도는 그림 1에 나타난 바와 같이 비교할 수 있다^[3].

입력에 따른 주파수를 생성하는 동작을 수행하는 발전기는 각각 VCO (Voltage Controlled Oscillator)와 DCO (Digitally Controlled Oscillator)로 구분되며, 그림 1.(a)에서 PFD (Phase-Frequency Detector) 블록과 CP (Charge Pump) 블록을 대체하는 블록이 그림 1.(b)의 TDC 블록인데, TDC는 두 시간의 차이에 대한 정보를 해당되는 디지털 값으로 바꿔주는 역할을 하는 핵심 기능을 수행한다. ADPLL은 아날로그 PLL에 비해 아날로그 신호를 디지털 신호로 처리하는 구간이 필요하기 때문에 속도가 느리며, 위상/주파수 신호가 디지털 신호로 양자화 되면서 발생하는 양자화 오류 때문에 잡음 특성이 나쁘다는 단점이 있는데 TDC (Time-to-Digital Converter) 블록에서 그 문제를 해결할 수 있다^[3].

본 논문에서는 ADPLL의 위상 잡음을 개선하는데 초점을 맞추었으며 식 (1)에 ADPLL의 위상 잡음과 TDC의 해상도의 관계를 나타냈다^[4].

$$L\{\Delta\omega\} = 10\log\left[\frac{(2\pi)^2}{12}\left(\frac{\Delta t_{inv}}{T_V}\right) \cdot \frac{1}{f_R}\right] \quad (1)$$

Δt_{inv} 는 TDC의 해상도이고 T_V 는 DCO 클록의 주기, f_R 는 기준 주파수이다. 식 (1)을 통해서 TDC의 해상도

와 기준 주파수가 ADPLL의 위상 잡음에 영향을 준다는 것을 알 수 있으므로, 위상 잡음 특성을 개선하기 위해서는 높은 해상도와 빠른 동작 속도가 필요하다. TDC의 해상도를 높이기 위한 여러 가지 구조에 대한 연구는 꾸준히 진행되어 왔는데 특히 최근에는 TDC와 DTC (Digital-to-Time Converter)를 함께 사용하여 동작 속도를 높이는 연구가 진행된 바 있다^[5].

본 논문에서는 버니어 지연을 이용하여 공정에 상관없이 높은 해상도와 동시에 DTC를 사용하여 넓은 입력 범위에도 불구하고 빠른 동작 속도를 갖는 TDC에 대한 연구를 진행하였으며 논문의 구성은 다음과 같다. II장에서는 제안하는 TDC의 구조에 대해 설명하고, III장에서는 모의실험 결과를 기술하며, 마지막 IV장에서는 결론으로 마무리한다.

II. SVBS-TDC 구조

1. 버니어 지연단

버니어 지연단은 버니어 칼리버의 원리를 이용하여 TDC의 정밀도를 높이는 방법 중 하나이다^[2,6]. 버니어 지연단의 기본구조를 그림 2에 나타냈다.

버니어 지연단의 동작 원리는 다음과 같다. 시간차를 갖는 두 신호(START, STOP) 중 START가 먼저 입력된다. 하지만 START[n] 버퍼의 지연시간이 STOP[n] 버퍼보다 α 만큼 더 길기 때문에 입력된 시간 차이는 한 단씩 지날 때마다 α 만큼씩 줄어들게 된다. 결국 공정에 따라 좌우되는 버퍼의 지연 시간에 상관없이 α 가 버니어 지연단의 해상도가 된다. 이를 수식으로 표현하면 아래 식(2)와 같다.

$$\text{지연시간} = \tau_d + \alpha - \tau_d = \alpha \quad (2)$$

하지만 버니어 구조는 해상도를 높일 수 있는 반면 잡음과 소자의 미스매치 때문에 단수를 무조건 늘릴 수 없어서 입력 범위가 매우 좁아진다는 단점이 있다.

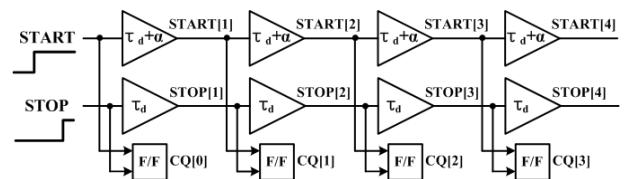


그림 2. 버니어 지연단 블록도
 Fig. 2. Block diagram of vernier delay line.

2. DTC

DTC는 디지털 제어 신호에 따라 DTC의 해상도만큼의 지연된 신호 또는 지연되지 않은 신호를 선택해주는 역할을 한다. DTC의 블록도와 동작원리를 그림 3에 나타냈다^[5]. 그림 3.(a)는 DTC의 심볼이고 T_{IN} 은 DTC의 입력신호이고 Q_{IN} 은 DTC의 디지털 제어 신호이다. τ_d 는 DTC의 해상도를 의미한다. 그림 3.(b)에서 DTC의 해상도는 버퍼의 지연시간임을 알 수 있다. 그림 3.(c)는 Q_{IN} 값에 따른 DTC 각 노드에서의 동작 파형을 나타냈으며 $Q_{IN}='LOW'$ 이면 $T_{OUT}=T_{IN}$ 이 되지만 $Q_{IN}='HIGH'$ 이면 $T_{OUT}=T_{IN}+\tau_d$ 이 되어서 τ_d 만큼의 지연시간이 더해진 출력이 나온다. 이와 같이 DTC는 Q_{IN} 의 디지털 신호를 입력받아서 시간 차이로 출력하는 역할을 하기 때문에 TDC 구조에 적용할 수 있다.

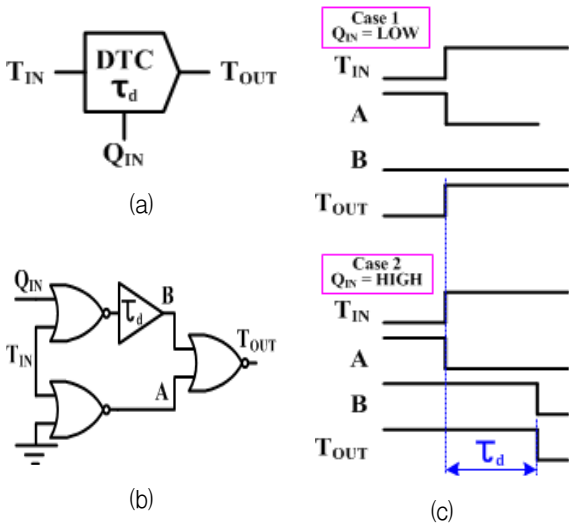
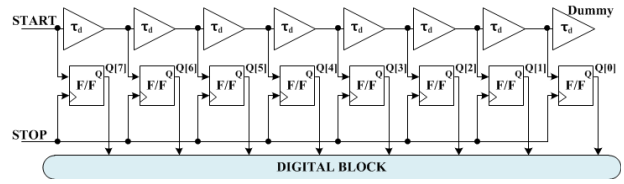


그림 3. (a) DTC 심볼 (b) DTC 회로도
(c) DTC 동작파형
Fig. 3. (a) DTC symbol (b) DTC schematic
(c) Waveform of DTC

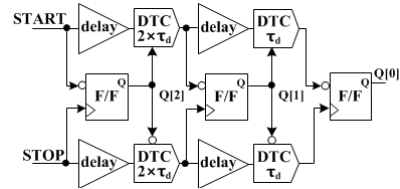
3. BS-TDC

기존 TDC의 디지털 블록 처리 시간을 줄이기 위해 DTC를 이용한 BS-TDC (Binary-Search TDC) 구조가 있으며 그림 4에 블록도를 나타냈다^[5].

그림 4.(a)는 기존의 3비트 TDC 구조를 나타냈으며 디지털 블록에서 플립플롭의 출력을 인코딩하여 2진수로 변환한다. 디지털 블록은 큰 면적과 추가적인 전력 소모를 가져오고 인코딩 시간만큼 전체 동작 시간에 추가되기 때문에 TDC 동작속도에 영향을 미친다^{[1~2, 4, 6~}



(a)



(b)

그림 4. (a) 기존 TDC 블록도 (b) BS-TDC 블록도
Fig. 4. (a) Block diagram of conventional TDC
(b) Block diagram of BS-TDC

기. 그림 4.(b)는 3비트 BS-TDC 구조를 나타냈으며 디지털 블록이 필요 없고 오직 N개의 플립플롭만으로 구성되며 그 동작원리는 다음과 같다. 첫 단계에서 START와 STOP 신호를 첫 번째 플립플롭에서 비교하여 디지털 출력 $Q[2]$ 를 DTC에 보낸다. delay 버퍼는 플립플롭이 처리하는 시간만큼의 지연 시간을 갖고 있으며, $Q[2]$ 가 DTC에 먼저 입력되도록 해준다. 위아래 두 개의 DTC는 서로 반전된 $Q[2]$ 를 받기 때문에 둘 중 한 개만 지연 시간을 갖는다. START가 STOP보다 빠르다면 위쪽의 DTC에 지연 시간이 추가되고, START가 STOP보다 느리다면 아래쪽의 DTC에 지연 시간이 추가된다. 두 번째 단계에서는 $2 \times \tau_d$ 만큼의 지연 시간이 추가된 신호를 두 번째 플립플롭에서 첫 단계와 같은 방식으로 비교한다. 두 번째 단계에서의 DTC 지연 시간은 첫 단계의 1/2이기 때문에 2진수로 표현이 가능하고, 그림 4.(a)와 (b)의 해상도는 τ_d 로 동일하다. 하지만 BS-TDC의 해상도는 DTC의 버퍼 지연시간에 의존해야 한다는 문제점이 있으며, 일반적으로 나노미터 CMOS 공정에 서 버퍼의 최소 지연시간은 40ps이다.

4. SVBS-TDC

본 논문에서 제안하는 SVBS-TDC (Semi-Vernier Binary-Search TDC)의 전체 블록도는 그림 5와 같다. 버니어 지연단의 좁은 입력 범위를 해결하기 위해 MSB 4비트는 BS-TDC 구조를 사용하였고, BS-TDC의 낮은 해상도를 해결하기 위해 LSB 4비트에 버니어

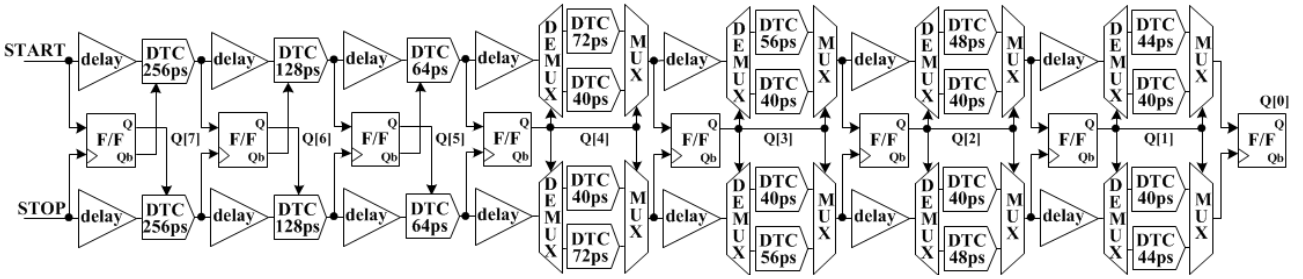


그림 5. SVBS-TDC 블록도
Fig. 5. Block diagram of SVBS-TDC.

구조를 적용했다. 플립플롭의 처리 시간이 빠를수록 delay 버퍼의 지연 시간을 줄일 수 있기 때문에 차동 구조의 고속 플립플롭을 사용하였으며 그림 6에 회로도를 나타냈다^[7]. 플립플롭은 VDD/2의 신호를 기준으로 동작하며, Q와 Qb가 동시에 출력되기 때문에 기존의 BS-TDC 구조에 비해 반전된 신호 생성을 위한 인버터 사용을 줄일 수 있다. 플립플롭의 민감한 동작 환경을 보장해 주기 위해서 4번째 플립플롭부터 Qb는 Q가 연결된 것과 동일한 크기의 임피던스로 종단시켰다.

SVBS-TDC의 동작원리는 다음과 같다. 시간차를 갖는 두 입력 START와 STOP이 입력되면 MSB 4단까지는 각 단의 DTC 해상도만큼씩 시간차가 줄어들게 된다.

최소 버퍼 지연시간이 40ps이기 때문에 DTC에서는 32ps는 만들 수가 없어서 32ps 이하부터는 버니어 구조를 사용하여 생성한다. 예를 들어 4번째 단에서는 72ps와 40ps의 차이로 처리되기 때문에 32ps의 해상도를 갖는다. 5번째에서 7번째 단까지 같은 원리로 동작하며 해상도는 각 16ps, 8ps, 4ps가 되고 마지막 8번째 단에서 4ps 이하의 시간차를 비교한다.

버니어 구조에 사용된 DEMUX와 MUX 블록은 그림 7과 같으며 동작속도를 높이기 위해 각 게이트의 입출

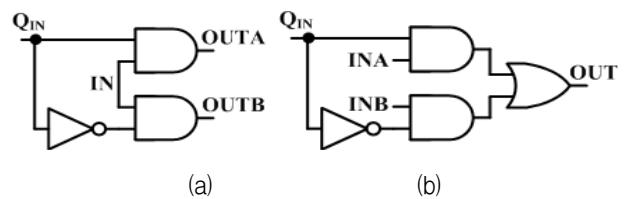


그림 7. (a) DEMUX 블록도 (b) MUX 블록도
Fig. 7. (a) Block diagram of DEMUX (b) Block diagram of MUX

력단 캐패시턴스를 확인하여 처리시간을 최소화했다.

최종적으로 최대 200MHz의 빠른 동작속도와 510ps의 넓은 입력범위, 4ps의 높은 해상도를 얻었다. 이 값은 같은 공정과 같은 DTC 구조를 이용한 기존의 연구에 비해 10배 이상 높은 값이다^[5].

III. 모의실험 및 결과

제안한 8비트 SVBS-TDC는 CADENCE Spectre를 이용하여 모의실험을 수행하였다. 그림 8은 고속 플립플롭 모의실험 결과이다.

플립플롭은 두 입력 시간차가 짧을 때 가장 느리게 동작하며 플립플롭의 최대 해상도는 1p로 설계했다. 그림 8. (a)는 START가 STOP보다 0.5ps 빠를 때 플립플롭의 출력 파형이고 그림 8.(b)는 START가 STOP보다 0.5ps 느릴 때의 플립플롭 출력 파형이다. START가 STOP을 따라잡을 경우에만 플립플롭의 출력은 high에서 low로 바뀐다. 시뮬레이션 결과를 통해서 플립플롭이 정상 동작함을 확인할 수 있으며 하강시간은 최대 140ps이다.

설계한 SVBS-TDC가 올바르게 동작하고 있는지를 확인하기 위해 입력 시간차를 최대 입력 범위인 510ps로 주고 각 단에서의 START[n]과 STOP[n]의 시간차

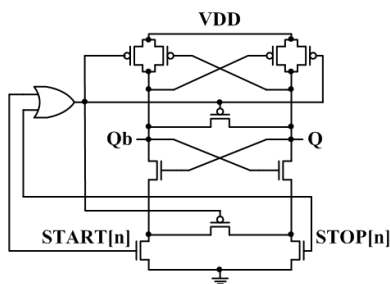


그림 6. 고속 플립플롭 회로도
Fig. 6. Schematic of High speed flip-flop.

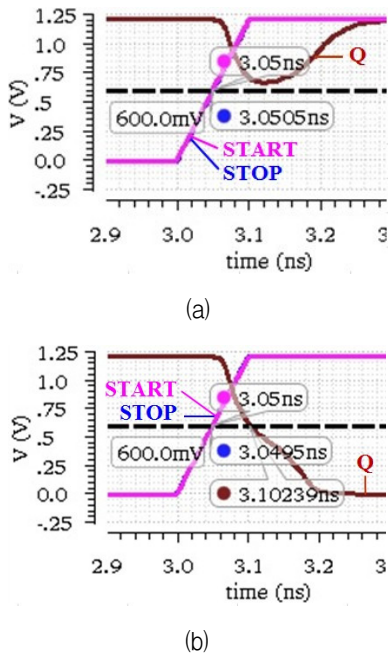


그림 8. 고속 플립플롭 시뮬레이션 결과
Fig. 8. Simulation results of high speed flip-flop.

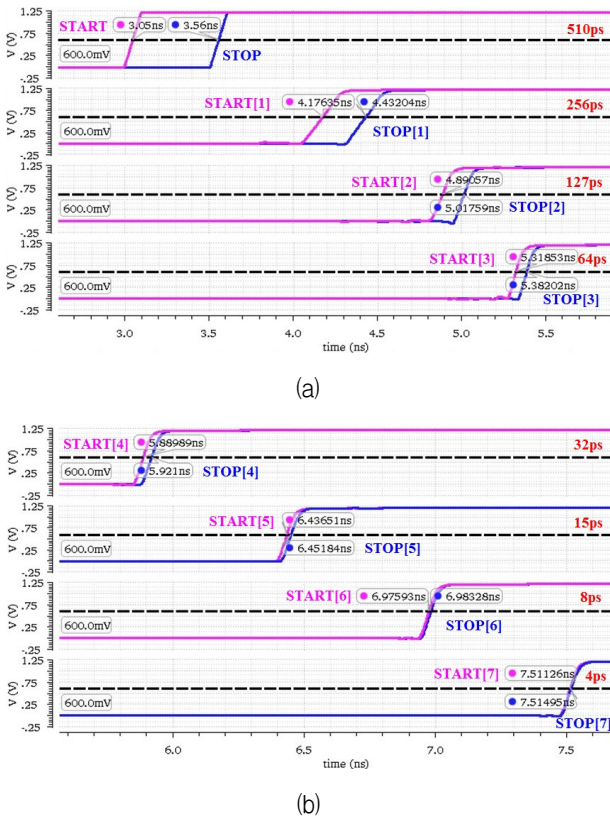


그림 9. SVBS-TDC 파형
(a) MSB 4비트 (b) LSB 4비트
Fig. 9. SVBS-TDC waveform.
(a) MSB 4bit (b) LSB 4bit

표 1. 입력 시간차에 대한 SVBS-TDC 모의실험 결과
Table 1. SVBS-TDC simulation results versus input time difference.

시간차 (ps)	SVBS-TDC 출력	시간차 (ps)	SVBS-TDC 출력	시간차 (ps)	SVBS-TDC 출력
0	0	128	30	256	61
4	1	132	31	260	62
8	2	136	32	264	63
12	3	140	33	268	64
16	4	144	34	272	65
20	5	148	35	276	66
24	6	152	36	280	67
28	7	156	37	284	68
32	8	160	38	288	69
36	9	164	39	292	70
40	10	168	40	296	71

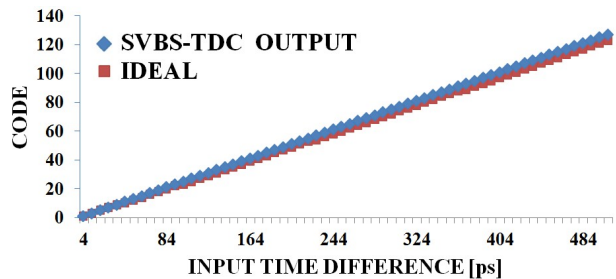


그림 10. 입력 범위에 대한 SVBS-TDC 모의실험 결과
Fig. 10. SVBS-TDC simulation result versus input range.

를 확인했다. 그림 9.(a)는 상위 4비트, 그림 9.(b)는 하위 4비트의 동작 파형이다. 모의실험 결과 각 단의 해상도를 만족했으며 최대 오차는 0.8ps이다. 입력 시간차를 SVBS-TDC의 해상도인 4ps씩 증가하여 모의실험한 결과는 표 1과 그림 10에 나타났다.

Coarse-Fine구조에서는 Coarse단에서 Fine단으로 넘어가는 구간에서 오차가 생기고, 시간 증폭기는 해상도를 증가시켜 주지만 시간 증폭기 자체의 비선형 특성에서 오차가 발생한다^[2, 4, 7]. 본 논문에서 제안하는 구조는 지연단 이외에 추가적인 오차를 갖지 않는 구조이기 때문에 타 연구에 비해 선형적인 결과를 얻을 수 있었다. 표 2는 기존 연구들과의 비교표이며 특히 TDC의 성능 지표를 식 (1)을 이용하여 ADPLL의 위상 잡음 특성에 영향을 미치는 값들만 분석해서 식 (3)에 나타났다.

$L\{\Delta\omega\}_{TDC}$ 값이 작을수록 위상잡음 특성이 좋다는 것을 의미한다.

$$L\{\Delta\omega\}_{TDC} = \frac{\Delta t_{inv}}{f_R} [s/Hz] \quad (3)$$

표 2. 기존 연구들과 성능 비교

Table 2. Performance comparison with previous works.

	[4]	[5]	[7]	This work
Process	0.13um CMOS	65nm CMOS	90nm CMOS	65nm CMOS
Architecture	Coarse-Fine	DTC	TA+ Vernier	DTC+ Vernier
Operating Frequency	25MHz	380MHz	10MHz	200MHz
Resolution	5ps	50ps	1.25ps	4ps
Input Range	40ns	750ps	640ps	510ps
Power Supply	1.2V	1.2V	1.2V	1.2V
$L\{\Delta\omega\}_{TDC}$ [fs/Hz]	1m	6.58m	0.16m	0.08m

표 2를 통해 동작 속도가 빠르면 해상도가 낮아지고, 해상도가 높으면 동작 속도가 낮아진다는 단점이 발생한다는 것을 알 수 있다. 그러나 제안한 SVBS-TDC는 동작 속도와 해상도를 효과적으로 조절하여 가장 좋은 성능의 위상 잡음 특성을 얻을 수 있었다.

IV. 결 론

ADPLL의 위상 잡음 특성 개선을 위한 새로운 구조의 8비트 SVBS-TDC (Semi-Vernier Binary-Search Time-to-Digital Converter)를 제안했다. SVBS-TDC의 상위 4비트는 BS-TDC 구조를 사용했으며 하위 4비트는 버니어 구조를 사용하여 넓은 입력 범위와 높은 해상도를 동시에 만족시켰다. 나노미터 CMOS 공정에서 버퍼 최소 지연시간은 약 40ps이기 때문에 40ps 이하의 해상도를 얻기 위해 버니어 구조를 사용하여 공정에 의해 좌우됐던 한계점을 개선할 수 있었다.

제안한 SVBS-TDC는 65nm CMOS 공정을 사용하여 설계했으며 CADENCE Spectre를 이용한 모의실험 결과 1.2V 전원 전압에서 동작 속도는 200MHz이고 해상도는 4ps로서 ADPLL의 잡음 특성을 효과적으로 개선함을 확인하였다.

REFERENCES

[1] Hyung Seok Kim, et al., "A Digital Fractional-N PLL With a PVT and Mismatch Insensitive TDC Utilizing Equivalent Time Sampling Technique," IEEE J. Solid-State Circuits, vol.48,

no.7, pp.1721-1729, Jul. 2013.
 [2] P. Lu, A. Liscidini, and P. Andreani, "A 3.6 mW, 90 nm CMOS Gated-Vernier Time-to-Digital Converter With an Equivalent Resolution of 3.2 ps," IEEE J. Solid-State Circuits, vol.47, no.7, pp.1626-1635, Jul. 2012.
 [3] Kwang-Chun Choi, Min-Hyeong Kim, and Woo-Young Choi, "An Offset and Deadzone-Free Constant-Resolution Phase-to-Digital Converter for All-Digital PLLs," Journal of the Institute Electronics Engineers of Korea (IEEK), vol.50, no.2, pp.122-133, Feb. 2013
 [4] Hongjin Kim, SoYoung Kim, and Kang-Yoon Lee "A Low Power, Small Area Cyclic Time-to-Digital Converter in All-Digital PLL for DVB-S2 Application," Journal of Semiconductor Technology and Science, vol.13, no.2, pp.145-151, Apr. 2013.
 [5] D. Miyashita, et al., "An LDPC Decoder With Time-Domain Analog and Digital Mixed-Signal Processing," IEEE J. Solid-State Circuits, vol.49, no.1, pp.73-83, Jan. 2014.
 [6] P. Dudek, S. Szczepanski, and J. V. Hatfield, "A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line," IEEE J. Solid-State Circuits, vol. 35, no. 2, pp. 240-247, Feb. 2000.
 [7] M Lee and Asad A. Abidi, "A 9b, 1.25ps Resolution Coarse - Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue," IEEE J. Solid-State Circuits, vol.43, no.4, pp.168-169, Apr. 2008.

저 자 소 개

안 태 원(정회원)
 동양미래대학교 전기전자통신공학부 부교수
 대한전자공학회논문지 제51권 제9호 참조

이 종 석(학생회원)
 숭실대학교 전자정보공학부 석박사과정
 대한전자공학회논문지 제51권 제11호 참조

이 원 석(정회원)
 동양미래대학교 전기전자통신공학부 교수
 대한전자공학회논문지 제51권 제9호 참조

문 용(정회원)
 숭실대학교 전자정보공학부 교수
 대한전자공학회논문지 제51권 제11호 참조