

논문 2015-52-2-14

저전력 고속 NCL 비동기 게이트 설계

(Design of Low Power and High Speed NCL Gates)

김 경 기*

(Kyung Ki Kim[©])

요 약

기존의 동기방식의 회로는 나노미터 영역에서의 공정, 전압, 온도 변이 (PVT variation), 그리고 노화의 영향으로 시스템의 전체 성능을 유지할 수 없을 뿐만 아니라 올바른 동작을 보장할 수도 없다. 따라서 본 논문에서는 여러 가지 변이에 영향을 받지 않는 비동기회로 설계 방식 중에서 타이밍 분석이 요구되지 않고, 설계가 간단한 DI(delay insensitive) 방식의 NCL (Null Convention Logic) 설계 방식을 이용하여 디지털 시스템을 설계하고자 한다. 기존의 NCL 게이트들의 회로 구조들은 느린 스피드, 높은 영역 오버헤드, 높은 와이어(wire) 복잡도와 같은 약점을 가지고 있기 때문에 본 논문에서는 빠른 스피드, 낮은 영역 오버헤드, 낮은 와이어 복잡도를 위해서 트랜지스터 레벨에서 설계된 새로운 저전력 고속 NCL 게이트 라이브러리를 제안하고자 한다. 제안된 NCL 게이트들은 동부 0.11um 공정으로 구현된 비동기 방식의 곱셈기의 지연, 소모 전력에 의해서 기존의 NCL 게이트 들과 비교되었다.

Abstract

Conventional synchronous circuits cannot keep the circuit performance, and cannot even guarantee correct operations under the influence of PVT variations and aging effects in the nanometer regime. Therefore, in this paper, a DI (delay insensitive) design based NCL (Null Convention Logic) design methodology with a very simple design structure has been used to design digital systems, which is one of well-known asynchronous design methods robust to various variations and does not require any timing analysis. Because circuit-level structures of conventional NCL gates have weakness of low speed, high area overhead or high wire complexity, this paper proposes a new INCL gates designed at the transistor level for high-speed, low area overhead, and low wire complexity. The proposed NCL gate libraries have been compared to the conventional NCL gates in terms of circuit delay, area and power consumption using a asynchronous multiplier implemented in dongbu 0.11um CMOS technology.

Keywords : 비동기회로, 동기회로, Null Convention Logic, NCL

I. 서 론

나노미터급 공정에서 구현된 동기식 회로 (synchronous circuit)에서는 공정, 전압, 온도 변이

(PVT variation)와 노화효과(aging effect) 등에 의한 속도 및 전력의 변화가 매우 커서 오류가 발생할 수 있는 확률이 매우 높아지고 있다. 동기회로에서 발생하는 이런 문제들로 인해서 최근 비동기 설계에 관심이 집중되고 있다. 비동기식 회로 설계(asynchronous circuit design)는 그림 1(a)의 동기식 회로 설계(synchronous circuit design)에서 사용되는 전역 클럭(global clock)이 없이 그림 1 (b)와 같이 주변 모듈 사이에 Ack 신호와 Req신호를 사용한 핸드셰이킹(handshaking) 프로토콜에 의해 데이터 신호를 동기화하고, 전송하는 회로 설

* 정회원, 대구대학교 전자공학과
(Department of Electronic Eng., Daegu University)

© Corresponding Author(E-mail: kkkim@daegu.ac.kr)

※ 이 논문은 2013학년도 교내 학술 연구비 지원에 의하여 연구되었음.

접수일자: 2014년11월20일, 수정일자: 2015년01월22일
게재확정: 2015년02월02일

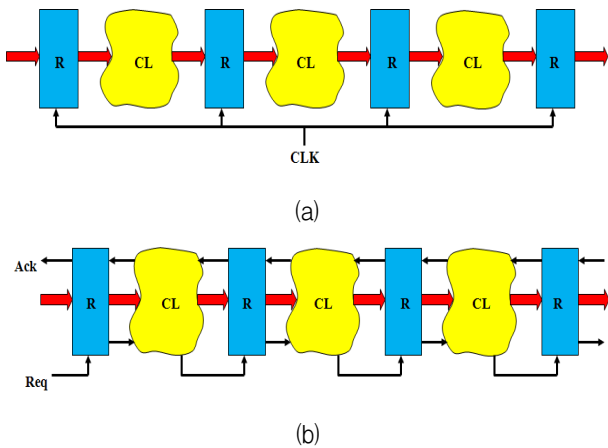


그림 1. (a) 동기회로 설계, (b) 비동기회로 설계
Fig. 1. (a) Synchronous circuit design,
(b) Asynchronous circuit design.

계 방식이다. 비동기식 회로 설계 방식은 1940년대에 개발된 기술이지만, 설계 자체가 어렵고 면적 증가 등의 단점으로 제한된 분야에서 이용되었다^[1~3].

하지만, 비동기 회로는 첫째, 집적회로를 구현하기 위한 공정 기술의 발달로 트랜지스터의 크기가 작아지면서 작은 면적에 대량의 트랜지스터를 집적할 수 있게 되었다. 이것으로 기존의 비동기 회로 설계 면적 증가로 인한 문제들을 해결할 수 있다. 둘째, 최악의 경우(worst-case) 형태의 동기식 회로 설계 방식에 비해서 비동기 회로 설계 방식은 모듈 사이의 다양한 종료시점으로 인한 평균의 경우(average-case) 형태의 동작을 수행한다. 이것은 이론적으로 높은 성능의 특성을 가지며, 실제로 고속의 파이프라인 회로에 적용되고 있다. 셋째, 비동기식 회로 설계 시에 전역 클럭이 없으므로 이것으로 인한 문제점들, 예를 들면, 클럭 스큐 문제, 다중 클럭 도메인 설계 문제 등에서 이점을 갖는다. 넷째, 모바일 기기의 증가로 저전력 소모에 대한 요구가 증대되었다. 특히 전력 소모가 문제가 되는 동기식 설계 방법에 비해 비동기 회로 설계는 회로의 동작이 필요할 때만 구동되므로 낮은 전력을 소비한다. 이러한 이유 때문에 저전력 소모를 목적으로 특정 애플리케이션에 적용될 수 있다^[4].

비동기 회로 설계는 지연 모델에 따라서 구분할 수 있는데 회로의 소자, 도선의 지연유무에 따라 bounded delay(BD) 모델과 delay insensitive(DI) 모델이 가장 많이 사용된다. BD 모델은 소자, 도선 모두 유한한 지연을 가정하지만, DI 모델은 소자, 도선 모두 알려지지

않은 지연을 가정하므로 어떠한 시간 가정도 필요하지 않으므로 타이밍 분석이 요구되지 않고, 최악의 경우의 성능이 아니라 평균적인 경우의 성능을 가져온다. 따라서 BD 모델에 비해서 공정, 전압, 온도 등의 변이에 영향을 받지 않으며, 설계한 회로를 재사용하는 것이 매우 용이하게 된다. 이런 점들에 의해서 DI 모델이 최근 활발히 연구되어지고 있으며, 그 중에서도 Null Convention Logic(NCL)에 관한 연구들이 많이 되고 있다. NCL은 타이밍 제한만을 용이하게 하는 다른 DI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 툴을 그대로 사용할 수 있는 이점이 있다. 뿐만 아니라, NCL 회로는 DATA(즉, data representation)와 NULL(즉, control representation) 사이에서 단조로운 천이들을 고수하며, 지연 둔감(delay-insensitivity)을 얻기 위해 dual-rail과 quad-rail 시그널링 방법을 사용한다. 이것은 다른 비동기 방식에 비해 상당한 이익을 가져다준다. 즉, 설계의 복잡성이 상당히 줄어들 수 있고, NCL 회로들은 가능한 최대로 최적화된 주파수에서 동작하는 능력을 가지고 있는데, 이것은 데이터와 제어 신호 전파의 지연에 영향을 받는다. 뿐만 아니라 NCL 회로들은 특정한 장애 허용(fault-tolerance)을 가진다. 이러한 NCL 회로의 이점에도 불구하고, 기존의 NCL 게이트는 최적화가 되지 않았기 때문에 회로 성능, 동적 전력, 누설 전력 등에 대한 완전한 해결책을 제시하지 못하고 있다^[5~7].

따라서 본 논문에서는 기존의 다른 NCL 게이트 셀 라이브러리와는 다르게 회로의 성능, 전력을 모두 고려한 최적화된 새로운 NCL 게이트를 제안하고, 제안된 NCL 게이트 라이브러리를 기반으로 새로운 고성능 저전력 곱셈기를 동부 0.11um 공정을 사용해서 설계하고 구현하였다. 구현된 곱셈기의 실험 결과는 기존의 NCL 비동기 방식 회로들과 성능, 전력에 관해서 비교하였다.

본 논문의 구성은 다음과 같다. II 장에서는 기본적인 NCL 비동기 회로의 개념에 대해서 설명한다. III 장에서는 제안된 NCL 게이트 구조에 대해서 기술하고, 시뮬레이션 결과는 V 장에서 보여준다. 마지막으로 IV 장에서 결론을 맺는다.

II. NCL 비동기 회로

NCL 설계 방식은 클럭이 존재하지 않는 비동기 설계에서 지연무관 (delay-insensitive: DI) 설계 방식에 속한다. 이런 DI 설계 방식을 구현하기 위해서 NCL은 다중-레일 (multi-rail) 신호 인코딩 방식을 사용하며, 그 중에서도 듀얼-레일(dual-rail) 신호 인코딩 방식을 많이 사용한다. NCL에서 듀얼-레일 신호는 두 개의 회선 (D^0, D^1)로 구성되고, 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 ($D^0=1, D^1=0$), DATA1상태는 ($D^0=0, D^1=1$), NULL상태는 ($D^0=0, D^1=0$)을 나타낸다. NULL 상태는 NCL 비동기 방식에서 데이터와 데이터 사이에 오는 신호 상태이며, NCL 비동기 회로에서 신호의 값이 아직 준비가 되지 않은 상태를 표현한다. 듀얼-레일 NCL은 상호 배타적인 특성을 가지고 있으므로 동시에 ($D^0=1, D^1=1$)을 나타낼 수 없다. 따라서, 두 개의 와이어(wire)가 ($D^0=1, D^1=1$)일 때의 상태는 illegal state로 나타낸다. 표 1은 NCL의 듀얼-레일 인코딩의 상태를 정리한 것이다^[5].

NCL 시스템의 전체적인 구조는 그림 2 (a)에서와 같이 입출력 NCL 레지스터, NCL 회로, NCL completion 회로를 구성되어 진다. NCL 레지스터의 역할은 DATA 또는 NULL 신호를 completion 회로에서 입력되는

표 1. 듀얼-레일 인코딩
Table 1. Dual-rail encoding.

	DATA0	DATA1	NULL	Illegal
Rail ⁰	1	0	0	1
Rail ¹	0	1	0	1

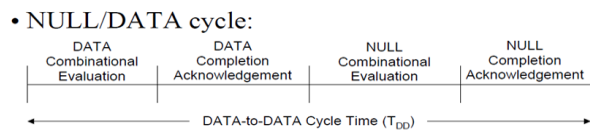
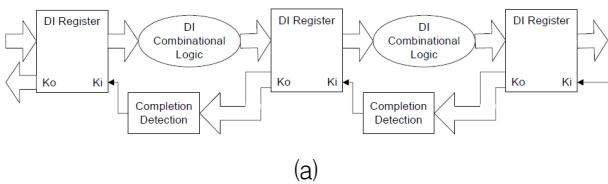


그림 2. (a) NCL 시스템 구조, (b) DATA/NULL 사이클
Fig. 2. (a) NCL system architecture, (b) DATA/NULL cycle.

request 신호에 의해서 DATA 또는 NULL 신호를 NCL 회로로 전달하는 것이며, NCL completion은 뒷단의 NCL 레지스터에서 DATA 또는 NULL의 request 신호가 있는지를 체크해서 앞단으로 전달하는 역할을 한다. 입력 파형들은 전역 클럭이 아니라, 로컬 핸드셰이킹 (handshaking)과 completion 검출에 의해서 제어된다. 그림 2의 (b)는 NCL 시스템 구조에서 DATA/NULL 사이클을 보여주고 있다^[5].

NCL 회로의 설계는 기본적으로 설계된 27개의 NCL 게이트를 바탕으로 설계한다. 이 27개의 NCL 게이트는 자주 사용되는 boolean function을 기준으로 설계된다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가진다. NCL 게이트의 심볼 표현은 그림 2와 같이 나타내고 THmn 게이트라고 부른다. 여기서, n은 입력의 개수, m은 문턱 (threshold) 값을 말한다. 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. 다른 표현으로 무게 가중치 문턱 (weighted threshold) 게이트로 불리며, 가중치는 하나의 신호가 앞에서 설명한 문턱 값을 계산할 때 몇 개의 역할을 하는지를 나타내고, w를 사용해서 가중치 문턱 게이트를 나타낸다. 예로써 그림 3의 TH34w2 게이트는 입력 n=4이고, threshold=3, weighted threshold=2이다. 즉, 입력 4개 중에 최소 3개의 신호가 변해야 출력이 바뀌며, 그 중 신호 A는 두 개의 신호 역할을 한다는 것을 나타낸다. 게이트에 출력을 나타내려면 입력 B, C, D가 가해지거나, 입력 A와 다른 한 신호가 가해지게 되어야 한다. 그 외에는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성이 나타난다^[5].

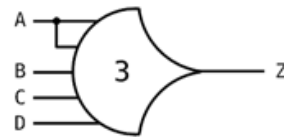


그림 3. TH34w2 문턱 게이트 ($Z=AB + AC + AD + BCD$)
Fig. 3. TH34w2 threshold gate ($Z=AB + AC + AD + BCD$).

III. 새로운 NCL 게이트

현재까지 소개된 대표적인 NCL 게이트 구조로는 static, semi-static, differential NCL (DNCL) 등이 있

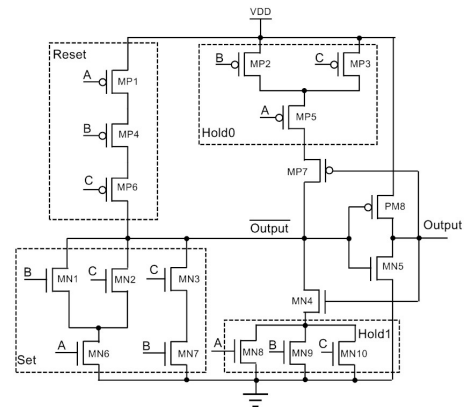
으며, 그림 4 (a), (b), 그리고, (c)는 이런 기존 NCL 게이트 구조를 사용한 하나의 예로써 TH23 (Output=AB+AC+BC) 게이트를 트랜지스터 레벨에서 나타낸 것이다. 그림에서와 같이 각 게이트 구조는 히스테리시스를 위해서, 즉 출력 상태 정보를 유지하기 위해서, 피드백을 이용하기 때문에 최소의 입력 데이터 전송 속도를 요구하지 않는다^[8~10].

그림 4 (a)의 static NCL 게이트 구조는 4개의 트랜지스터 네트워크 (set, reset, hold one, hold zero)로 구성되며, set과 reset 네트워크는 27개의 기본 NCL 게이트의 함수를 결정하고, hold one과 hold zero 네트워크는 게이트에 새로운 입력이 올 때까지 출력의 상태 정보를 유지하기 때문에 Static의 구조는 다른 게이트 구조에 비해서 가장 안정적인 동작과 빠른 스피드를 할 수 있다. 하지만, 다른 NCL 게이트 구조에 비하면 회로가 복잡하고 사용되는 트랜지스터들의 사이즈가 크고, 큰 사이즈로 인해 전력소모가 높다는 단점이 있다.

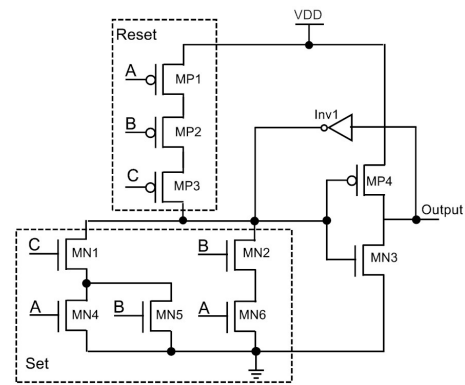
그림 4 (b)의 semi-static 게이트 구조는 3개의 트랜지스터 네트워크 (set, reset, feedback inverter) 로 구성된다. set과 reset은 static 네트워크와 같지만, hold 기능을 피드백 인버터가 대신 함으로써 게이트 구조가 간단하고, 전체 트랜지스터의 사이즈가 줄어들게 된다. 다만, 약한 피드백 인버터로 인해서 게이트 스피드가 느려지고, 소비 전력이 증가하는 단점이 있다.

그림 4 (c)의 DNCL 게이트 구조는 최근에 제안되었으며, semi-static 구조와 같이 3개의 트랜지스터 네트워크 (set, reset, feedback inverter) 로 구성되지만, 출력과 출력의 보수를 모두 활용할 수 있는 구조를 가진다. 따라서 전체 회로에서 NCL 게이트의 수를 줄일 수 있지만, 출력을 구동하기 위해서 semi-static 게이트의 트랜지스터보다 큰 사이즈를 사용해야 하고, 반드시 보수의 입력이 사용되어야 하기 때문에 게이트와 게이트 사이를 연결하는 배선의 복잡도가 증가되어서 설계에 어려움이 있다. 뿐만 아니라, semi-static 구조와 같이 약한 피드백 인버터로 인해서 게이트 스피드가 느려지고, 소비 전력이 증가하는 단점이 있다.

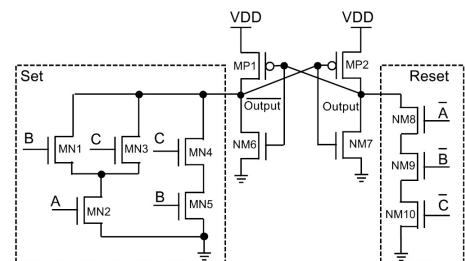
이상과 같이 기존의 각 NCL 셀은 서로 장단점을 가지고 있으며, 공통적으로 증가하는 지연, 증가하는 전력, 큰 사이즈, 어려운 설계 등의 단점을 가지고 있다. 이런 공통의 문제를 해결하기 위해서 본 논문에서는 새로운 구조의 NCL 게이트를 제안하고자 한다.



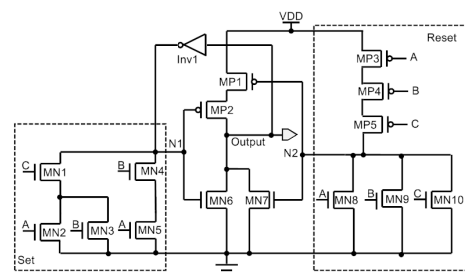
(a)



(b)



(c)



(d)

그림 4. 트랜지스터 레벨 구조: (a) Static TH23, (b) Semi-static TH23, (c) DNCL TH23, (d) New TH23
Fig. 4. Transistor-level structure of : (a) Static TH23, (b) Semi-static TH23, (c) DNCL TH23, (d) New TH23.

제안된 NCL 게이트 구조로 설계된 TH23 게이트는 그림 4 (d)에서 보이는 봐와 같이 semi-static 게이트 구조에서 직렬 연결된 PMOS로 구성된 reset 네트워크의 위치가 직렬 연결된 PMOS와 병렬 연결된 NMOS로 구성된 새로운 reset 네트워크로 변경되고, 출력 단은 피드백 인버터와 NOR 게이트로 구성이 된다. 기존 semi-static 게이트 구조에서의 단점인 약한 피드백 인버터에 의해서 발생하는 출력 값의 느린 천이 시간과 소모 전력 증가를 극복하기 위해서 NCL 게이트 출력 단에 NOR 게이트를 사용해서 set 네트워크와 reset 네트워크로 인해서 상태 값이 변경되었을 때 하나의 노드가 아니라, 두 개의 노드, 즉 N1 노드와 N2 노드의 상태 값에 의해서 출력이 빠른 응답 속도로 상태가 천이될 수 있다. 제안된 NCL 게이트 구조의 동작은 크게 3가지로 구분되면, 구체적인 동작은 아래와 같다.

- 1) NULL 입력이 들어오는 경우: 입력은 모두 Low 상태 값이며, reset 네트워크에 의해서 출력 역시 Low 상태 값을 가진다.
- 2) 함수를 만족하는 Data 입력이 들어오는 경우: TH23의 경우 $AB+BC+AC$ 를 만족하는 입력이 들어오는 경우이며, set 네트워크와 reset 네트워크의 상호 작용으로 출력이 High 상태 값을 가진다.
- 3) 함수를 만족하지 않는 Data 입력이 들어오는 경우: TH23의 경우 $AB+BC+AC$ 를 만족하지 않는 입력이 들어오는 경우이며, 피드백 인버터와 NOR 게이트에 의해서 출력 값은 이전의 상태를 계속 유지하게 된다.

V. 실험

제안된 NCL 게이트들은 동부 0.11um 공정으로 구현된 비동기 방식의 곱셈기의 지연, 소모 전력에 의해서 기존의 NCL 게이트들과 비교되었다. 표 2는 전력 감소 부분을 기존의 NCL 게이트와 비교하기 위하여 측정된 결과이며, NCL의 27개의 모든 게이트 셀의 비교가 아닌 곱셈기에 사용하는 10개의 기본 게이트들의 전력을 측정하였다. 표 3은 전파 지연을 기존의 NCL 게이트들과 비교한 결과이다. 측정 결과에서 알 수 있듯이 새로운 NCL은 기존 NCL 게이트 중에서 가장 적은 전력과 지연을 가지는 static 게이트 구조보다 전력과 지연에서 모두 감소한 것을 확인할 수 있었다.

표 2. 기존 NCL 게이트들과의 소모 전력 비교
Table 2. The Comparison of the power consumption with the conventional NCL gates (VDD=1.1V).

NCL Cells	static(W)	semi(W)	DNCL (W)	New NCL(W)
th12	3.11E-08	3.11E-08	6.00E-08	3.11E-08
th22	3.89E-08	5.48E-08	6.78E-08	3.41E-08
th23	3.45E-08	4.93E-08	6.29E-08	3.63E-08
th23w2	6.13E-08	8.90E-08	7.50E-08	5.79E-08
th33	3.73E-08	5.17E-08	4.43E-08	3.22E-08
th33w2	3.23E-08	4.89E-08	4.19E-08	3.01E-08
th34w2	3.47E-08	3.98E-08	3.45E-08	3.19E-08
th34w22	4.09E-08	4.06E-08	3.28E-08	3.27E-08
th44	2.72E-08	3.12E-08	3.16E-08	2.07E-08
th44w2	3.65E-08	4.30E-08	4.17E-08	3.31E-08

표 3. 기존 NCL 게이트들과의 전파 지연 비교
Table 3. The Comparison of the gate delay with the conventional NCL gates (VDD=1.1V).

NCL Cells	static(sec)	semi(sec)	DNCL(sec)	New NCL(sec)
th12	5.54E-11	5.54E-11	9.12E-11	5.54E-11
th22	1.08E-10	1.22E-10	1.23E-10	1.03E-10
th23	1.08E-10	1.76E-10	1.10E-10	8.97E-11
th23w2	8.14E-11	1.59E-10	1.08E-10	8.90E-11
th33	1.25E-10	2.06E-10	1.48E-10	1.06E-10
th33w2	1.17E-10	1.93E-10	1.26E-10	9.67E-11
th34w2	1.23E-10	1.26E-10	1.12E-10	1.01E-10
th34w22	1.16E-10	1.21E-10	1.03E-10	9.89E-11
th44	1.45E-10	1.76E-10	1.60E-10	1.19E-10
th44w2	1.20E-10	1.44E-10	1.31E-10	1.06E-10

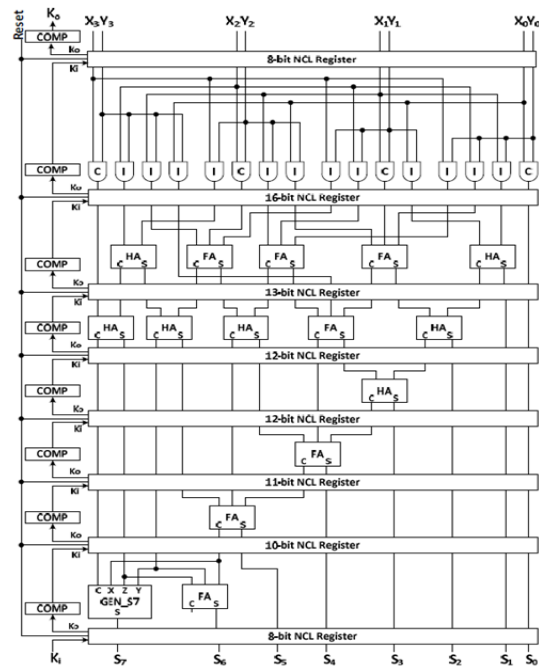


그림 5. NCL 4x4 곱셈기
Fig. 5. NCL 4x4 multiplier.

표 4. 기존 NCL 게이트들과의 시뮬레이션 결과 비교
Table 4. Comparison of the simulation results with conventional NCL gates.

NCL topology	Power(W)	Delay(sec)
Static	4.27E-04	3.48E-09
Semi-static	5.09E-04	4.86E-09
DNCL	5.78E-04	4.36E-09
Proposed	3.76E-03	2.82E-10

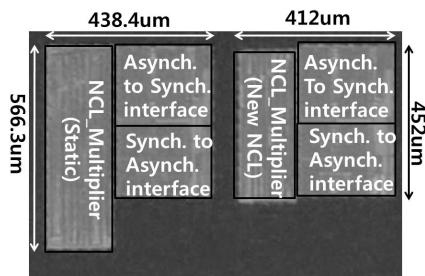


그림 6. NCL 4x4 곱셈기 칩 사진
Fig. 6. NCL 4x4 multiplier die photo.

그림 5는 NCL 4x4 곱셈기의 블록도를 보여주고 있다. 설계된 곱셈기는 8개의 register, 8개의 completion 회로, 7개의 반가산기, 7개의 전가산기, 그리고, 크기를 줄이기 위해서 곱셈의 마지막 비트에 특별히 설계된 가산기인 GEN_S7로 구성되었다. 구성된 곱셈기는 기존의 static, semi-static, DNCL, 그리고 제안된 NCL 게이트를 각각 사용해서 구현되었으며, 측정된 전력과 지연은 표 4와 같다. 표 4의 실험 결과는 제안된 NCL 구조가 기존의 NCL 구조들보다 전력에서는 12% 이상의 감소를 보였고, 전파 지연에서는 최소 19% 이상의 감소를 보여주었다. 그림 6은 0.11um 공정으로 구현된 실제 제안된 NCL 칩 사진을 나타낸다. 구현된 칩은 성능과 전력의 비교를 위해서 기존 NCL 방식에서 가장 전력과 지연이 작은 static 구조와 제안된 NCL 구조의 곱셈기와 동기와 비동기 인터페이스 회로로 구성이 되었다.

VI. 결 론

본 논문에서는 static, semi-static, differential NCL (DNCL)과 같은 NCL 구조들이 가지고 있는 약점들(느린 스피드, 높은 영역 오버헤드, 높은 배선 복잡도)을 극복하기 위한 트랜지스터 레벨에서 설계된 새로운 저전력 고속 NCL 게이트 라이브러리를 제안하였다. 제안된 NCL 게이트는 성능과 전력 모두에서 기존의 NCL 게이트

구조들보다 향상된 결과를 보여주었기 때문에 최근 관심이 집중되고 있는 NCL 비동기 시스템을 위한 최적의 게이트 라이브러리로 사용될 것으로 기대된다. 더불어, 저전력 고신뢰도를 요구하는 시스템에서 기존의 동기 방식으로 설계된 디지털 회로를 비동기 회로로 대체함으로써 시스템에서의 전력을 최대한 낮추면서도 주변 환경에 영향을 받지 않는 고신뢰도의 시스템을 설계할 수 있을 것으로 기대된다.

REFERENCES

- [1] J. Pangjun & S.S. Sapatnekar, "Low-power Clock Distribution Using Multiple Voltages and Reduced Swings," IEEE Trans. on VLSI Systems, Vol.10, pp. 309-318, 2002.
- [2] Huajun Chi, Sangman Kim, and Jusung Park, "Mixed Dual-rail Data Encoding Method Proposal and Verification for Low Power Asynchronous System Design," Journal of IEEK, Vol. 51, No 7, pp. 66-102, 2014.
- [3] Myeong-Hoon Oh, "Design of QDI Model Based Encoder/Decoder Circuits for Low Delay-Power Product Data Transfers in GALS Systems," Journal of IEEK (SD), Vol. 43, No 1호, pp. 27-37, 2006.
- [4] P. A. Beerel, R. O. Ozdag and M. Ferretti, "A Designer's Guide to Asynchronous VLSI", Cambridge University Press, 2010.
- [5] Scott C. Smith, Jia Di, "Designing Asynchronous Circuits using NULL Convention Logic (NCL)," Morgan & Claypool Publishers, 2009.
- [6] F. A. Parsan, W. K. Al-Assadi, S. C. Smith, "Gate Mapping Automation for Asynchronous NULL Convention Logic Circuits," IEEE Trans. on VLSI Systems, Vol. 22, Issue 1, pp.99-112, Jan. 2014.
- [7] Kyung Ki Kim, "Design and Implementation of low power ALU based on NCL (Null Convention Logic)," Journal of the Korea Industrial Information System Society, V.18, No.5, pp. 59-65, 2013.
- [8] S. Yancey and S. C. Smith, "A Differential Design for C-elements and NCL Gates," IEEE MWSCAS, pp.632-635, Aug. 2010.
- [9] F. A. Parsan and S. C. Smith, "CMOS Implementation Comparison of NCL Gates," IEEE/IFIP VLSI-SoC, pp.41-45, Oct. 2012.
- [10] F. A. Parsan and S. C. Smith, "CMOS

Implementation of Static Threshold Gates with Hysteresis: A New Approach," IEEE MWSCAS, pp.394-397, Aug. 2012.

저 자 소 개



김 경 기(정회원)

1995년 영남대학교 전자공학과
학사 졸업.

1997년 영남대학교 전자공학과
석사 졸업.

2008년 (미)Northeastern Univ.
전기컴퓨터공학과
박사 졸업.

2008년~2009년 (미)Sun Microsystems. 연구원.

2009년~2010년 (미)일리노이공대 연구원.

2010년-현재 대구대학교 전자공학과 조교수.

<주관심분야 : 아날로그/디지털 SoC 설계, VLSI
CAD, 저전력 마이크로프로세서 설계>