

# 회로 최적화를 위한 외부 커패시터가 없는 LDO 레귤레이터의 안정도와 PSR 성능 모델

## Stability and PSR(Power-Supply Rejection) Models for Design Optimization of Capacitor-less LDO Regulators

주 소 연 · 김 진 태\* · 김 소 영

Soyeon Joo · Jintae Kim\* · SoYoung Kim

### 요 약

한정된 배터리 용량으로 장시간 모바일 시스템을 구동시키기 위하여 저전력 설계에 대한 요구가 높아지면서 PMIC (Power Management IC)의 핵심 부분인 LDO(Low Drop-Out) 레귤레이터의 설계에 대한 관심이 증가하고 있다. 본 논문에서는 Dongbu HiTek 0.5  $\mu\text{m}$  BCDMOS 공정을 이용하여 최적화 기법 중 하나인 기하 프로그래밍(Geometric Programming: GP)을 통해 외부 커패시터가 없는 LDO 레귤레이터의 성능을 최적화하였다. 계수가 양수인 단항식 (monomial)으로 모델링된 트랜지스터의 특성 파라미터들을 이용하여 안정도(stability)와 PSR(Power-Supply Rejection)과 같은 LDO 레귤레이터의 특성을 기하 프로그래밍(Geometric Programming: GP)에 적용 가능한 형태로 유도하였다. 위상 마진(phase margin)과 PSR 모델은 시뮬레이션 결과와 비교하였을 때 각각 평균 9.3 %와 13.1 %의 오차를 보였다. 제안한 모델을 사용하여 PSR 제약 조건이 바뀔 경우, 자동화된 회로 설계를 수행하였고, 모델의 정확도를 검증하였다. 본 논문에서 유도된 안정도와 PSR 모델을 이용하면 회로의 목표 성능이 변화하더라도 추가적인 설계 시간을 줄이면서 목표 성능을 가진 회로를 재설계하는 것이 가능할 것이다.

### Abstract

LDO(Low Drop-Out) regulators have become an essential building block in modern PMIC(Power Management IC) to extend battery life of electronic devices. In this paper, we optimize capacitor-less LDO regulator via Geometric Programming(GP) designed using Dongbu HiTek 0.5  $\mu\text{m}$  BCDMOS process. GP-compatible models for stability and PSR of LDO regulators are derived based on monomial formulation of transistor characteristics. Average errors between simulation and the proposed model are 9.3 % and 13.1 %, for phase margin and PSR, respectively. Based on the proposed models, the capacitor-less LDO optimization can be performed by changing the PSR constraint of the design. The GP-compatible performance models developed in this work enables the design automation of capacitor-less LDO regulator for different design target specification.

Key words: LDO Regulator, Convex Optimization, Geometric Programming, Stability, Power-Supply Rejection(PSR)

「이 연구는 2014학년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구 사업임 (No. 2014R1A1A1035923). 본 논문은 IDEC의 지원을 받아 수행된 것임.」

성균관대학교 정보통신대학(College of Information and Communication Engineering, Sungkyunkwan University)

\*건국대학교 전자공학부(Department of Electronics Engineering, Konkuk University)

· Manuscript received September 23, 2014 ; Revised November 17, 2014 ; Accepted November 29, 2014. (ID No. 20140923-01S)

· Corresponding Author: SoYoung Kim (e-mail: ksyoun@skku.edu)

## I. 서 론

스마트폰과 태블릿 PC의 보급이 급증하면서 한정된 배터리 용량으로 장시간 모바일 시스템을 구동할 수 있도록 PMIC(Power Management IC)의 저전력 설계에 대한 관심이 높아지고 있다<sup>[1]</sup>. PMIC는 일반적으로 스위칭 방식의 DC-DC 컨버터와 선형 방식인 LDO(Low Drop-Out) 레귤레이터로 구성된다. 스위칭 방식의 DC-DC 컨버터는 높은 효율을 가지지만 잡음특성이 떨어지고, 큰 칩 사이즈를 갖는다<sup>[2]</sup>. 이에 비해 선형 방식인 LDO 레귤레이터는 낮은 효율을 갖지만, 작은 칩 사이즈를 가지고 잡음 특성이 좋기 때문에, 정확하고 안정적으로 전압을 공급할 수 있다는 장점이 있다. 따라서 LDO 레귤레이터는 높은 잡음 특성을 요구하는 RF(Radio Frequency)와 오디오 어플리케이션 등에 전원전압을 공급하기 위하여 널리 사용된다.

LDO 레귤레이터는 일반적으로 피드백 구조를 가지므로 루프의 안정도(stability)가 중요하게 된다. 따라서 부하 전류가 변화하는 것과 무관하게 항상 충분한 루프 안정도를 유지할 수 있도록 다양한 주파수 보상 기법이 사용되어 왔다. 대표적으로 부하 전류에 따른 출력 전압의 과도 응답(transient response)을 보상하기 위하여 사용되는 큰 커패시터에 직렬저항(Equivalent Series Resistance: ESR)을 사용하여 좌반면(left half plane)에 제로를 삽입하는 방식이 사용되어 왔으나, 직렬저항(ESR)이 부하 전류의 변화에 따른 전압 강하를 유발하여 LDO 레귤레이터의 과도 응답 특성을 악화시키고, 회로를 온-칩화하기 어렵다는 단점을 가지게 된다<sup>[3]</sup>. 따라서 최근에는 출력단의 큰 커패시터와 주파수 보상을 위한 직렬저항(ESR)을 사용하지 않는 외부 커패시터가 없는 LDO 레귤레이터에 대한 연구가 활발히 진행되고 있다.

회로의 동작 주파수는 PMIC를 포함한 IC들의 집적도를 향상시키기 위하여 꾸준히 증가하여 왔다. 이에 따라 시스템 내의 다양한 전원 면(power plane) 간의 노이즈 커플링이 증가하게 되면서 LDO 레귤레이터로부터 전원 전압을 공급받는 회로의 노이즈 특성을 악화시키는 원인이 되었다. 또한, LDO 레귤레이터는 보통 DC-DC 컨버터의 뒷단에 위치하여 전원을 공급받고자 하는 회로의 노이즈

특성에 직접적인 영향을 미치게 되므로, 이에 따라 LDO 레귤레이터의 PSR(Power-Supply Rejection) 특성이 점점 중요해지고 있다<sup>[4]</sup>.

LDO 레귤레이터는 다른 아날로그 회로들과 마찬가지로 소비전력과 PSR 특성, 과도 응답 특성, 그리고 안정도와 같은 성능 지표들이 서로 trade-off 관계를 가지게 된다. 따라서 LDO 레귤레이터를 통해 전원을 공급하고자 하는 어플리케이션이 무엇인지에 따라 요구되는 사양을 고려하여 LDO 레귤레이터의 성능을 각각 최적화하는 것이 유리하다. 하지만 회로를 설계하는데 소요되는 시간을 고려할 때, 설계자가 직접 트랜지스터의 크기와 바이어스 조건을 결정하고, 시뮬레이션을 통해 회로의 성능을 검증하는 통상적인 아날로그 집적회로 설계기법을 통해서는 어플리케이션을 고려하여 개별적으로 LDO 레귤레이터의 성능을 각각 최적화하기가 어렵다. 따라서 본 논문에서는 초기 값에 상관없이 제약조건이 수가 수백 개 이상이라 할지라도 빠른 속도로 광역해(global solution)를 찾아주는 수학적으로 검증된 최적화 기법인 기하 프로그래밍(Geometric Programming: GP)을 이용하여 외부 커패시터가 없는 LDO 레귤레이터의 성능을 최적화하고자 한다<sup>[5]</sup>. 기하 프로그래밍(GP)은 볼록 최적화(convex optimization)의 특수한 한 형태로서 목적함수와 제약 조건이 모두 계수가 양수인 단항식(monomial) 또는 다항식(posynomial)으로 표현되어야 한다는 제약을 가진다. 계수가 양수인 단항식(monomial)과 다항식(posynomial)으로 표현된 기하 프로그래밍(GP)의 목적함수 또는 제약 조건들은 로그를 취해줌으로써, 볼록(convex) 함수의 형태로 변형될 수 있는데 볼록(convex) 함수가 항상 하나의 최소값을 가지므로 볼록(convex) 함수로 변형된 기하 프로그래밍(GP)의 해를 구하는 것 역시 전역적 최소값을 구하는 것이 된다.

그림 1에 기하 프로그래밍(GP)을 이용한 회로 최적화의 간략한 순서도를 나타내었다. 앞서 언급한 바와 같이, 기하 프로그래밍(GP)을 이용한 회로 최적화를 위해서는 트랜지스터의 대신호 및 소신호 파라미터를 계수가 양수인 단항식(monomial)의 형태로 모델링하는 과정이 선행되어야 한다. 또한, 모델링된 파라미터들을 이용하여 회로의 안정도 및 PSR 특성을 포함한 여러 성능 지표들이

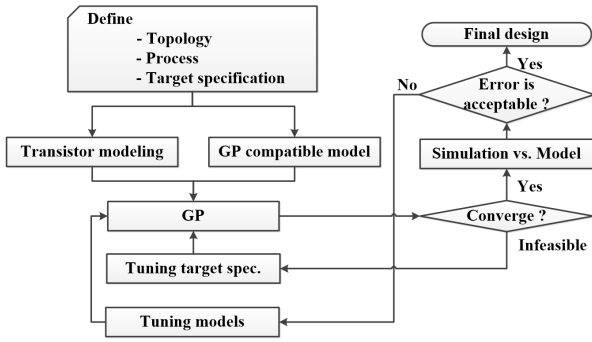


그림 1. 기하 프로그래밍을 이용한 회로 최적화 순서도  
Fig. 1. Flow chart of circuit optimization via GP.

기하 프로그래밍(GP)을 통해 최적화될 수 있는 형태인 계수가 양수인 단항식(monomial)과 다항식(posynomial)으로 유도하는 과정이 필요하다.

본 논문에서는 기하 프로그래밍(GP)을 이용하여 외부 커패시터가 없는 LDO 레귤레이터의 설계과정을 자동화하고 프로세스가 바뀌더라도 반복 적용할 수 있도록 안정도와 PSR의 성능 모델을 계수가 양수인 단항식(monomial)과 다항식(posynomial)으로 유도하고, 유도된 수식을 이용하여 외부 커패시터가 없는 LDO 레귤레이터의 사이즈와 PSR 특성, 그리고 효율과 같은 여러 특성들 간의 trade-off 관계를 비교해 보고자 한다.

## II. 트랜지스터 모델링

기하 프로그래밍(GP)을 이용하여 회로를 최적화하기 위해서는 트랜지스터의 대신호 및 소신호 파라미터들을 계수가 양수인 단항식(monomial)의 형태로 모델링하는 과정이 필요하다. 이 때 모델링 오차를 최소화하기 위하여 트랜지스터의 동작 영역과 최대 채널 길이(L) 등을 고려하여 모델링하는 것이 중요하다. LDO 레귤레이터의 오차 증폭기(Error Amplifier, EA)를 구성하는 트랜지스터들은 부하 전류 조건에 관계없이 항상 포화(saturation) 영역에서 동작하게 되는 반면, 패스 트랜지스터의 경우 부하 전류가 증가하고, 입력 전압의 크기가 감소함에 따라 문턱 전압 이하(subthreshold) 영역에서 트라이오드(triode) 영역으로 동작 영역이 변화한다. 따라서 포화(saturation), 문턱 전압 이하(subthreshold), 그리고 트라이오드(triode)

영역에서의 트랜지스터 모델이 모두 필요하다.

동작 영역에 관계없이 트랜지스터 모델은 채널 길이(L), 드레인 전류( $I_{DS}$ ), 그리고 드레인-소스 전압( $V_{DS}$ )을 변수로 하여 모델링되었다. 하지만 트랜지스터의 핑거 개수(m)의 증가와 무관한 특성을 보이는 게이트-소스 전압( $V_{GS}$ ), 오버 드라이브 전압( $V_{OV}$ ), 그리고 문턱 전압( $V_{TH}$ )과 같은 대신호 파라미터들과 달리, 게이트-소스 커패시턴스( $C_{gs}$ ), 게이트-드레인 커패시턴스( $C_{gd}$ ), 정선(junction) 커패시턴스( $C_{jd}$ ), 트랜스 컨덕턴스( $g_m$ ), 그리고 출력 트랜스 컨덕턴스( $g_{ds}$ )와 같은 소신호 파라미터들은 트랜지스터의 핑거 개수가 증가함에 따라 선형적으로 증가하는 특성을 보이게 되므로 각각 다른 구조로 모델링 되어야 한다. 따라서 트랜지스터의 대신호 파라미터들은

$$V_{GS}, V_{OV}, V_{TH} = a_1 L^{a_2} \left( \frac{I_{DS}}{m} \right)^{a_3} V_{DS}^{a_4} \quad (1)$$

위와 같은 구조로 모델링 되었고, 트랜지스터의 소신호 파라미터들은

$$C_{gs}, C_{gd}, C_{jd}, g_m, g_{ds} = m \times b_1 L^{b_2} \left( \frac{I_{DS}}{m} \right)^{b_3} V_{DS}^{b_4} \quad (2)$$

위와 같은 구조로 모델링 되었다. 식 (1)과 (2)에서  $a_1 \sim a_4$ 와  $b_1 \sim b_4$ 는 모두 피팅(fitting) 파라미터를 나타낸다. 대신호와 소신호 파라미터 모두 변수의 개수를 줄이기 위하여 단위 핑거 당 드레인 전류가 변수로서 사용되었다. 표 1에 포화 영역에서의 최대/평균 모델링 오차 ( $f_{model}$  -

표 1. 포화 영역에서의 최대/평균 % 모델링 오차

Table 1. Max/mean % modeling error in saturation region.

설계 파라미터	변수	% 오차 (최대/평균)	
		NMOS	PMOS
$V_{GS}$	$L, I_{DS}, V_{DS}$	0.2/0.14	0.5/0.32
$V_{OV}$	$L, I_{DS}, V_{DS}$	13.79/7.14	0.13/0.08
$V_{TH}$	$L, I_{DS}, V_{DS}$	0.004/0.002	0.003/0.002
$g_m$	$L, I_{DS}, V_{DS}$	2.52/1.78	0.47/0.28
$g_{ds}$	$L, I_{DS}, V_{DS}$	1.84/1.21	1.57/0.91
$C_{gs}$	$L, I_{DS}, V_{DS}$	6.04/4.04	0.04/0.02
$C_{gd}$	$L, I_{DS}, V_{DS}$	0.14/0.1	0.01/0.01
$C_{jd}$	$L, I_{DS}, V_{DS}$	0.02/0.01	0.02/0.01

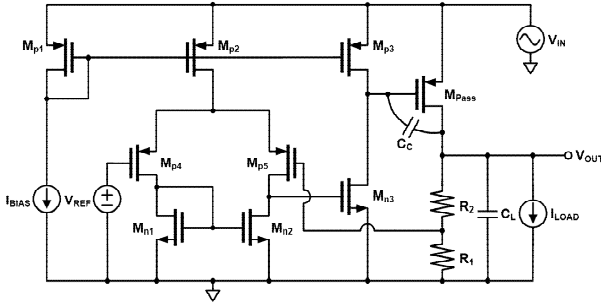


그림 2. 외부 커패시터가 없는 LDO 레귤레이터의 회로도  
Fig. 2. Schematic of capacitor-less LDO regulator.

$f_{spice}/|f_{spice}|$ 를 %로 나타냈다. Dongbu HiTek 0.5  $\mu\text{m}$  BCD-MOS 공정이 사용되었다. 모델링 결과, NMOS의 오버 드라이브 전압을 제외한 파라미터들이 모두 10% 미만의 오차를 보여 모델과 실제 값이 잘 일치하는 결과를 보였다. 패스 트랜지스터를 위한 트랜지스터의 문턱 전압 이하 영역과 트라이오드 영역에서의 모델은 각각 최대 모델링 오차 1%와 16%의 오차를 보여 역시 모델과 실제 값이 잘 일치하는 결과를 보였다.

### III. 제약 조건과 성능 모델

기하 프로그래밍(GP)을 이용한 회로 최적화를 위해서는 II장에서 얻어진 트랜지스터 파라미터들을 이용하여 본 논문에서 최적화하고자 하는 외부 커패시터가 없는 LDO 레귤레이터의 바이어스와 트랜지스터의 크기를 위한 제약 조건들, 그리고 루프 안정도와 PSR 특성을 표현해야 한다. 그림 2에 본 논문에서 최적화를 위해 사용된 일반적인 외부 커패시터가 없는 LDO 레귤레이터의 회로도를 나타냈다. 오차 증폭기(EA)는 2단으로 구성되어 있으며, 게이트-드레인에 밀러(Miller) 커패시터( $C_C$ )를 포함한 PMOS 패스 트랜지스터가 사용되었다. 기준 전압( $V_{REF}$ )은 밴드갭 기준 전압 발생 회로의 일반적인 출력 전압인 1.24 V로 고정되었다.

#### 3-1 트랜지스터의 크기와 바이어스 제약 조건

트랜지스터의 크기 제약 조건은 다음과 같이 표현된다.

$$W_{min} \leq W \leq W_{max}, L_{min} \leq L \leq L_{max}. \quad (3)$$

일반적으로 트랜지스터 크기 제약 조건의 최소값은 사용하고자 하는 공정으로부터 결정되게 된다. 반면, 채널 길이 제약 조건의 최대값은 드레인 전류뿐만 아니라, 출력 트랜스 컨덕턴스의 특성에 주된 영향을 미치게 되므로 트랜지스터의 모델링 오차를 고려하여 최대 채널 길이를 정해줄 수 있다. 본 논문에서는 트랜지스터의 모델링 오차를 고려하여 채널 길이의 최대값을 4  $\mu\text{m}$ 로 정해 주었다.

오차 증폭기(EA)를 구성하는 트랜지스터들은 부하 조건에 관계없이 항상 포화(saturation) 영역에서 동작해야 한다. 따라서 오차 증폭기(EA)를 구성하는 트랜지스터들의 바이어스 조건은 포화(saturation) 영역에서의 모델을 이용하여 다음의 수식과 같이 표현된다.

$$V_{GS} \geq V_{TH}, \quad V_{DS} \geq V_{OV}. \quad (4)$$

반면, 부하 전류가 존재하지 않을 때 패스 트랜지스터는 LDO 레귤레이터가 소비하는 정지 전류(quiescent current)를 최소화하기 위하여 문턱 전압 이하(subthreshold) 영역에서 동작하게 되므로, 트랜지스터의 문턱 전압 이하(subthreshold) 영역의 모델을 이용하여 바이어스 조건을 다음과 같이 나타낼 수 있다.

$$V_{GS,pass,subth} \leq V_{TH,pass,subth}. \quad (5)$$

오차 증폭기(EA)의 트랜지스터  $M_{p1}$ 과  $M_{n1}$ 은 게이트-소스 전압과 드레인-소스 전압이 서로 연결된 구조를 가지게 된다. 따라서  $M_{p1}$ 과  $M_{n1}$  트랜지스터를 위하여

$$\frac{V_{GS,p1}}{V_{DS,p1}} = 1, \quad \frac{V_{GS,n1}}{V_{DS,n1}} = 1 \quad (6)$$

위와 같은 수식이 사용된다.

또한 오차 증폭기(EA)와 패스 트랜지스터의 키르히호프 전압 법칙(KVL)을 만족시키기 위한 조건이 필요하게 되는데, 패스 트랜지스터의 경우 부하 전류가 존재하지 않을 때의 드레인-소스 전압을 다음과 같이 표현할 수 있다.

$$V_{DS,pass,subth} = V_{DD} - V_{OUT}. \quad (7)$$

위의 수식에서  $V_{DD}$ 와  $V_{OUT}$ 는 각각 외부 커패시터가 없

는 LDO 레귤레이터의 입력 전압과 출력 전압을 나타낸다. 또한, 오차 증폭기(EA)의 첫 번째 단과 두 번째 단의 KVL 제약 조건은 다음과 같이 표현된다<sup>[5]</sup>.

$$\begin{aligned} V_{DS,p2} + V_{GS,p4} + V_{REF} &\leq V_{DD}, \\ V_{DS,p5} + V_{DS,n2} + V_{DS,p2} &\leq V_{DD}, \\ V_{DS,n3} + V_{DS,p3} &\leq V_{DD}. \end{aligned} \quad (8)$$

이 밖에 오차 증폭기(EA)의  $M_{p1}$ ,  $M_{p2}$ , 그리고  $M_{p3}$  트랜지스터 간의 전류 미러링을 위한 수식과 첫 번째 단의 차동 쌍(differential pair)의 동작을 위한 바이어스 제약 조건들은 참고 논문<sup>[7]</sup>에서 사용된 제약 조건들과 유사한 형태로 사용되었다.

패스 트랜지스터의 바이어스 제약 조건은 부하 전류가 존재하지 않을 때와 최대 부하 전류를 가질 때로 나누어 생각할 수 있다. 부하 전류가 존재하지 않을 때 패스 트랜지스터의 드레인 전류는 기준 전압을 피드백 저항  $R_1$ 으로 나누어 다음과 같이 표현할 수 있다.

$$I_{DS,pass,subth} = \frac{V_{REF}}{R_1}. \quad (9)$$

또한, 앞서 언급한 바와 같이 기준 전압은 1.24 V로 고정되어 있고, 출력 전압은 설계자가 정하는 입력 변수이므로 위의 식 (9)를 통해 구한 피드백 저항  $R_1$ 을 이용하여 피드백 저항  $R_2$ 의 값을 다음의 수식으로 표현할 수 있다.

$$R_2 = R_1 \left( \frac{V_{OUT}}{V_{REF}} - 1 \right). \quad (10)$$

패스 트랜지스터의 크기는 입력 전압이 감소하는 상태에서 LDO 레귤레이터의 최대 전류 조건을 고려하여 결정되고, LDO 레귤레이터의 드롭 아웃(dropout) 전압은 패스 트랜지스터의 사이즈에 의해 결정되므로 트랜지스터의 트라이오드(triode) 영역에서의 모델을 사용하여 아래와 같은 수식으로 표현된다.

$$I_{DS,pass,tri} = I_{max}, \quad V_{DS,pass,tri} = V_{dropout}. \quad (11)$$

또한, LDO 레귤레이터가 최대 부하 전류를 가지고 입력 전압이 감소할 때 패스 트랜지스터의 게이트-소스 전압은

$$V_{GS,pass,tri} \leq V_{OUT} + V_{dropout} \quad (12)$$

위의 수식으로 구해진다.

### 3-2 외부 커패시터가 없는 LDO 레귤레이터의 안정도 모델

외부 커패시터가 없는 LDO 레귤레이터는 부하 전류 조건에 따라서 패스 트랜지스터의 출력 임피던스가 변화하게 된다. 부하 전류가 존재하지 않을 때에는 큰 부하 전류가 흐를 때에 비하여 패스 트랜지스터의 출력 임피던스가 증가하게 되어 출력 단에서 발생하는 두 번째 극점(pole)이 저주파 영역으로 이동하게 되므로 위상 마진(phase margin)이 악화되게 된다. 따라서 본 논문에서는 부하 전류가 존재하지 않을 때의 안정도를 고려하였다.

먼저 본 논문에서 사용된 오차 증폭기(EA)의 전압이득은 차동 쌍(differential pair)인 첫째 단의 전압이득과 단일 출력단인 두 번째 단의 전압이득을 곱하여 다음과 같이 표현된다.

$$A_{amp} = \frac{g_{m,p5}}{g_{ds,p5n2}} \frac{g_{m,n3}}{g_{ds,p3n3}}. \quad (13)$$

위의 수식에서  $g_{ds,p5n2}$ 와  $g_{ds,p3n3}$ 는 각각 첫 번째 단의 출력 트랜스 컨덕턴스의 합 ( $g_{ds,p5}+g_{ds,n2}$ )과 두 번째 단의 출력 트랜스 컨덕턴스의 합 ( $g_{ds,p3}+g_{ds,n3}$ )을 계수가 양수인 단항식(monomial)의 형태로 모델링한 것을 사용하였다.

패스 트랜지스터의 전압 이득은 문턱 전압 이하(sub-threshold) 영역에서의 트랜지스터 모델을 사용하여 다음과 같이 표현된다.

$$A_{pass} = g_{m,pass,subth} R_{OUT}. \quad (14)$$

위의 수식에서  $R_{OUT}$ 은 패스 트랜지스터의 출력 트랜스 컨덕턴스( $g_{ds,pass}$ )와 피드백 저항  $R_1$ 과  $R_2$ 를 모두 포함한 패스 트랜지스터의 출력 임피던스의 단항식(monomial) 모델이다.

피드백 팩터(feedback factor)는 피드백 저항  $R_1$ 과  $R_2$ 를 이용하여 다음과 같은 수식으로 표현된다.

$$\beta = \frac{R_1}{R_1 + R_2}. \quad (15)$$

따라서 식 (13)~(15)를 이용하여 외부 커패시터가 없는 LDO 레귤레이터의 루프 이득(A)은 다음과 같이 표현된다.

$$A = \beta A_{amp} A_{pass}. \quad (16)$$

오차 증폭기(EA)의 안정도를 계산하기 위해서는 먼저 주극점(dominant pole)과 비 주극점(non-dominant pole)들을 수식으로 나타내어야 한다. 본 논문에서 고려한 외부 커패시터가 없는 LDO 레귤레이터의 경우, 패스 트랜지스터의 게이트에서 주극점(dominant pole)이 형성된다. 따라서 외부 커패시터가 없는 LDO 레귤레이터의 주극점(dominant pole)은 오차 증폭기(EA)의 출력 임피던스와 패스 트랜지스터의 게이트 커패시턴스를 이용하여 다음과 같은 수식으로 표현된다.

$$\omega_{p1} = \frac{g_{ds,p3n3}}{1.5 C_C A_{pass}}. \quad (17)$$

패스 트랜지스터의 게이트 커패시턴스는 밀러(miller) 커패시턴스와 패스 트랜지스터의 게이트-소스 커패시턴스, 그리고 게이트-드레인 커패시턴스의 합으로 표현된다. 패스 트랜지스터는 문턱 전압 이하(subthreshold) 영역에서 동작하게 되므로 전압 이득이 크지 않아서 밀러(Miller) 효과가 크지 않은데, 본 설계에서는 주극점(dominant pole)의 수식을 계수가 양수인 단항식(monomial)으로 표현하기 위하여 패스 트랜지스터의 대략적인 이득 값을 고려하여 1.5배의 커패시턴스 값을 사용하였다. 두 번째 극점은 LDO 레귤레이터의 출력 단에서 형성되므로, 다음과 같은 수식으로 표현할 수 있다.

$$\omega_{p2} = \frac{1}{(C_L + C_C + C_{gd,pass,subth})R_{OUT}}. \quad (18)$$

출력 단에서의 커패시턴스는 부하 커패시턴스( $C_L$ )와 밀러 효과에 의하여 소신호 등가회로에서 로드 커패시턴스와 병렬 구조를 이루게 되는 패스 트랜지스터의 게이트-드레인 커패시터를 모두 고려하였다. 여기서 부하 커패시턴스( $C_L$ )는 LDO 레귤레이터 최대 전류를 구동하기 위하여 사용되는 두꺼운 메탈 레이어(metal layer)에 의한 기생 성분을 고려한 것이다.

세 번째 극점은 오차 증폭기(EA)의 첫 번째 단과 두 번째 단 사이에서 발생하고, 다음과 같이 표현된다.

$$\omega_{p3} = \frac{g_{ds,p5n2}}{\frac{g_{m,n3}}{g_{ds,n3}} C_{gd,n3}}. \quad (19)$$

네 번째 극점은 오차 증폭기(EA)에서 발생하는 미러 폴이고, 다음과 같은 수식으로 표현된다.

$$\omega_{p4} = \frac{g_{m,n1}}{2 C_{gs,n1}}. \quad (20)$$

마지막으로 패스 트랜지스터의 게이트-소스 노드에서 발생하는 피드-포워드 제로(feed-forward zero)를 다음과 같은 수식으로 표현할 수 있다.

$$\omega_z = \frac{g_{m,pass,subth}}{C_{gd,pass,subth}}. \quad (21)$$

단위 이득 주파수는 비주극점(non-dominant pole)이 단위 이득 주파수보다 더 높은 주파수에 위치할 때 회로의 루프 이득과 주극점(dominant pole)을 곱하여 다음과 같은 수식으로 표현된다.

$$\omega_c = A \omega_{p1}.$$

일반적으로 회로의 위상 마진(phase margin)은

$$PM = 90^\circ - \left( \sum_{i=2}^4 \tan^{-1} \left( \frac{\omega_c}{\omega_{p,i}} \right) + \tan^{-1} \left( \frac{\omega_c}{\omega_z} \right) \right) \quad (22)$$

위와 같은 수식으로 표현되지만, 기하 프로그래밍(GP)을 이용하여 위상마진(phase margin)을 계산하기 위해서는 역 탄젠트(arctan) 함수가 계수가 양수인 단항식(monomial)로 표현될 필요가 있다. 따라서 본 논문에서는 역 탄젠트(arctan) 함수를

$$\tan^{-1}(x) = 0.8055x^{0.7886} \quad (23)$$

위와 같이 계수가 양수인 단항식(monomial)으로 모델링하여 사용하였다.

### 3.3 외부 커패시터가 없는 LDO 레귤레이터의 PSR 모델

PSR 특성은 외부 커패시터가 없는 LDO 레귤레이터의 소신호 등가회로에 중첩의 정리(superposition method)를 적용함으로써 간단하게 유도할 수 있다. 본 논문에서는 차동(differential) 구조를 가지는 첫째 단과 단일 출력 노드를 가지는 두 번째 단으로 구성된 2단 오차 증폭기(EA)를 사용하였는데, 이와 같은 구조의 경우 첫 번째 단의 차동 쌍(differential pair)의 양 단에 걸리는 전압의 대칭성이 유지될 때 오차 증폭기(EA)의 첫 번째 단과 두 번째 단으로 입력되는 소신호 노이즈는 서로 상쇄된다. 따라서 본 논문에서는 PMOS 패스 트랜지스터의 소신호 등가모델만을 고려하여 PSR 수식을 유도하였다. 기본적으로 PMOS 패스 트랜지스터는 트랜지스터의 소스로 입력 전압을 인가 받고 드레인을 출력 노드로 하는 공통 게이트(common-gate) 구조이나, 게이트 노드가 AC 접지가 아닌 LDO 레귤레이터의 출력 전압이 피드백 저항을 통하여 오차 증폭기의 이득과 곱해져 패스 트랜지스터의 게이트로 입력되게 되므로 다음과 같은 수식을 얻을 수 있다.

$$PSR = \frac{g_{ds,pass,subth} + g_{m,pass,subth}}{\beta g_{m,pass,subth} A_{amp}} \quad (24)$$

#### IV. 외부 커패시터가 없는 LDO 레귤레이터의 최적화 결과

##### 4.1 PSR 제약 조건 변화에 따른 외부 커패시터가 없는 레귤레이터의 성능 최적화

III장에서 언급한 제약 조건들을 토대로 부하 전류가 존재하지 않는 상태에서 PSR 제약 조건을 -54 dB에서 -46 dB까지 변화시키면서 외부 커패시터가 없는 LDO 레귤레이터의 최적화를 진행하였다. 최적화는 Linux 환경에서 CVX Matlab Toolbox<sup>[8]</sup>를 이용하여 진행되었고, 각 PSR 제약 조건마다 최적화에 소요된 시간은 평균 6.17 초였다. Intel (R) Xeon (R) CPU X5650 2.67 @ GHz 프로세서와 4 GHz 메모리가 사용되었다. 그림 3에 PSR 제약 조건의 변화에 따른 LDO 레귤레이터의 정지 전류(quiescent current)와 패스 트랜지스터의 면적 변화를 나타내었다. 모델 검증을 위한 시뮬레이션은 Cadence社の Spectre를 통해 이루어졌다. 시뮬레이션 및 최적화는 Dongbu HiTek

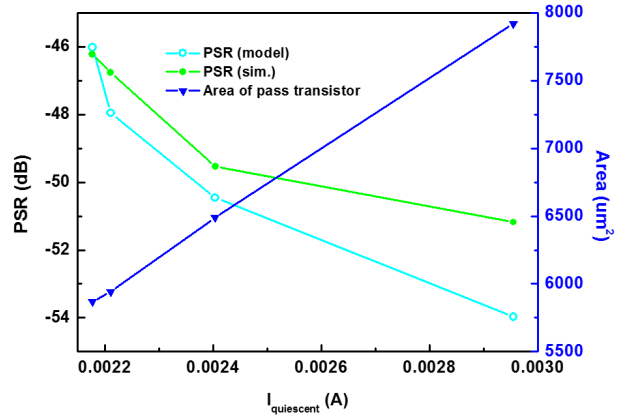


그림 3. PSR 제약 조건 변화에 따른 LDO 레귤레이터의 정지 전류( $I_{quiescent}$ )와 패스 트랜지스터 면적 최적화 결과

Fig. 3. Optimization results of quiescent current of LDO regulator and area of pass transistor according to various PSR specification.

0.5  $\mu$ m BCDMOS 공정을 사용하여 이루어졌다. PSR 제약 조건을 변화시키는 동안 위상 마진(phase margin) 제약 조건은 45°로 고정되었고, 드롭 아웃(dropout) 전압은 0.3 V 이하의 값을 가지도록 제약 조건을 고정해 주었다.

식 (24)에 나타낸 바와 같이, PSR 특성을 향상시키기 위해서는 오차 증폭기(EA)의 전압이득이 증가하거나, 패스 트랜지스터의 출력 트랜스 컨덕턴스가 감소하여야 한다. 하지만 출력 트랜스 컨덕턴스의 경우, 패스 트랜지스터의 트랜스 컨덕턴스에 비해 매우 작은 값을 가지기 때문에 결과적으로는 오차 증폭기(EA)의 이득이 LDO 레귤레이터의 PSR 특성을 좌우하게 된다. 따라서 PSR 특성을 향상시키기 위해 오차 증폭기(EA)의 이득이 증가하게 되는데, 이에 따라 오차 증폭기(EA)의 출력 트랜스 컨덕턴스가 작아지게 되면서 주극점(dominant pole)의 값이 증가하게 되어 단위 이득 주파수가 함께 증가하게 된다. 따라서 고정된 위상 마진(phase margin) 조건을 만족시키기 위하여 결과적으로 패스 트랜지스터의 출력 저항을 낮추기 위해 패스 트랜지스터의 면적이 증가하게 되어 그림 3과 같은 결과를 보이게 된다. 그림 3의 최적화 결과를 통하여 정지 전류(quiescent current)를 약 50 % 가량 증가시키면 PSR 성능을 8 dB 향상시킬 수 있지만, 그에 따라 트랜

지스터의 크기가 약 1.3배 증가한다는 설계 가이드 라인을 얻을 수 있었다. III장에서 유도된 PSR 모델은 시뮬레이션과 모델의 값이 평균 13.1 %로 비교적 작은 오차를 보였다. 또한, 위상 마진(phase margin)의 경우, 모델과 시뮬레이션의 오차가 평균 9.3 % 였다. 또한, PSR 제약 조건이 변화하더라도 40° 이상의 위상 마진(phase margin)을 가져 충분한 루프 안정도(stability)를 유지하는 것으로 확인되었다. 그림 3의 결과를 토대로 LDO 레귤레이터로부터 전압을 공급받게 되는 어플리케이션이 얼마만큼의 PSR 특성을 요구하느냐에 따라 설계자는 PSR의 제약 조건을 완화하는 대신에, 더 작은 면적을 소비하면서 더 작은 정지 전류(quiescent current)를 소비하는 LDO 레귤레이터를 설계할 수 있다.

4-2 외부 커패시터가 없는 LDO 레귤레이터의 최적 설계 결과

표 2에 기하 프로그래밍(GP)을 이용하여 최적화된 외부 커패시터가 없는 LDO 레귤레이터의 성능 모델과 시뮬레이션 결과를 비교하여 나타냈다. 정지 전류를 최소화하는 것을 목적함수로 하여 PSR 제약 조건을 -47.96 dB로, 그리고 위상 마진(phase margin)의 제약 조건을 45°로 하였다. 또한, 최대 부하 전류 조건을 100 mA로 하였고, 목표 출력 전압은 1.8 V 였다. 드롭 아웃(dropout) 전압과 정지전류, 그리고 목표 출력 전압과 같은 DC 특성은 시뮬레이션과 모델의 값이 최대 6.25 %의 오차를 보이며, 매우 잘 일치하는 결과를 보였다. 루프 이득(A)과 위상 마진(phase margin), 그리고 단위 이득 주파수와 같은 주파수 특성의 경우에는 계수가 양수인 단항식(monomial) 또는 다항식(posynomial)의 형태로 수식을 표현하기 위하여 여러 기생 성분들이 생략되었기 때문에 DC 특성보다는 다소 큰 오차를 보였다. 주파수 특성의 경우, 단위 이득 주파수에서 21.1 %로 가장 큰 오차를 보였다. PSR 특성은 모델과 시뮬레이션이 12.8 %의 오차를 가져 시뮬레이션과 모델이 매우 잘 일치하는 결과를 보여주었다.

III장에서 설명한 바와 같이, 외부 커패시터가 없는 LDO 레귤레이터의 주파수 특성 중 주극점(dominant pole)의 수식은 계수가 양수인 단항식(monomial)으로 표현하기

표 2. 외부 커패시터가 없는 LDO 레귤레이터의 성능 모델과 시뮬레이션 결과 비교

Table 2. Comparison results between model and simulation of capacitor-less LDO regulator.

	모델	시뮬레이션	오차 (%)
$I_{MAX}(mA)$	100	100	-
$V_{dropout}(V)$	0.3	0.32	6.25
$V_{OUT}(V)$	1.8	1.813	0.7
$I_{quiescent}(mA)$	2.22	2.21	0.73
PSR (@DC) (dB)	-47.96	-46.77	12.82
A (dB)	75.25	74.1	14.05
Phase margin(°)	45	40.33	11.58
$f_c(MHz)$	28.99	23.93	21.14

표 3. 기하 프로그래밍(GP) 최적화 결과

Table 3. Result of GP optimization.

	Value
$W_{p1}/L_{p1}(\mu m/\mu m)$	1.2/2.85
$W_{p2}/L_{p2}(\mu m/\mu m)$	79.45/2.42
$W_{p3}/L_{p3}(\mu m/\mu m)$	22.84/2.42
$W_{p4,5}/L_{p4,5}(\mu m/\mu m)$	30.62/0.5
$W_{n1,2}/L_{n1,2}(\mu m/\mu m)$	1.55/0.5
$W_{n3}/L_{n3}(\mu m/\mu m)$	1.2/0.67
$W_{pass}/L_{pass}(\mu m/\mu m)$	11885/0.5
$R_1(\Omega)$	615.17
$R_2(\Omega)$	277.82
$C_L(pF)$	10
$I_{BLAS}(\mu A)$	1.92

위하여 패스 트랜지스터의 대략적인 이득 값을 고려하여 밀러(Miller) 커패시턴스의 값보다 1.5배 큰 커패시턴스 값을 사용하였는데, 이러한 값은 각 제약조건에 따른 최적화 결과를 시뮬레이션하여 반영하면 실제 패스 트랜지스터의 게이트 커패시턴스 값과 더 잘 일치할 수 있도록 오차의 보정이 가능하다.

표 3은 기하 프로그래밍(GP)을 이용하여 얻은 최적화의 결과로서, 표 2의 성능을 얻기 위해 필요한 오차 증폭기(EA)와 패스 트랜지스터의 사이즈, 피드백 저항, 그리



고 바이어스 전류를 나타냈다.

## V. 결 론

본 논문에서는 Dongbu HiTek 0.5  $\mu\text{m}$  BCDMOS 공정을 이용하여 NMOS와 PMOS의 특성 파라미터를 채널 길이와 드레인 전류, 그리고 드레인-소스 전압에 대해 계수가 양수인 단항식(monomial)으로 모델링을 수행하고 검증하였다. 이를 이용하여 외부 커패시터가 없는 LDO 레귤레이터의 안정도(stability)와 PSR의 수식을 계수가 양수인 단항식(monomial)과 다항식(posynomial)으로 유도하여 외부 커패시터가 없는 LDO 레귤레이터 설계를 자동화하고 최적화 하였다. 유도된 위상 마진(phase margin)과 PSR 모델은 시뮬레이션 결과와 비교하였을 때 각각 평균 9.3%와 13.1%의 비교적 작은 오차를 보였다. 이 오차에는 포화(saturation) 영역과 문턱 전압 이하(subthreshold) 영역에서 모델링된 트랜지스터의 특성 파라미터들의 모델링 오차가 포함되어 있으므로, 이를 고려하면 본 논문에서 유도된 위상 마진(phase margin)과 PSR의 모델이 LDO 레귤레이터의 위상 마진(phase margin)과 PSR 특성을 잘 표현하고 있음을 알 수 있다. 기하 프로그래밍(GP)을 사용하여 최적화 한 결과, PSR 특성은 LDO 레귤레이터가 소비하는 정지전류와 반비례 관계를 가져, 더 좋은 PSR 특성을 위해서는 더 많은 정지전류와 칩 면적을 소비해야 하는 것으로 확인되었다. 본 논문에서 유도된 수식을 이용하면 회로의 목표 성능과 설계에 사용하고자 하는 소자 공정이 변화하더라도 부가적인 설계 시간을 소비하는 것 없이 목표 성능을 가진 회로를 재설계하는 것이 가능하다.

## References

- [1] K. N. Leung, P. K. T. Mok, "A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency", *IEEE J. Solid-State Circuits*, vol. 37, no. 10, pp. 1691-1701, Oct. 2003.
- [2] 정기범, 조병찬, 정연춘, "전기자동차 LDC 시스템의 전도 방출에 관한 고주파 모델링 연구", *한국전자과학회논문지*, 24(8), pp. 798-804, 2013년 8월.
- [3] S. DasGupta, P. Mandal, "An automated design approach for CMOS LDO regulators", in *Proc. Int. Symp. Asia South Pac. Des. Aut. Conf.*, pp. 510-515, Jan. 2009.
- [4] M. El-Nozahi, A. Amer, J. Torres, K. Entesari, and E. Sanchez-Sinencio, "High PSR low drop-out regulator with feed-forward ripple cancellation technique", *IEEE J. Solid-State Circuits*, vol. 45, no. 3, pp. 565-577, Mar. 2010.
- [5] 윤민영, 김병준, 김진태, 남상욱, "Differential amplifier design based on modeling with GP optimization", *한국전자과학회 종합학술발표회 논문지*, 23(1), p. 190, 2012년 12월.
- [6] J. Kim, J. Lee, L. Vandenberghe, and C. K. K. Yang, "Techniques for improving the accuracy of geometric-programming based analog circuit design optimization", in *Proc. Int. Conf. Comput. Aided Des.*, pp. 863-870, Nov. 2004.
- [7] M. Hershenson, S. Boyd, and T. H. Lee, "Optimal design of a CMOS op-amp via geometric programming", *IEEE Trans. Comput-aided Design Integr. Circuits Syst.*, vol. 20, no. 1, pp. 1-21, Jan. 2001.
- [8] M. Grant, S. Boyd, and Y. Ye, *CVX: Matlab Software for Disciplined Convex Programming*, [Online]. Available: <http://www.stanford.edu/~boyd/cvx>.

주 소 연



2011년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학사)  
2013년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학석사)  
2013년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] EMI/EMC, 아날로그 설계

자동화

김 소 영



1997년: 서울대학교 전기공학부 (공학사)  
1999년: Stanford University 전기공학과 (공학석사)  
2004년: Stanford University 전기공학과 (공학박사)  
2004년~2008년: Intel Corporation  
2008년~2009년: Cadence Design Systems

2009년~현재: 성균관대학교 반도체시스템공학과 부교수  
[주 관심분야] Device and Interconnect Modeling, Power Integrity, Signal Integrity, Computer-Aided Design, Electromagnetic Compatibility

김 진 태



1997년: 서울대학교 전기공학부 (공학사)  
2004년: University of California 전기공학부 (공학석사)  
2008년: University of California 전기공학부 (공학박사)  
2012년~현재: 건국대학교 전자공학부 조교수

[주 관심분야] 데이터 컨버터, 주파수 합성기, CMOS 온도센서 설계, 아날로그 설계 자동화