

유럽형 지상파/케이블/위성 멀티모드 HD 방송 수신기 가능한 통합 수신기 구현

이연성*, 권기원*, 김동구°

Implementation of Integrated Receiver for Terrestrial/Cable/Satellite HD Broadcasting Services

Youn-Sung Lee*, Ki Won Kwon*, Dong Ku Kim°

요 약

본 논문에서는 유럽형 2세대 디지털 지상파, 케이블, 위성 방송을 하나의 수신기로 수신할 수 있는 통합 수신기의 구현 방법을 제안한다. 통합 수신기는 튜너부, 수신기 엔진, 프레임 프로세서, A/V 복호기로 구성된다. 수신기 엔진은 DVB-T2, DVB-C2, DVB-S2에 대한 복조 및 채널 복호 기능을 수행하고, 프레임 프로세서는 디인터리빙 및 프레임 디코딩 기능을 수행한다. 수신기 엔진은 2개의 FPGA로 구현되었고, 프레임 프로세서는 DSP 기반 임베디드 소프트웨어로 구현되었다. 구현된 통합 수신기를 검증하기 위해 실험실 환경에서 동작 실험을 진행하였고, DVB-T2, DVB-C2, DVB-S2 방송을 송신하기 위해 PC기반의 상용 송신기가 사용되었다. 실험 결과 다양한 동작 모드에서 수신 요구 사항을 모두 만족하였다.

Key Words : DVB-T2, DVB-C2, DVB-S2, receiver, demodulator

ABSTRACT

This paper presents an integrated receiver to support multimode broadcasting standards such as DVB-T2, DVB-C2, and DVB-S2 in a single platform. The integrated receiver consists of a tuner block, a receiver engine, a frame processor, and an A/V decoder. The receiver engine includes a channel decoding engine and a demodulation engine to perform OFDM and APSK demodulations. The frame processor performs deinterleaving and BB frame decoding functions. The demodulator engine and the frame processor are implemented in two FPGA devices and DSP-based embedded software, respectively. To verify the functionality of the integrated receiver, it is tested in the laboratory. Commercial PC-based modulators are used to generate the DVB-T2, DVB-C2, and DVB-S2 modulated signals. The integrated receiver was tested under various operation modes as specified in the standards such as DVB-T2, DVB-C2, and DVB-S2 and showed successful operation in all the scenarios tested.

※ 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 정보통신·방송연구개발사업의 일환으로 수행하였음. [R0101-14-0189, 네트워크가 결합된 매체 독립형 차세대 융합방송 시스템 및 모니터링 시스템 개발]

♦ First Author : School of Electrical and Electronic Engineering, Yonsei Univ., yslee@keti.re.kr, 정희원

° Corresponding Author : School of Electrical and Electronic Engineering, Yonsei Univ., dkkim@yonsei.ac.kr, 종신회원

* Korea Electronics Technology Institute (KETI), kwonkw@keti.re.kr, 정희원

논문번호 : KICS2015-08-275, Received August 31, 2015; Revised October 21, 2015; Accepted November 9, 2015

I. 서 론

유럽의 디지털 방송 기술인 DVB(Digital Video Broadcasting)는 전송매체를 기준으로 DVB-S(위성), DVB-T(지상파), DVB-C(케이블) 등으로 구분되며, 각 전송매체에 최적화된 방식으로 기술을 규정한다. 기존 DVB의 전송효율을 높이기 위해 2세대 DVB(DVB 2nd Generation) 기술을 개발하였으며, 기존 기술처럼 전송매체를 기준으로 DVB-S2, DVB-T2, DVB-C2로 구분된다^[1,3]. 이들 2세대 기술은 기존 DVB, 즉 1세대 기술에 비해 전송효율을 30% 이상 향상시켰으며, 기존 방송 송신 인프라와 수신 안테나를 이용할 수 있는 장점이 있어 현재 유럽 일부 지역에서 방송을 진행하고 있다^[4,5]. 2세대 DVB는 기존 기술에 비해 많은 부분이 변경되어 각각의 기술에 적합한 수신기를 개발해야 한다.

DVB-S2는 단일 주파수(Single Carrier) 전송방식을 사용하는 반면, DVB-T2와 DVB-C2는 직교 주파수 분할 다중화(Orthogonal Frequency Division Multiplexing; OFDM) 기술을 사용한다. 각 표준이 다른 기술을 사용하고 있으나, 동일한 기저대역(Baseband; BB) 프레임 구조와 LDPC(Low Density Parity Check)와 BCH(Bose Chaudhuri Hocquenghem) 부호화 방식을 채택하고 있다. 또한, DVB-C2 시스템은 DVB-T2 시스템에서 사용하는 OFDM 변조 방식의 일부인 4K FFT(Fast Fourier Transform) 모드와 분산 파일럿(Scattered Pilot)을 사용하고 있다. 이와 같이 각각의 표준 기술이 동일하거나 유사한 기능 블록으로 구성되어 있어, 하나의 수신기로 DVB-S2, DVB-T2, DVB-C2 수신기를 통합하면 기능 블록에 대한 공유를 통해 하드웨어 크기를 줄이고 단순화하는 것이 가능하다. 하나의 수신기가 매체에 관계없이 방송을 수신할 수 있을 경우, 각 방송 방식에 따라 개별적으로 생산하는 것에 비해 제조 단가를 낮출 수 있는 장점이 있어 멀티모드를 지원하는 상용칩들이 개발되고 있는 추세이다.^[6,7]

본 논문에서는 유럽형 2세대 지상파, 케이블, 위성 방송을 하나의 수신기로 수신할 수 있는 통합 수신기의 구현 방법을 제안한다. 논문의 구성은 다음과 같다. II장에서는 DVB-S2, DVB-T2, DVB-C2 통합(DVB-X2) 수신기에 대해 소개하고, III장에서는 DVB-X2 수신기 엔진 구조를 제안한다. IV장에서는 DVB-X2 수신기의 구현 결과를 보여주고, V장에서는 결론을 맺는다.

II. DVB-X2 시스템

2.1 DVB-S2, DVB-T2, DVB-C2 시스템

DVB-S2 시스템은 QPSK(Quadrature Phase-shift Keying)부터 32-APSK(Amplitude and PSK)까지 4개의 변조 방식과 LDPC/BCH 부호화 코드를 제공한다. 그림 1은 DVB-S2 시스템 블록도를 나타낸다. DVB-T2 시스템은 OFDM 변조를 위해 1K부터 32K까지 다양한 길이의 FFT와 채널 환경에 따라 7가지 보호구간(Guard Interval) 길이를 지원하며, 256-QAM(Quadrature Amplitude Modulation)까지 4개의 변조 방식과 LDPC/BCH 부호화 코드를 제공한다. 그림 2는 DVB-T2 시스템의 블록도를 나타낸다. 그림 3과 같이 DVB-C2 시스템은 DVB-T2 시스템과 동일한 OFDM 기술을 사용하고 있으며, 4K FFT, 2가지 보호구간 길이, 최대 4096-QAM까지의 변조 방식과 LDPC/BCH 부호화 코드를 제공한다. 표 1은 DVB-S2, DVB-T2 및 DVB-C2 규격을 요약한다. DVB-S2, DVB-T2와 DVB-C2는 프레임 구조, 채널 부호화 및 변조 방식 등 유사하거나 동일한 기능 블록이 다수 존재하므로, 이를 이용하여 하나의 수신기에 각 기술을 통합할 경우 하드웨어 크기를 줄일 수 있다.



그림 1. DVB-S2 시스템 블록도
Fig. 1. Block diagram of DVB-S2 system

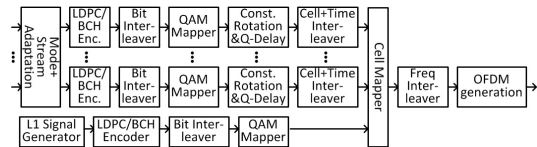


그림 2. DVB-T2 시스템 블록도
Fig. 2. Block diagram of DVB-T2 system

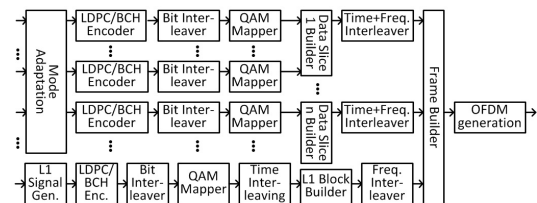


그림 3. DVB-C2 시스템 블록도
Fig. 3. Block diagram of DVB-C2 system

표 1. DVB-S2, DVB-T2, DVB-C2 주요 특징
Table. 1 DVB-S2, DVB-T2 and DVB-C2 features

	DVB-S2	DVB-T2	DVB-C2
Input Interface	Multiple TS & GSE	Multiple TS & GSE	Multiple TS & GSE
FEC	LDPC/BCH	LDPC/BCH	LDPC/BCH
Code Rate	1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9, 9/10	1/2, 3/5, 2/3, 3/4, 4/5, 5/6	1/2, 2/3, 3/4, 4/5, 5/6, 8/9, 9/10
Modulation	Single Carrier	OFDM	OFDM
Modulation Schemes	QPSK, 8PSK, 16APSK, 32APSK	QPSK, 16- to 256-QAM	16- to 4096-QAM
Guard Interval	-	1/4, 19/256, 1/8, 19/128, 1/16, 1/32, 1/128	1/64, 1/128
FFT Size	-	1k, 2k, 4k, 8k, 16k, 32k	4k
Interleaving	Bit	Bit, Time, Freq. Cell	Bit, Time, Freq.

2.2 DVB-X2 수신기 개요

DVB-X2 수신기는 DVB-T2, DVB-C2, DVB-S2 방송을 수신하기 위한 수신기로서, 그림 4와 같이 튜너부, 수신기 엔진, 프레임 프로세서, A/V(Audio/Video) 복호기로 구성된다. 튜너부는 DVB-S2, DVB-T2 또는 DVB-C2로 변조된 RF(Radio Frequency) 신호를 Baseband 신호로 변환하는 기능을 수행하고, 수신기 엔진은 DVB-S2, DVB-T2, DVB-C2 복조 기능과 LDPC/BCH 복호 기능을 수행한다. 프레임 프로세서는 Deinterleaving과 BB 프레임 복호 기능을 수행하고, A/V 복호기는 MPEG-2 TS를 영상 신호로 출력시킨다. DVB-X2 수신기는 다양한 전송모드와 많은 파라미터로 인해 프레임 처리 기

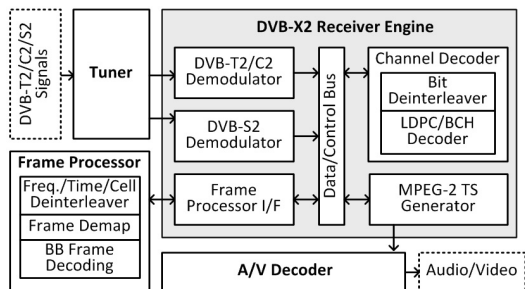


그림 4. DVB-X2 수신기 구조
Fig. 4. DVB-X2 receiver architecture

능은 소프트웨어로 처리하고, 복조 및 복호 기능은 연산량이 많아 하드웨어로 처리하면 효율적으로 구현할 수 있다.

III. DVB-X2 수신기 엔진 설계

본 장에서는 2세대 DVB 방송을 수신하기 위한 DVB-X2 수신기의 하드웨어 기반 수신기 엔진에 대해 기술한다. 수신기 엔진은 DVB-T2/C2 복조기, DVB-S2 복조기, 채널 복호기로 구성된다.

3.1 DVB-T2/C2 복조기

DVB-C2는 DVB-T2에서 사용되는 4K FFT 모드와 동일한 OFDM 부분송파와 간격을 사용하고, DVB-T2에서 사용되는 보호구간 길이의 일부를 사용한다. 또한, DVB-T2와 DVB-C2는 동일한 분산 파일럿을 사용하기 때문에 DVB-T2 복조기와 DVB-C2 복조기의 기능 블록을 공유하여 설계하는 것이 가능하다⁵⁾.

DVB-T2/C2 복조기는 그림 5와 같이 공통 OFDM 복조부, DVB-T2/C2 specific 블록, 제어부로 구성된다. 공통 OFDM 복조부는 DVB-T2 및 DVB-C2 복조 과정에서 공통으로 사용되는 기능 블록인 신호 전력 검출기, 보호구간 검출기, 반송과 주파수 오프셋(Carrier Frequency Offset; CFO) 및 심볼 타이밍 오프셋(Symbol Timing Offset; STO) 동기부, 가변 FFT, 채널 등화기, 잔여 CFO 및 STO 동기부로 구성된다. DVB-T2/C2 Specific 블록은 P1 감지기, DVB-T2 pilot 생성기, DVB-C2 Preamble 감지기, DVB-C2 pilot 생성기로 구성된다. 제어부는 수신 신호의 모드를 감지하여 DVB-T2/C2 복조기가 DVB-T2 또는 DVB-C2 모드

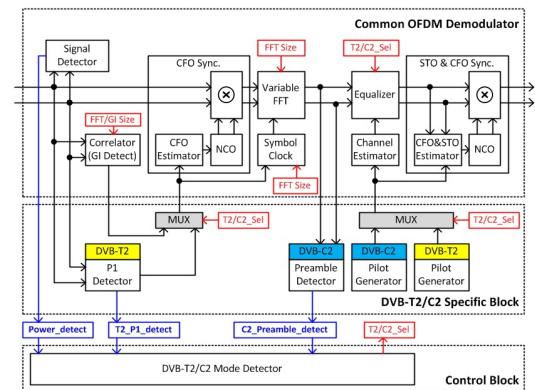


그림 5. DVB-T2/C2 복조기 구조
Fig. 5. DVB-T2/C2 Demodulator Architecture

로 동작하도록 제어하는 기능을 수행한다.

DVB-T2 신호의 감지는 시간 영역에서 P1 심볼을 검출하는 방법으로 가능하다. DVB-T2 프레임의 시작에서 전송되는 P1 심볼은 BPSK로 변조되어 있고, FFT 크기 등의 정보를 포함하고 있다. 따라서, P1 심볼이 감지되면, DVB-T2 복조기가 동작하기 위한 FFT 크기 정보를 알 수 있다. DVB-C2는 4K FFT를 사용하기 때문에 보호구간 길이를 감지하고, CFO 및 STO를 제거할 수 있다. 또한, FFT 연산을 통해 주파수 영역에서 DVB-C2 Preamble을 감지할 수 있다. 따라서 DVB-T2/C2 복조기를 초기에 DVB-C2 모드로 동작시키면, 시간 영역과 주파수 영역에서 동시에 DVB-T2 신호와 DVB-C2 신호를 감지할 수 있다.

그림 6은 보호구간 감지기의 블록도를 나타내며, 다양한 FFT 크기에 대해 보호구간 길이를 감지할 수 있다. 입력 신호와 FIFO를 통해 FFT만큼 지연된 신호의 상관관계를 이용하여 보호구간의 길이를 감지한다. 그림 7은 가변 FFT의 블록도를 나타내며, OFDM 복조를 위해 시간 영역 신호를 주파수 영역 신호로 변

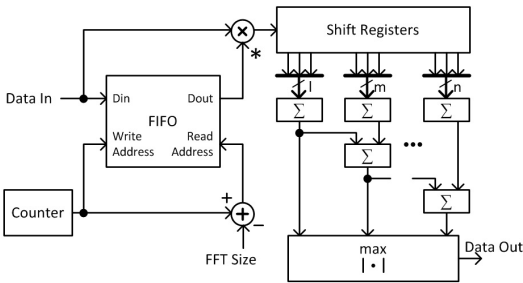


그림 6. 보호구간 감지기 블록도
Fig. 6. Block diagram of guard interval detector

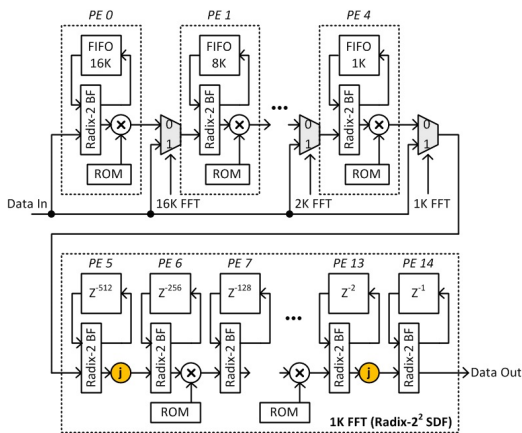


그림 7. 가변 FFT 블록도
Fig. 7. Block diagram of variable FFT

환하기 위해 사용된다. 1K부터 32K까지 다양한 FFT 모드를 지원하며, Radix-2² SDF(Single-Path Delay Feedback) pipeline 구조로 설계하였다. 채널 등화기는 다중경로로 인하여 변화된 부반송파의 크기와 위상을 보상해 주기 위해 사용되며, 부반송파에 포함되어 있는 pilot을 사용하여 채널을 추정하고, zero-forcing 등화기를 이용하여 보상한다. 그림 8은 채널 등화기의 블록도를 나타낸다. 시간 영역에서 복원된 STO 및 CFO에 대한 잔여 옵션은 주파수 영역에서 부반송파에 포함된 pilot을 이용하여 추정하고, NCO(Numerical Controlled Oscillator) 및 곱셈기를 이용하여 복원한다. 그림 9는 잔여 STO 및 CFO를 제거하기 위한 동기부의 블록도를 나타낸다.

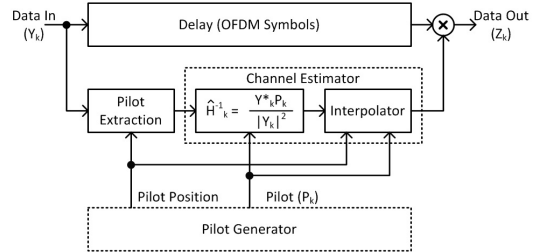


그림 8. 채널 등화기 블록도
Fig. 8. Block diagram of channel equalizer

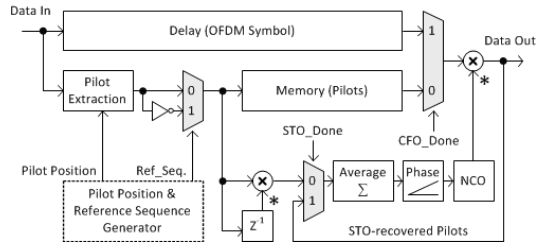


그림 9. 잔여 STO 및 CFO 동기부 블록도
Fig. 9. Block diagram of residual CFO and STO synchronization

3.2. DVB-S2 복조기

DVB-S2 복조기는 그림 10과 같이 Matched 필터, 심볼 타이밍 및 반송파 위상 복원부, 프레임 감지기, PLS (Physical Layer Signalling) 복호기, PL(Physical Layer) Descrambler, 등화기, Demapper로 구성된다.

Matched 필터는 변조부에서 사용했던 필터와 동일한 필터를 사용하여 송신 신호와 일치하는 부분만 신호로 받아들이고 나머지는 잡음으로 제거하여 신호대 잡음비를 높여 주는 기능을 수행하며, 41-tap Square Root Raised Cosine 필터로 설계하였다. 심볼

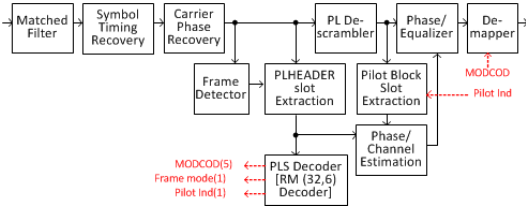


그림 10. DVB-S2 복조기 구조
Fig. 10. DVB-S2 Demodulator Architecture

타이밍 복원부는 샘플 단위의 신호를 심볼 단위의 신호로 변환하는 과정에서 포함된 타이밍 에러를 보상해 주기 위해 사용되며, 타이밍 에러 검출을 위해 Gardner 알고리즘을 사용하였고^[8], 검출된 타이밍 에러를 보상하기 위해 Cubic Lagrange 보간기를 사용하였다. 반송파 위상 복원부는 수신 신호의 반송파 주파수 오프셋과 위상 오프셋을 보상하는 기능을 수행하며, 2차 PLL(Phase Lock Loop)로 설계하였다. 프레임 감지기는 프레임 헤더의 SOF(Start of Frame) 필드와 PLS 코드를 이용하여 프레임의 시작 위치를 찾는 기능을 수행한다. 등화기는 다중 경로에 의한 수신 신호의 크기와 위상의 변화를 보상하며, 크기와 위상은 프레임 헤더의 SOF를 이용하여 추정한다. PLS 복호기는 (32,6) Reed-Muller 복호기로 설계되었고, PL Descrambler는 PL 프레임의 XFECFRAME을 Descrambling하는 기능을 수행한다.

3.3 LDPC 복호기

LDPC 복호기는 복호연산 처리 단위에 따라 직렬, 부분 병렬, 완전 병렬 구조로 구현될 수 있다. 직렬 구조는 하드웨어 복잡도가 작지만 복호속도가 느린 단점이 있고, 완전 병렬 구조는 복호속도는 빠르지만 하드웨어 면적이 큰 단점이 있다. 이 두 가지 방법을 절충한 것이 부분 병렬 방식이다. 2세대 DVB에서 사용되는 LDPC는 부분 병렬 복호가 가능한 QC(Quasi-Cyclic) LDPC 코드로 부호화되어 있으며, 360 단위의 부 행렬로 구성된 패리티 검사 행렬을 만들 수 있다. 패리티 검사 행렬을 360 단위의 부 행렬로 변환하게 되면 부 행렬 단위로 부분 병렬 복호가 가능하다^[9].

LDPC 복호기는 Min-sum 알고리즘을 이용하여 설계하였으며, 그림 11과 같이 LLR(Log-Likelyhood Ratio)을 계산하고 저장하는 LLR Unit, 체크 노드의 Minimum 값을 계산하는 Check Node Unit (CNU), 비트 노트의 Minimum 값과 Sum 값을 계산하는 Bit Node Unit(BNU), 수신 비트의 부 행렬 변환 블록인

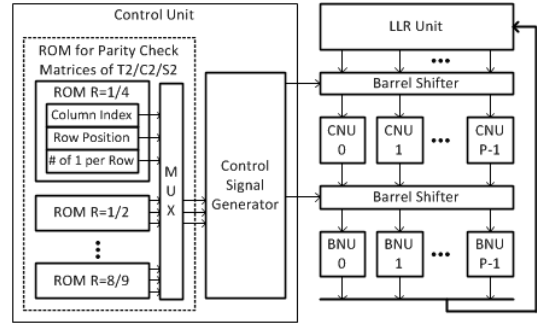


그림 11. LDPC decoder 블록도
Fig. 11. Block diagram of LDPC decoder

Control Unit으로 구성된다^{[10],[11]}. 처리 속도 및 하드웨어 크기를 고려하여 90 단위의 부 행렬 단위로 병렬 처리되도록 설계되었으며, DVB-T2, DVB-C2, DVB-S2의 다양한 Code Rate를 지원하기 위해 패리티 행렬에서 1의 위치를 열 인덱스(Column Index) 및 행 위치(Row Position), 행 당 1의 개수의 정보를 갖고 처리하도록 설계하였다.

IV. DVB-X2 수신기 구현 및 검증

DVB-X2 수신기는 튜너부, 하드웨어 기반 수신기 엔진, DSP 기반 프레임 프로세서, A/V 복호기로 구현하였다. 그림 12는 구현된 DVB-X2 수신기를 나타낸다. 튜너부는 DVB-T2, DVB-C2, DVB-S2 튜너 모듈로 구성된다. DVB-T2 튜너 모듈과 DVB-C2 튜너 모듈은 DVB-T/C용 Half-NIM (Network Interface Module) 타입 튜너와 14-bit ADC(Analog-to-Digital Converter)를 사용하여 동일하게 구현하였고, DVB-S2 튜너 모듈은 DVB-S/S2용 Half-NIM 타입 튜너와 10-bit ADC를 사용하여 구현하였다. DVB-X2 복조와 채널 복호 기능을 하는 수신기 엔진은 2개의 FPGA를 사용하여 구현하였고, 표2와 표3은 각각 DVB-X2 복조기와 LDPC 복호기에 대한 Xilinx사의 XC5VLX330 FPGA 구현 결과를 나타낸다. 프레임 프로세서는 최대 1.2 GHz 클럭으로 동작하는 Fixed-point DSP와 256 Mbyte DDR2 메모리를 사용하여 임베디드 소프트웨어로 구현하였고, A/V 복호기는 IP 셋톱박스용 SoC 칩을 이용하여 모듈로 구현하였다. 표4는 DVB-T2, DVB-C2, DVB-S2, DVB-X2의 수신기 엔진의 복잡도를 비교한 결과를 나타낸다. DVB-X2 수신기 엔진은 DVB-T2 수신기 엔진과 비교하여 동일한 메모리를 사용하고, 10%의 Gate를 추가로 더 사용한다.

DVB-X2 수신기를 검증하기 위해 그림 13과 같이 실험실 환경에서 동작 실험을 진행하였다. DVB-T2, DVB-C2, DVB-S2 방송을 송신하기 위해 PC 기반의 상용 송신기가 사용되었고, 상용 송신기를 통한 다양한 동작 모드에서 수신 요구 사항을 모두 만족하였다. 또한, 제안된 수신기가 특정 전송매체에 대한 방송 신호 수신 중에 다른 전송매체로의 수신 모드 변경이 가능한지 검증하기 위해 수신 모드 변경 실험을 진행하였다. 표5의 테스트 파라미터로 DVB-T2, DVB-C2, DVB-S2 방송 신호를 동시에 송출하고, 제안된 DVB-X2 수신기를 통해 각각의 전송매체를 변경하며 수신함으로써 수신 모드 변경 기능을 검증하였다. DVB-T2, DVB-C2, DVB-S2에는 다양한 전송 모드가 존재하며, 표 5의 테스트 파라미터는 수신 모드 변경 테스트를 위해 사용된 상용 송신기의 전송 파라미터의 한 예를 나타낸다. 또한, 수신 모드 변경시 해당 전송 모드를 잘 수신하는지 DVB-X2 수신기에 연결된 TV를 통해 확인하기 위해서 표5에서와 같이 DVB-T2, DVB-C2, DVB-S2 송신기에 각각 다른 A/V 데이터를 전송하였다.



그림 12. DVB-X2 수신기 구현
Fig. 12. Implementation of DVB-X2 receiver



그림 13. DVB-X2 수신기 동작 실험 환경
Fig. 13. Test environment for DVB-X2 receiver

표 2. DVB-X2 복조기 FPGA 구현 결과
Table 2. FPGA utilization of DVB-X2 demodulator

	Used/Available	Utilization
Slice Registers	44,070/207,360	21%
Slice LUTs	86,584/207,360	41%
Block RAM/FIFO	113/288	39%
BUFG/BUFGCTRLs	21/32	65%
DCM_ADVs	8/12	66%
DSP48Es	114/192	59%

표 3. LDPC 복조기 FPGA 구현 결과
Table 3. FPGA utilization of LDPC decoder

	Used/Available	Utilization
Slice Registers	11,481/207,360	5%
Slice LUTs	45,445/207,360	21%
Block RAM/FIFO	231/288	80%
BUFG/BUFGCTRLs	3/32	9%
DCM_ADVs	1/12	8%
DSP48Es	0/192	0%

표 4. DVB-T2, DVB-C2, DVB-S2, DVB-X2 수신기 엔진 비교
Table 4. Comparison of H/W resources in DVB-T2, DVB-C2, DVB-S2, and DVB-X2 receiver engines

	DVB-T2	DVB-C2	DVB-S2	DVB-X2
Gate ¹ (k)	586	506	364	647
(Scale ²)	(100%)	(86%)	(62%)	(110%)
RAM(kb)	12,460	5,858	5,174	12,460
(Scale)	(100%)	(47%)	(42%)	(100%)
ROM(kb)	536	80	8	536
(Scale)	(100%)	(15%)	(1%)	(100%)

¹Gate refer to a 2-input NAND gate

²Scale 100% refers to H/W resources used in DVB-T2 receiver

표 5. 테스트 파라미터
Table 5. Test parameters

Parameter	DVB-T2	DVB-C2	DVB-S2
RF[MHz]	300	300	1500
B/W[MHz]	8	8	10
LDPC	16K	16K	64K
Code Rate	5/6	4/5	8/9
Modulation	64-QAM	16-QAM	QPSK
FFT mode	1K	4K	-
Guard Interval	1/16	1/64	-
Pilot	PP5	-	-
# of data symbols	60	-	-
L1 Modulation	QPSK	16-QAM	-
Used Audio/Video Bit Rate[Mbps]	25.4	8.6	10.4

V. 결 론

본 논문에서는 유럽형 2세대 디지털 지상파, 케이블, 위성 방송을 하나의 수신기로 수신할 수 있는 DVB-X2 수신기의 구현 방법 및 결과가 제시되었다. DVB-X2 수신기는 튜너부, 수신기 엔진, 프레임 프로세서, A/V 복호기로 구성된다. DVB-T2/C2 복조기, DVB-S2 복조기, 채널 복호기로 구성된 수신기 엔진은 2개의 FPGA로 구현되었고, 프레임 프로세서는 DSP 기반의 임베디드 소프트웨어로 구현되었다. DVB-X2 수신기를 검증하기 위해 PC 기반 상용 송신기가 사용되었다. 수신기 동작 실험을 통해 다양한 동작 모드에서 수신 요구 사항을 모두 만족하는 것을 검증하였다. 또한, 동작 모드 변경 실험을 통해 공통 OFDM 복조부를 공유하여 사용하는 DVB-T2/C2 복조기 구조와 채널 복호기를 공유하여 사용하는 수신기 구조를 검증하였다. DVB-X2 수신기는 지상파, 위성, 케이블 방송을 매체에 관계없이 수신하는 것이 가능하며, OFDM 복조부 및 채널 복호기와 같은 기능 블록을 공유하여 사용함으로써 하드웨어 구현 면적 및 비용을 줄일 수 있는 장점이 있다.

References

- [1] ETSI EN 302 307 V1.2.1, *Digital Video Broadcasting (DVB); Second generation framing structure, channel coding and modulation systems for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications (DVB-S2)*, Aug. 2009.
- [2] ETSI EN 302 755 V1.3.1, *Digital Video Broadcasting (DVB); Frame structure channel coding and modulation for a second generation digital terrestrial television broadcasting system (DVB-T2)*, Apr. 2012.
- [3] ETSI EN 302 769 V1.2.1, *Digital Video Broadcasting (DVB); Frame structure channel coding and modulation for a second generation digital transmission system for cable systems (DVB-C2)*, Apr. 2011.
- [4] ETSI TS 102 831 V1.2.1, *Digital Video Broadcasting (DVB); Implementation guidelines for a second generation digital terrestrial television broadcasting system (DVB-T2)*, Aug. 2012.
- [5] ETSI TS 102 991 V1.2.1, *Digital Video Broadcasting (DVB); Implementation guidelines for a second generation digital cable transmission system (DVB-C2)*, Jun. 2011.
- [6] Silicon Labs, *Si2167-C DVB-S2X /S2/T/C/S Digital Demodulator*, Retrieved Oct. 20, 2015 from <http://www.silabs.com/products/video/demodulator/Pages/Si2167.aspx>.
- [7] Sony, *Sony Commercializes World's First Demodulator LSI for DVB-C2 Digital Cable TV Broadcast Standard*, Retrieved Oct. 20, 2015 from <http://www.sony.net/SonyInfo/News/Press/201109/11-110E/index.html>.
- [8] F. M. Gardner, "A BPSK/QPSK timing-error detector for sampled receivers," *IEEE Trans. Commun.*, vol. 34, pp. 423-429, May 1986.
- [9] D. H. Kim and Y. H. Lee, "Incremental redundancy hybrid ARQ(IR-HARQ) scheme using block LDPC codes," *J. KICS*, vol. 38A, no. 8, pp. 662-668, Aug. 2013.
- [10] J. W. Jung, H. C. Kwon, Y. J. Kim, S. H. Park, and S. R. Lee, "A study on high speed LDPC decoder algorithm based on DVB-S2 standard," *J. KICS*, vol. 38C, no. 3, pp. 311-317, Mar. 2013.
- [11] I. K. Lee, M. H. Kim, D. G. Oh, and J. W. Jung, "A high speed LDPC decoder structure based on the HSS," *J. KICS*, vol. 38, no. 2, pp. 140-145, Feb. 2013.

이 연 성 (Youn-Sung Lee)



1996년 2월 : 광운대학교 컴퓨
터공학과 공학사
1998년 2월 : 광운대학교 컴퓨
터공학과 공학 석사
2008년 9월~현재 : 연세대학교
전기전자공학부 박사 과정
2003년 7월~현재 : 전자부품연

구원 (KETI) 책임연구원

<관심분야> 방송/통신 시스템, VLSI 아키텍처

김 동 구 (Dong Ku Kim)



1983년 2월 : 한국항공대학교
통신공학과 졸업
1985년 : U.S.C. Dept of
Electrical Engineering 석사
1992년 : U.S.C. Dept of
Electrical Engineering 박사
1994년~현재 : 연세대학교 공과

대학 전기전자공학과 정교수

<관심분야> 5세대 이동통신 시스템, 협력 MIMO
기술, 무선 이동 Relay 기술, Compressed
Sensing, 소형셀 기술

권 기 원 (Ki Won Kwon)



1997년 2월 : 광운대학교 컴퓨
터공학과 공학사
1999년 2월 : 광운대학교 컴퓨
터공학과 공학 석사
2011년 8월 : 중앙대학교 전자
전기공학부 공학 박사
1999년 2월~현재 : 전자부품연

구원 (KETI) 책임연구원

<관심분야> 디지털 통신, OFDM 모뎀 설계, 방송
통신융합시스템