

# HEVC 및 VP9 겸용 통합 역변환기의 설계

## Design of Unified Inverse Transformer for HEVC and VP9

정 슬 기\*, 이 성 수\*\*

Seulkee Jung\*, Seongssoo Lee\*\*

### Abstract

In this paper, a unified inverse transformer is designed for HEVC and VP9. The proposed architecture performs all modes of HEVC and VP9 in the unified inverser transformer, such as  $4 \times 4 \sim 32 \times 32$  HEVC IDCT,  $4 \times 4$  HEVC IDST,  $4 \times 4 \sim 32 \times 32$  VP9 IDCT,  $4 \times 4 \sim 16 \times 16$  VP9 IADST and  $4 \times 4$  IWHT. Same computations are used in HEVC IDCT and VP9 IDCT, except for the scales of the coefficients. Similarly, same computations are used in HEVC  $4 \times 4$  IDST and VP9  $4 \times 4$  IADST, except for the scales of the coefficients. Furthermore, HEVC IDCT, VP9 IDCT, and VP9 IADST are the subsets of upper level IDCTs. The proposed architecture reuses multipliers when the computation is identical. Also it shares adders and butterfly structures even when the multiplier coefficients are different. So it reduces the hardware size significantly. Synthesized in 0.18  $\mu\text{m}$  technology, the gate count is 456,442 gates. which achieved 22.6% reduction compared to conventional architectures.

### 요 약

본 논문에서는 HEVC와 VP9 겸용의 통합 역변환기를 설계하였다. 제안하는 아키텍처는  $4 \times 4$ 부터  $32 \times 32$  크기의 HEVC IDCT,  $4 \times 4$  크기의 HEVC IDST,  $4 \times 4$ 부터  $32 \times 32$  크기의 VP9 IDCT,  $4 \times 4$ 부터  $16 \times 16$  크기의 VP9 IADST,  $4 \times 4$  크기의 IWHT까지 모든 모드의 계수 변환을 통합 역변환기에서 처리가 가능하다. HEVC와 VP9의 IDCT는 계수의 스케일만 다를 뿐 동일한 연산을 사용하며, HEVC의  $4 \times 4$  IDST와 VP9  $4 \times 4$  IADST 또한 계수의 스케일만 다를 뿐 동일한 연산을 사용한다. 더욱이 HEVC IDCT, VP9 IDCT, VP9 IADST 또한 상위 수준 IDCT의 서브셋이다. 제안하는 아키텍처는 연산이 같은 경우 곱셈기를 재사용하고 계수가 다를 경우에도 덧셈기 및 버터플라이 구조 등을 최대한 공유함으로써 하드웨어의 크기를 크게 줄였다. 0.18  $\mu\text{m}$  공정에서 합성했을 때 게이트 수가 456,442 게이트로 기존 아키텍처 대비 22.6% 감소하였다.

*Key words* : HEVC, VP9, IDCT, IDST, IADST, IWHT, transform, unified architecture, area reduction

\* School of Electronic Engineering, Soongsil University

★ Corresponding author

e-mail : sslee@ssu.ac.kr, 02-820-0692

※ Acknowledgment

"This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2014R1A1A2059625)."

Manuscript received Dec 21, 2015; revised Dec 25, 2015; accepted Dec 28, 2015.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

### 1. 서론

최근 ITU-T와 ISO/IEC에서 제정한 동영상 압축 국제 표준인 HEVC (high efficiency video coding)<sup>[1]</sup>가 널리 사용되고 있으며, 구글의 VP9<sup>[2]</sup>도 유튜브 (Youtube) 등의 모바일 어플리케이션에서 많이 사용되고 있다. 따라서 이들을 모두 수행하는 통합 코덱의 개발이 필요해졌다.

HEVC 역변환은  $4 \times 4$ ,  $8 \times 8$ ,  $16 \times 16$ ,  $32 \times 32$  IDCT (inverse discrete cosine transform),  $4 \times 4$  IDST (inverse discrete sine transform)를 사용한다<sup>[5]</sup>. VP9 역변환은  $4 \times 4$ ,  $8 \times 8$ ,  $16 \times 16$ ,  $32 \times 32$  IDCT,

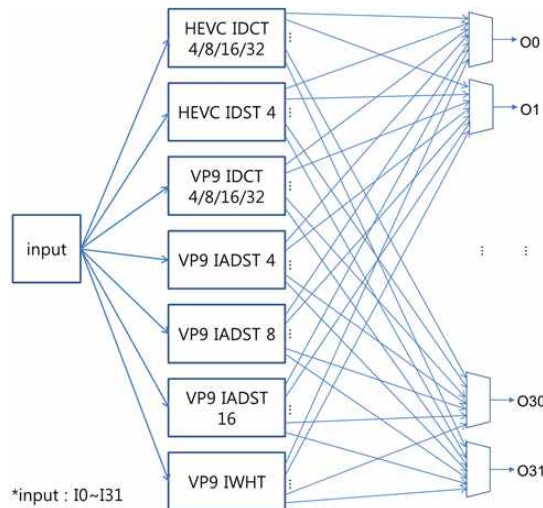


Fig. 1. Architecture to combine conventional HEVC and VP9 inverse transformers  
 그림 1. 기존 방식으로 설계한 HEVC 및 VP9 역변환기를 결합한 아키텍처

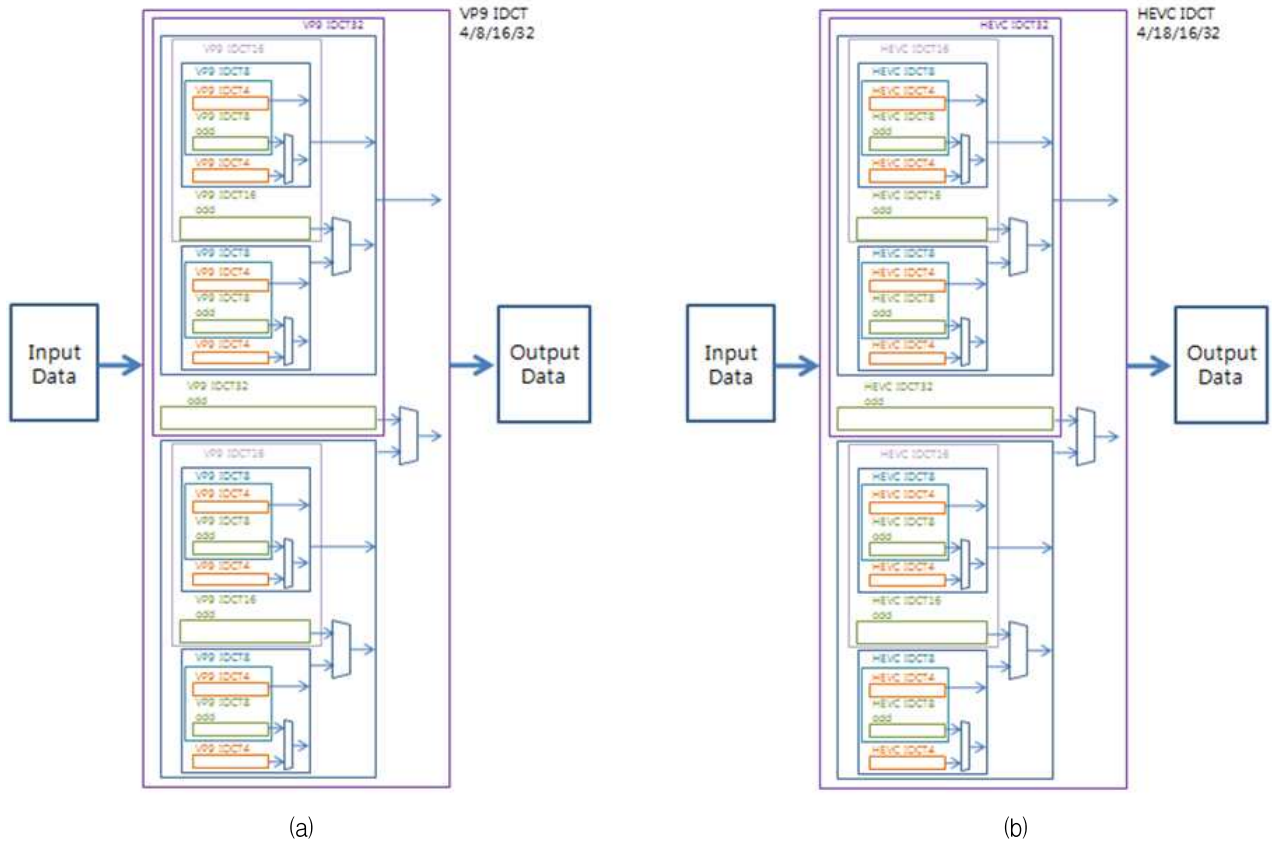


Fig. 2. Conventional IDCT architectures (a) VP9 IDCT (b) HEVC IDCT  
 그림 2. 기존 IDCT 아키텍처 (a) VP9 IDCT (b) HEVC IDCT

4×4, 8×8, 16×16 IADST (inverse asymmetric discrete sine transform), 4×4 IWHT (inverse Walsh-Hadamard transform)를 사용한다<sup>[2]</sup>.

HEVC와 VP9의 역변환에서는 같은 크기 블록에서 계수의 스케일만 다를 뿐 동일한 연산을 사용하거나, 하위 크기 블록 연산이 상위 크기 블록 연산의 서브셋인 경우가 많다. 본 논문에서

이들 연산을 통합하고 곱셈기, 덧셈기, 버퍼플라이 구조<sup>[3][4]</sup> 등을 최대한 재사용하는 HEVC와 VP9 겸용 통합 역변환기 아키텍처를 제안한다.

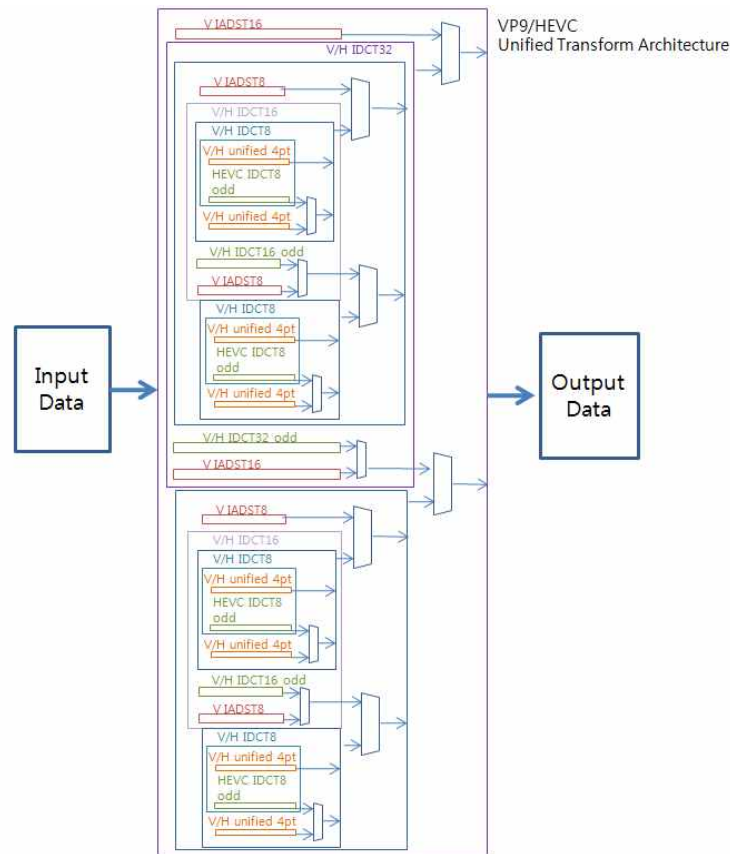


Fig. 3. Proposed architecture of HEVC and VP9 unified inverse transformer  
 그림 3. 제안하는 HEVC 및 VP9 겸용 통합 역변환기 아키텍처

## II. HEVC 및 VP9 겸용 통합 역변환기의 아키텍처 설계

기존 방식으로 HEVC 및 VP9 역변환을 통합하지 않고 따로따로 블록을 설계한 후 멀티플렉서로 결합한 구조는 그림 1과 같다. 그림 2는 그림 1에서 가장 큰 블록인 VP9 IDCT 4/8/16/32와 HEVC IDCT 4/8/16/32를 자세히 나타낸 것이다.

그림 2에서 상위 크기 블록 처리부 내에는 하위 크기 블록 처리부가 내장되어 있는데, 이는 상위 크기 블록 연산의 짝수 부분이 하위 크기 블록 연산과 동일하기 때문이다. 즉, IDCT8 블록은  $8 \times 8$  IDCT의 홀수 부분을 처리하는 IDCT8odd 블록과  $8 \times 8$  IDCT의 짝수 부분 ( $=4 \times 4$  IDCT)을 처리하는 IDCT4 블록으로 구성되어 있으며,  $8 \times 8$  IDCT로 동작할 때에는 IDCT8odd와 IDCT4가 모두 동작하고  $4 \times 4$  IDCT로 동작할 때에는 IDCT4만 동작한다.  $4 \times 4$  IDCT로 동작할 때에는  $8 \times 8$  IDCT로 동작할 때에 비해 처리해야 할 화소의 수는  $1/2$ 이지만 블록의 수가 4배이므로

처리율 (throughput) 유지를 위해 그림2와 같이 IDCT4 블록을 하나 더 갖추어야 한다<sup>[6]</sup>.

본 논문에서는 그림 2에 HEVC에서 상위 크기 블록과 하위 크기 블록 사이에 곱셈기 등을 공유하는 기법<sup>[6]-[8]</sup>, HEVC와 VP9을 통합하여 곱셈기 등을 공유하는 기법<sup>[9][10]</sup> 등을 적용하여 하드웨어를 크게 줄인 HEVC와 VP9 겸용 통합 역변환기 아키텍처를 그림 3과 같이 제안한다.

$4 \times 4$  크기의 역변환에서는 HEVC IDCT, HEVC IDST, VP9 IDCT, VP9 IADST, VP9 IWHT를 모두 수행할 수 있는 통합 블록을 설계하였다.  $8 \times 8$ ,  $16 \times 16$ ,  $32 \times 32$  크기의 역변환에서는 HEVC와 VP9의 IDCT만 통합하고 VP9의 IADST는 별도의 블록으로 설계하였다. HEVC와 VP9의 IDCT는 계수의 스케일만 다르고 연산 방식이 동일하기 때문에 계수의 곱셈을 제외한 부분은 통합되도록 하였고, 계수 곱셈 역시도 구현할 때 사용되는 덧셈기와 쉬프트를 공통으로 쓸 수 있는 부분은 같이 사용할 수 있도록 하였다. 또한 상하위 블록 계수의 서브셋 구조를 최대한

Table 1. Modes of the proposed HEVC and VP9 unified inverse transformer

표 1. 제안된 HEVC 및 VP9 통합 역변환기의 모드

Mode[4:0]	Operation
5'b00000	HEVC IDCT4
5'b10000	VP9 IDCT4
5'b00001	HEVC IDST4
5'b10001	VP9 IADST4
5'b00010	HEVC IDCT8
5'b10010	VP9 IDCT8
5'b10011	VP9 IADST8
5'b00100	HEVC IDCT16
5'b10100	VP9 IDCT16
5'b10101	VP9 IADST16
5'b01000	HEVC IDCT32
5'b11000	VP9 IDCT32
5'b11111	VP9 IWHT

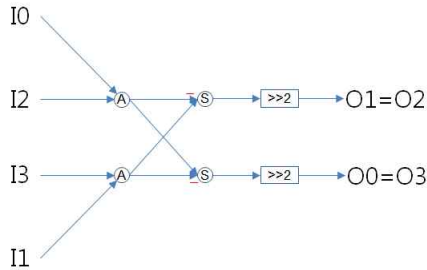


Fig. 4. VP9 4x4 IWHT block architecture  
그림 4. VP9 4x4 IWHT 블록 아키텍처

활용하여 하드웨어의 크기를 줄였다.

제안한 아키텍처는 표 1과 같이 총 9개 모드로 동작하며 HEVC와 VP9의 모든 역변환을 수행할 수 있다. Mode[0]는 IDCT와 IDST (혹은 IADST)을 선택하는 신호이며, Mode[1],

Mode[2], Mode[3]은 각각 8x8, 16x16, 32x32의 변환 크기를 선택하는 신호이다. Mode[4]는 HEVC 또는 VP9을 선택하는 신호이다. Mode[4:0]의 모든 비트가 1인 경우에는 VP9 IWHT로 동작되도록 하였다. 각 블록의 설계는 III장에서 자세히 설명하였다.

### III. HEVC 및 VP9 겸용 통합 역변환기의 각 블록 설계

#### 1. 4x4 통합 역변환기 블록

4x4 통합 역변환기 블록은 HEVC와 VP9의 모든 4x4 연산을 통합 수행한다. 이 블록은 기존에 제안된 HEVC/VP9 4x4 통합 역변환기 블록<sup>[9]</sup>에 VP9 4x4 IWHT를 추가한 것이다.

VP9의 4x4 IWHT의 계산 행렬은 식 (1)과 같다. 식 (1)에서 첫 번째 행과 네 번째 행에 해당하는 배열이 동일하며 두 번째 행과 세 번째 행에 해당하는 배열이 동일한 것을 알 수 있다. 그러므로 4x4 IWHT 연산은 그림 4와 같이 총 4개의 덧셈기로 표현하는 것이 가능하며 행렬 앞에 곱해지는 1/4 연산은 쉬프터로 구현하면 된다.

$$M_{IWHT(VP9)} = \frac{1}{4} \begin{bmatrix} +1 & -1 & +1 & -1 \\ -1 & +1 & -1 & +1 \\ -1 & +1 & -1 & +1 \\ +1 & -1 & +1 & -1 \end{bmatrix} \quad (1)$$

4x4 통합 역변환기 블록의 아키텍처는 그림

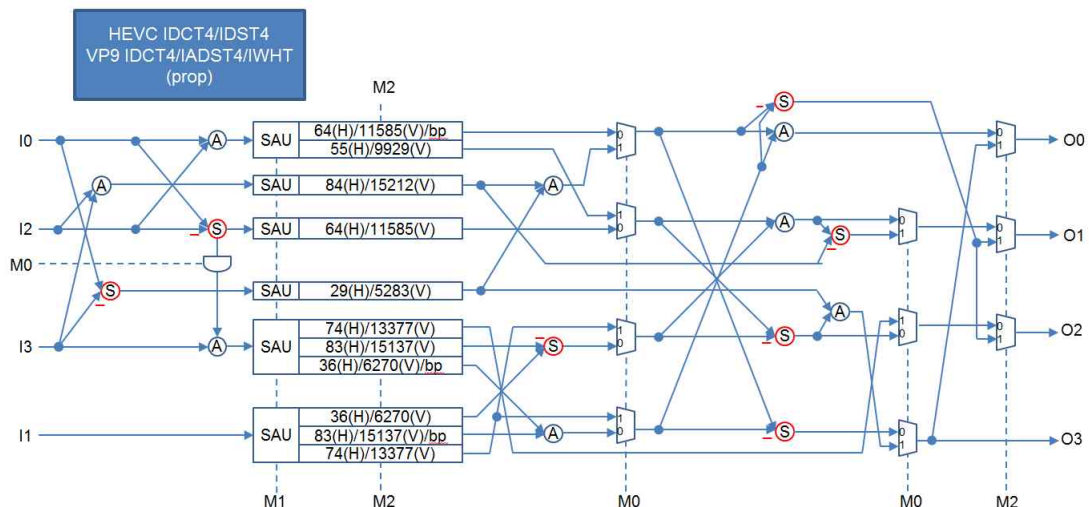


Fig. 5. 4x4 unified inverse transform block architecture  
그림 5. 4x4 통합 역변환기 블록 아키텍처

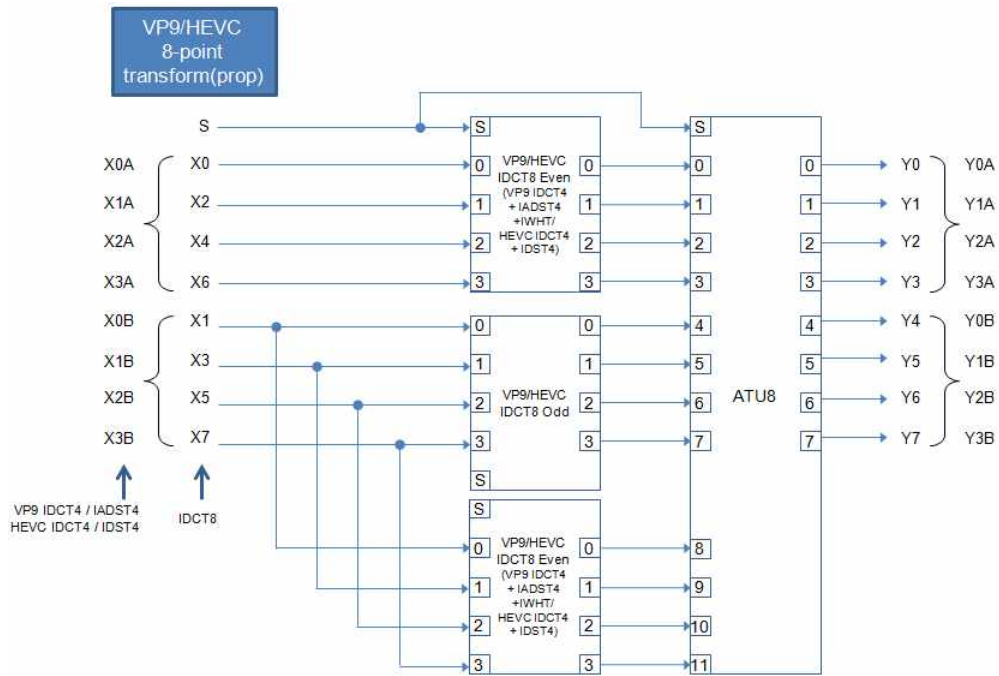


Fig. 6. 8x8 unified inverse transform block architecture  
 그림 6. 8x8 통합 역변환기 블록 아키텍처

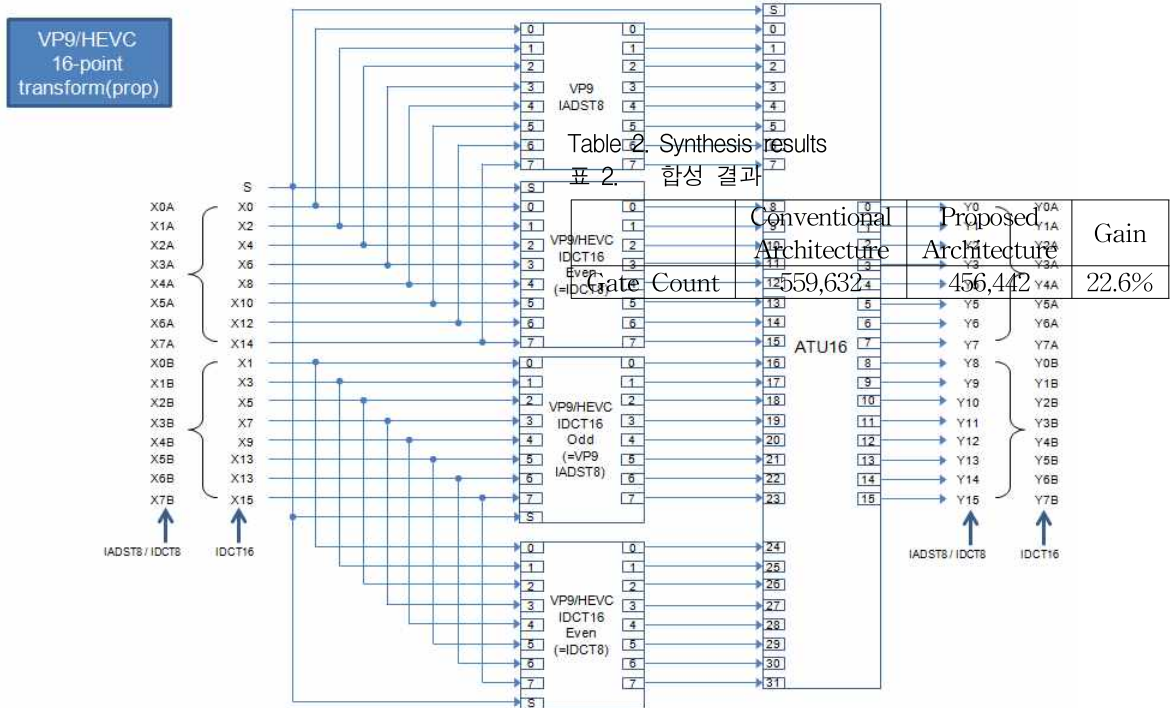


Table 2. Synthesis results  
 표 2. 합성 결과

	Conventional Architecture	Proposed Architecture	Gain
Gate Count	559,632	456,442	22.6%

Fig. 7. 16x16 unified inverse transform block architecture  
 그림 7. 16x16 통합 역변환기 블록 아키텍처

5와 같다. SAU는 쉬프트-덧셈기 (shift-add unit)로 곱셈기를 대신하며, 여기에 표기된 bp는 곱셈 없이 입력을 그대로 통과시키는 bypass를 의미한다. IWHT에서는 계수의 곱셈 연산이 따로

필요 없으므로 bypass 연결이 되도록 하였으며 덧셈 연산 하나를 제외한 모든 덧셈 연산 과정을 IDCT의 일부와 공유되도록 하였다.



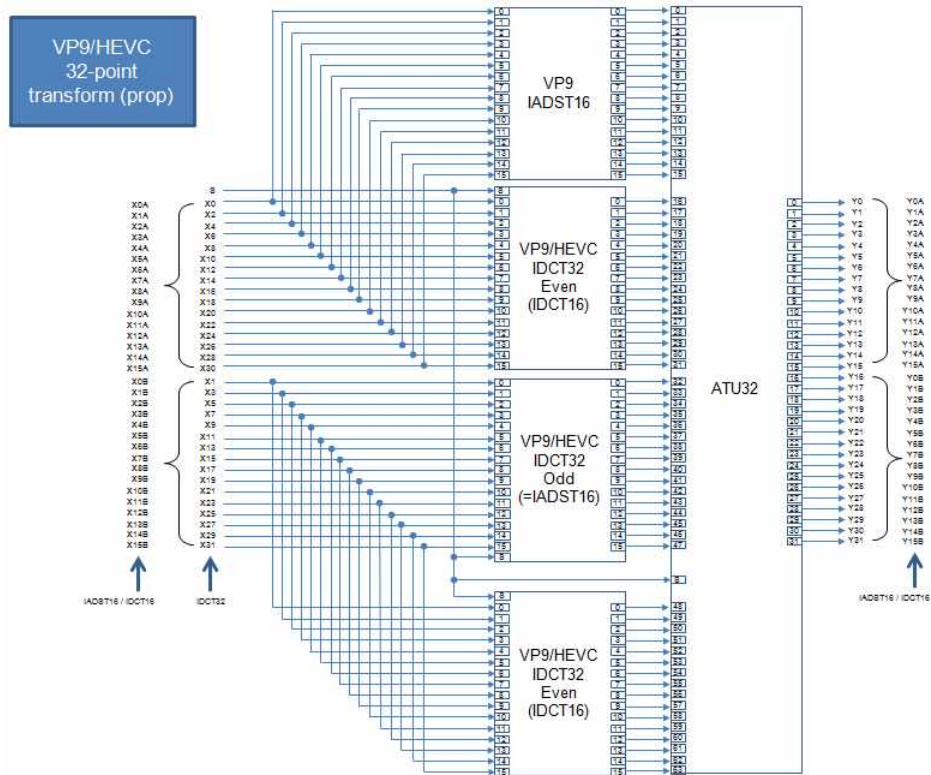


Fig. 8. 32x32 unified inverse transform block architecture  
 그림 8. 32x32 통합 역변환기 블록 아키텍처

2. 8x8, 16x16, 32x32 통합 역변환기 블록

8x8, 16x16, 32x32 통합 역변환기 블록은 각각 그림 6, 7, 8과 같다. HEVC와 VP9의 IDCT는 계수의 스케일만 다르고 연산 자체는 동일하다는 점과 계수 블록의 상하위 서브셋 구조를 최대한 활용하였다. 이때 HEVC 및 VP9의 IDCT만을 통합하였으며 VP9의 IADST는 별도로 설계하였다.

IV. HEVC 및 VP9 겸용 통합 역변환기의 구현 및 검증

제안한 아키텍처는 IDEC의 CAD Tool을 지원받아 Verilog HDL로 설계 및 구현하였으며, 정상적으로 역변환이 수행되는 것을 확인하였다.

제안한 아키텍처의 효율성을 판단하기 위해, 그림 1의 기존 방식으로 설계된 역변환기와 그림 3의 제안하는 방식으로 설계된 역변환기를 모두 0.18 um 공정에서 합성하여 게이트 수를 비교하였다. 합성 결과는 표 2와 같으며, 본 논문에서 제안한 아키텍처의 게이트 수는 456,442 게이트로 기존 대비 22.6%가 감소하였다.

V. 결론

본 논문에서는 HEVC와 VP9의 역변환을 다양한 블록 크기에서 모두 수행할 수 있는 통합 역변환기 아키텍처를 제안하고, 이를 설계, 구현 및 검증하였다. 제안하는 아키텍처는 연산이 같은 경우 곱셈기를 재사용하고 계수가 다를 경우에도 덧셈기 및 버퍼플라이 구조 등을 최대한 공유함으로써 하드웨어의 크기를 크게 줄였다.

Table 2. Synthesis results

표 2. 합성 결과

	Conventional Architecture	Proposed Architecture	Gain
Gate Count	559,632	456,442	22.6%

References

[1] G. Sullivan, J. Ohm, and W. Han, "Overview of the High Efficiency Video Coding (HEVC) Standard", IEEE Transactions on Circuits and Systems for Video Technology, vol. 22, no. 12, pp. 1649-1668, Dec. 2012.

- [2] D. Mukherjee, J. Bankoski, A. Grange, J. Han, J. Koleszar, P. Wilkins, Y. Xu and R. Bultje, "The Latest Open-Source Video Codec VP9 - An Overview and Preliminary Results", Proceedings of Picture Coding Symposium, pp. 390-393, Dec. 2013.
- [3] W. Chen, C. Smith, and S. Fralick, "A Fast Computational Algorithm for the Discrete Cosine Transform", IEEE Transactions on Communications, vol. 25, no. 9, pp. 1004-1009, Sep. 1977.
- [4] M. Budagavi and V. Sze, "Unified Forward+ Inverse Transform Architecture for HEVC", Proceedings of IEEE International Conference on Image Processing, pp. 209-212, 2012.
- [5] D. Shim and H. Cho, "Understanding of HEVC Standard Technology", Hongrung Publishing Co., 2014.
- [6] P. Meher, S Park, B. Mohanty, K. Lim, and C. Yeo, "Efficient Integer DCT Architectures for HEVC", IEEE Transactions on Circuits and Systems for Video Technology, vol. 24, no. 1, pp. 168-178, Jan. 2014.
- [7] J. Lee and S. Lee, "8x8 HEVC Inverse Core Transform Architecture Using Multiplier Reuse", Journal of IKEEE. vol. 17, no. 4, pp. 570-578, Dec. 2013.
- [8] S. Jung and S. Lee, "Design of Unified HEVC 4x4 IDCT/IDST Block", Journal of IKEEE. vol. 19, no. 2, pp. 271-275. Jun. 2015.
- [9] S. Jung and S. Lee, "Design of Unified HEVC/VP9 4x4 Transform Block", Journal of IKEEE. vol. 19, no. 3, pp. 392-399. Sep. 2015.
- [10] S. Jung, "Design of Unified HEVC/VP9 Transform Block", to appear in Master Dissertation, Soongsil University, 2016.

---

**BIOGRAPHY**


---

**Seulkee Jung** (Student Member)

2011: BS degree in Electronic Engineering, Soongsil University.

2014~Now: MS candidate in Electronic Engineering, Soongsil University

<Main Interest> HEVC, Multimedia SoC Design

**Seongsoo Lee** (Life Member)

1991: BS degree in Electronic Engineering, Seoul National University.

1993: MS degree in Electronic Engineering, Seoul National University.

1998: PhD degree in Electrical Engineering, Seoul National University.

1998~2000: Research Associate, University of Tokyo.

2000~2002: Research Professor, Ewha Womans University.

2002~Now: Professor in School of Electronic Engineering, Soongsil University.

<Main Interest> HEVC, Low-Power SoC Design, Multimedia SoC Design, Battery Management