http://dx.doi.org/10.6113/TKPE.2015.20.6.558

Cascode GaN HEMT를 적용한 위상 천이 dc-dc 컨버터의 구현 및 문제점 분석

주동명[1], 김동식[2], 이병국[1], 김종수†

Implementation and Problem Analysis of Phase Shifted dc-dc Full Bridge Converter with GaN HEMT

Dong-Myoung Joo[1], Dong-Sik Kim[2], Byoung-Kuk Lee[1], and Jong-Soo Kim†

Abstract

Gallium nitride high-electron mobility transistor (GaN HEMT) is the strongest candidate for replacing Si MOSFET. Comparing the figure of merit (FOM) of GaN with the state-of-the-art super junction Si MOSFET, the FOM is much better because of the wide band gap characteristics and the heterojunction structure. Although GaN HEMT has many benefits for the power conversion system, the performance of the power conversion system with the GaN HEMT is sensitive because of its low threshold voltage (V_{th}) and even lower parasitic capacitance. This study examines the characteristics of a phase-shifted full-bridge dc - dc converter with cascode GaN HEMT. The problem of unoptimized dead time is analyzed on the basis of the output capacitance of GaN HEMT. In addition, the printed circuit board (PCB) layout consideration is analyzed to reduce the negative effects of parasitic inductance. A comparison of the experimental results is provided to validate the dead time and PCB layout analysis for a phase-shifted full-bridge dc - dc converter with cascode GaN HEMT.

Key words: GaN HEMT, Cascode GaN, Phase shifted dc-dc full bridge converter

1. 서 론

1970년대 후반 전력 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 이 개발된 이래 IGBT (Insulated Gate Bipolar Transistor) 와 함께 수십 년간 전력반도체 시장을 양분해왔다. 그러나 전력 MOSFET은 기반이 되는 실리콘(Si)의 물성 및 특성의 기술적 한계에 다다른 것으로 예측되고 있다. 이는 전력변환장치의 고밀도 및 고효율화에 걸림돌이 되었으며 이러한 소자의 한계를 우회하기 위해 L-C 공진을 이용한 토폴로지의 연구 등의 토폴로지 및 제어기술의 개발이 수행되었다. 그러나 전력변환 시스템의 근본적인 성능 개선은 전력반도체 소자의 기술 수준에 종속되어왔다. 2000년대 초반 MOSFET의 성능 개선을 위해 기존의 600V급 Si MOSFET의 FOM (Figure of merit; $R_{ds,on}*Q_G$) 을 크게 개선한 SJ (Super Junction) 구조의 MOSFET이 출시되었다. 이는 도통 저항을 크게 줄여 시스템의 손실 저감에 기여해 왔다. 그러나 SJ 구조의 역병렬 다이오드의 큰 역회복 전하량 (Q_{rr}: Reverse recovery charge)으로 인해 동기 정류 시스템 및 인버터 등 Q_{rr}이 직접적인 손실로 나타나는 토폴로지에서는 사용이 어렵거나, 공진형 컨버터의 설계의 제한요소가 되는 단점이 있다[1].

이러한 Si의 물성적 한계를 극복하기 위해 SiC (Silicon carbide) 및 GaN (Gallium nitride) 등 WBG (Wide Band Gap) 특성을 갖는 전력반도체 소자에 대한 연구 및 전력변환회로의 적용이 진행되고 있다. 특히 GaN 반도체는 높은 Band gap 및 이종접합 구조 (Heterojunction structure)에 의한 매우 높은 전자이동도 특성을 가지고 있으며, 따라서 Si 반도체에 비해 내압 및 고속 동작 특성이 유리한 장점이 있으며 이를 적용한 GaN HEMT (High electron mobility transistor)는 현재 600V 이하의 주류인 MOSFET을 대체할 것으로

Paper number: TKPE-2015-20-6-9
Print ISSN: 1229-2214 Online ISSN: 2288-6281
† Corresponding author: jskim2@daejin.ac.kr, Department of Electrical Engineering, Daejin University
Tel: +82-31-539-1916 Fax: +82-31-539-1916
[1] Department of Electrical and Computer Engineering, Sungkyunkwan University
[2] Department of Electrical Engineering, Daejin University
Manuscript received Sep. 7, 2015; revised Sep. 30, 2015; accepted Oct. 31, 2015

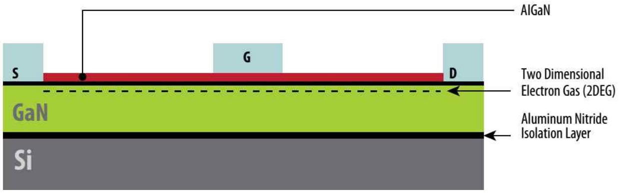


Fig. 1. Sturcture of d-mode GaN HEMT[8].

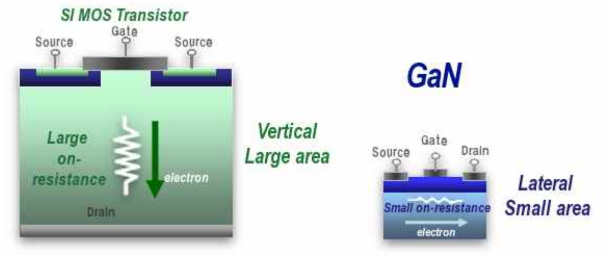


Fig. 2. Sturcture Comparison of Si vs. GaN HEMT[9].

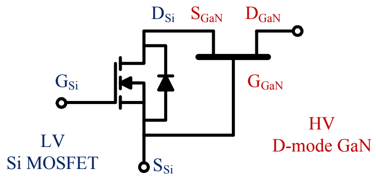


Fig. 3. Cascode structure GaN HEMT.

예측되고 있다[2]. 그러나 GaN HEMT의 낮은 문턱 전압 (V_{th}) 및 작은 기생 전하량은 PCB 설계 및 공진형 또는 부분 공진형 토폴로지 적용 측면에 있어서 기존의 Si MOSFET을 적용한 전력변환 시스템과는 다른 설계를 요구한다. 따라서 GaN HEMT를 적용한 PCB 설계 시 공통 인덕턴스 최소화 및 수직 루프 설계 방법 등이 제안되었으나 40V급 저전압 소자에 관한 연구가 대부분이다[3][4]. 600V급 Cascode GaN HEMT에 대해서는 손실 모델 등에 관한 연구는 수행되고 있으나 PCB 배치에 관한 연구는 부족한 실정이다[5].

또한 위상 천이 풀브리지 컨버터 (Phase shifted full-bridge dc-dc converter) 등 부분 공진형 컨버터 설계 시 작은 출력 캐패시턴스 (C_{oss})의 활용을 위해서는 데드타임의 최적화가 필수적이다. 그러나 기존 Si MOSFET 기반 위상 천이 dc-dc 컨버터의 데드타임 설계는 공진 인덕턴스와 출력 캐패시턴스의 공진 주기의 1/4로 제안된 것이 대부분이며 또한 가변 데드타임 기법이 제안되었으나 이는 최소 데드 타임 조건만을 제시하며 부하 별 최적 데드타임의 범위는 제시하지 않는다[6][7].

따라서 본 논문에서는 전력변환 시스템 설계를 위해 GaN HEMT의 특성을 대조군 동급 정격의 SiMOSFET과 비교하여 비교 분석하였다. 또한 분석 결과를 바탕으로 650V / 15A급 Cascode GaN을 적용한 위상 천이 풀브리지 컨버터를 구현하고 예상되는 문제점의 해결 방안을 제시하였다. 일련의 분석 과정을 통하여 Cascode GaN HEMT를 적용한 전력변환 시스템의 설계 가이드라인을 제시한다.

TABLE I
COMPARISON OF Si MOSFET vs. GaN HEMT

Parameter	RFJS1506Q	IPP60R199CP	Remark
Rating	650V/15A	600V/16.4A	
$R_{ds,on}$	85mΩ	199mΩ	I_F = 10A (Si) I_F = 15A (GaN)
Q_G	15.7nC	32nC	I_F = 10A
Q_{GD}	3.2nC	11nC	
Q_{rr}	21nC	5500nC	
t_{rr}	18ns	340ns	
V_{SD}	1.6V	0.9V	
$C_{oss(tr)}$	50pF	180pF	V_{DS} = 480V
V_{th}	2V	3V	Typ.
$R_{ds,on}$*Q_G	1335 mΩ*nC	6368 mΩ*nC	4.8x better
$R_{ds,on}$*Q_{rr}	1.785 mΩ*uC	1095 mΩ*uC	613x better

2. GaN Power System

2.1 Cascode GaN HEMT

GaN HEMT의 기본 구조는 그림 1과 같으며 AlGaN과 GaN 사이의 2DEG (Two dimensional electron gas)에 의해 매우 낮은 도통 손실을 갖는다. 또한 Si MOSFET과는 달리 전류가 역으로 흐를 때 소수 캐리어가 관여하지 않기 때문에 역회복 전하량이 0인 특성을 가진다[8]. 그림 2는 Si MOSFET과 GaN HEMT의 구조적 비교를 나타낸다. Si MOSFET은 충분한 내압을 얻기 위해 수직적 구조를 가지는 반면 GaN HEMT는 수평적 구조로도 충분한 내압을 얻을 수 있으며 이는 낮은 온상태 도통 저항 ($R_{ds,on}$)으로 나타난다.그러나 기본적인 GaN HEMT는 게이트에 전압이 인가되지 않았을 시 Normally-on 특성을 가지며 디바이스의

Turn-off를 위해서는 Gate에 음전압을 인가해주어야 한다. 이러한 GaN HEMT의 공핍형 (Depletion-mode) 특성은 기존의 증가형 (Enhanced-mode) MOSFET과는 다른 특성으로써 대부분의 전력반도체 시스템에 바로 적용하기 적합하지 않다. 따라서 Normally-off 특성을 구현하기 위해 Cascode 방식 및 p-GaN 게이트 방식 등이 제안되었다. p-GaN 게이트 방식은 공핍형 GaN HEMT의 Gate에 p-AlGaN을 도핑하여 단일 칩으로 Normally-off를 구현하였으나 Gate 구동 전압이 5 – 7 V로 Si MOSET과 다르기 때문에 기존 게이트 드라이버회로의 수정이 불가피한 단점이 있다.

TABLE II
PSFB DC-DC CONVERTER DESIGN SPECIFICATIONS

Parameter	Value	Parameter	Value
V_{in}	300 V	V_o	14 V
P_o	600 W	I_o	43.3 A
L_r	1.8 uH	L_o	4.7 uH
f_{sw}	100kHz	V_{GS}	0/12V

Cascode 방식은 공핍형 GaN HEMT와 저내압 Si MOSFET을 직렬로 연결하여 Normally-off를 구현한 구조이다. GaN HEMT의 On/off는 Si MOSFET의 On/off를 통해 제어되기 때문에 기존의 게이트 드라이버 회로를 그대로 사용할 수 있는 장점이 있다[5]. 따라서 본 논문에서는 Cascode GaN HEMT을 적용한 전력 변환 시스템을 구현하였다.

2.2 Cascode GaN HEMT vs. Si MOSFET

Cascode GaN HEMT는 일반적인 3단자 MOSFET와 같이 게이트, 드레인 및 소스의 3개의 핀이 외부로 인출되어 있으며 기존 전력변환 시스템의 Si MOSFET을 1:1로 대체 가능하다. 그림 3은 Cascode GaN HEMT의 내부 연결 구조를 나타낸다. 직렬 연결된 Si MOSFET은 문턱 전압 (V_{th}) 및 소자의 입력 캐패시턴스 (C_{iss})를 결정하며 공핍형 GaN HEMT는 온상태 도통 저항 및 스위칭 손실을 결정한다.

표 1은 1kw급 내외의 전력변환 시스템에 적합한 15A급 GaN HEMT 및 대조군 Si MOSFET의 성능 비교를 나타낸다. 유사한 전류 정격에서 GaN HEMT는 Si MOSFET 대비 43%의 온상태 도통 저항을 나타내며 스위칭 손실을 결정하는 게이트-드레인 전하량 Q_{GD} 또한 30% 수준을 나타낸다. 이는 더 짧은 밀러 평면 (Miller plateau) 시간을 의미하며 빠른 상승 시간 (t_r) 및 빠른 하강 시간 (t_f)을 나타낸다. 반면 Cascode GaN HEMT는 직렬 연결된 Si MOSFET의 역병렬 다이오드에 의한 역회복 전하량 및 시간을 갖는다. 스위치의 성능 지표를 나타내는 FOM은 대조군 Si MOSFET 대비 4.8배를 나타내며 이는 GaN HEMT의 낮은 손실 특성을 나타내기 때문에 높은 전력밀도의 전력 변환 시스템 구성이 가능하다는 것을 의미한다.

그러나 위상 천이 dc-dc 컨버터의 영전압 스위칭 (Zero voltage switching; ZVS) 영역 설계 시에 있어서 GaN HEMT의 낮은 기생 전하량 특성은 매우 작은 데드타임을 요구한다. 따라서 GaN HEMT의 출력 커패시턴스를 고려한 따른 최적 데드타임 분석이 필요하다. 또한 GaN HEMT은 손실 및 스위칭 속도의 양쪽 측면에서 Si MOSFET에 비해 뛰어난 성능적 이점을 갖고 있으나 낮은 문턱 전압 특성은 PCB 배치 및 게이트 드라이버 설계를 어렵게 하는 요인이 된다. 따라서 기생 성분에 의한 영향을 최소화하기 위한 설계가 필요하다.

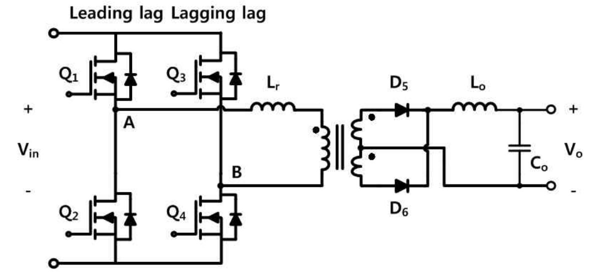


Fig. 4. Phase shifted full bridge converter.

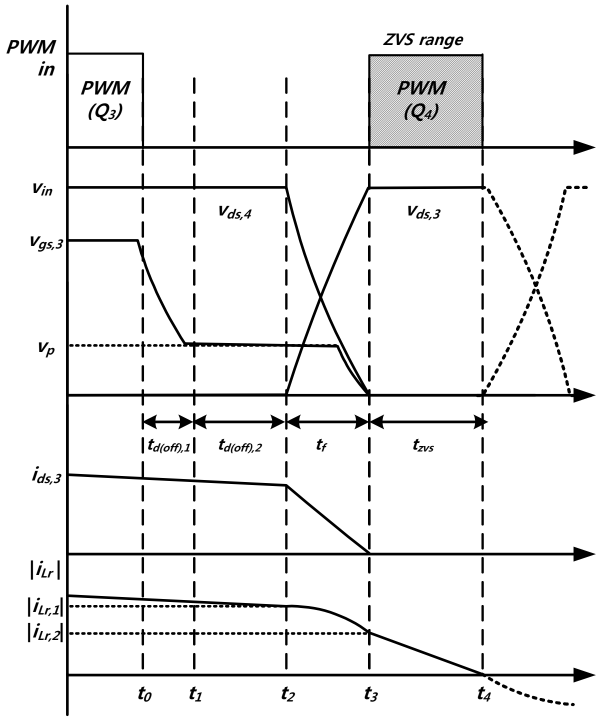


Fig. 5. Key waveform of lagging lag transition.

3. GaN Based System Design Consideration

3.1 시스템 설계

Cascode GaN HEMT의 성능 평가 및 문제점 분석을 위해 그림 4와 같은 위상 천이 dc-dc 컨버터를 설계하였다. 출력 전압은 차량용 LDC (Low voltage DC-DC Converter)의 적용을 고려하여 14 V로 설계하였으며 그 외 설계사양은 표 2와 같다. 공진 인덕턴스 설계는 Si MOSFET의 데이터시트의 $C_{oss(tr)}$ 값을 기준으로 정격부 하의 30% 이상에서 영전압 스위칭이 가능하도록 설계하였다. 본 논문에서는 전력 반도체 소자로 앞 절에서 분석한 RFJS1506Q cascode GaN HEMT 및 Infineon의 IPL60R199CP SJ MOSFET를 적용하였다. 스위치 동작 시 PCB 패턴의 기생성분에 의한 영향을 동등하게 하기 위해 소자의 패키지는 동일하게 선정하였으며 그 외 파라미터 또한 GaN HEMT와 Si MOSFET의 스위치 특성에 의한 비교로 한정하기 위해 동일하게 설계하였다.

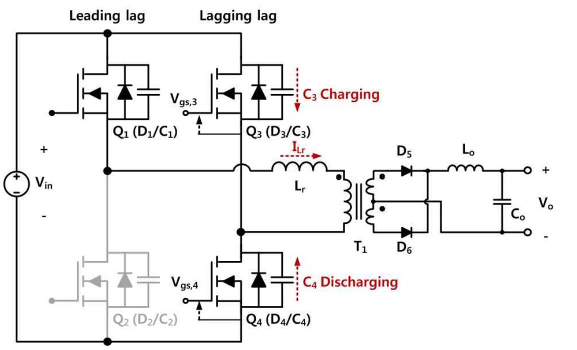


Fig. 6. Equivalent circuit of lagging lag transition.

3.2 ZVS Range Analysis

그림 4와 같은 위상 천이 dc-dc 컨버터의 영전압 turn-on을 위한 데드타임 설계는 주로 전력반도체 스위치의 C_{oss} 및 공진 인덕턴스 L_r의 공진 주기만을 고려한 경우가 대부분이다[6]. 그러나 영전압 스위칭 transition 시 턴-오프 지연 시간 ($T_{d(off)}$) 및 하강 시간 (T_f)가 영향을 미치게 된다. 이러한 스위칭 구간은 스위치의 입력 캐패시턴스 C_{iss} 및 출력 캐패시턴스 C_{oss}에 의해 결정된다. GaN HEMT는 작은 C_{oss} 및 C_{iss}에 의해 Si MOSFET 대비 빠른 스위칭 속도를 가지며 따라서 영전압 스위칭 영역이 다르게 형성될 것으로 예측 할 수 있다. 따라서 위상 천이 dc-dc 컨버터에 GaN HEMT를 적용하는 경우 이를 고려한 데드타임 설계가 필요하다. 이를 위해 GaN HEMT의 빠른 스위칭 특성을 고려하여 위상 천이 dc-dc 컨버터의 ZVS transition 과정을 구간별로 상세히 분석하고 최적 데드타임 구간을 수학적으로 분석을 통해 제시하였다.

그림 5는 지상 레그에서 Q_3이 턴-오프 된 후 Q_4가 턴-온 되기까지의 주요 파형을 나타내며 t_0 - t_4의 구간으로 나누어 분석할 수 있다. 이 때 Cascode GaN의 소자 구조 특성 상 외부에서 측정한 게이트 전압 및 드레인 전압과 내부의 공핍형 GaN 소자의 게이트 전압은 약간의 지연이 발생한다.

1) 구간 1 [t_0,t_1]

t_0에서 Q_3의 게이트 드라이버가 off 되면 MOSFET의 게이트-소스 양단의 V_{gs}는 밀러 평면 전압 (Miller plateau) V_p까지 방전된다. $t_{d(off)}$ 는 식 1과 같이 Gate 저항 R_g 및 MOSFET의 C_{iss}에 의해 결정된다[10].

$$t_{d(off),1} = \left| R_g C_{iss} \ln\left(\frac{V_{GG}}{V_p}\right) \right| \tag{1}$$

V_{GG}는 게이트 드라이버의 DC 출력 전압을 의미한다.

2) 구간 2 [t_1,t_2]

V_{gs} 전압이 V_p에 도달하면 Q_3의 게이트-드레인 캐패시턴스 C_{gd}가 Gate 전류 i_g에 의해 충전되기 시작한다. V_{DS}가 낮을 때 C_{rss}가 상대적으로 크기 때문에 드레인-소스 전압 V_{DS}가 서서히 증가하며 이 때 드레인 전류 I_D는 지속적으로 흐르는 상태이다[10][11]. 이때의 시간은 식 (2)와 같이 소자의 데이터시트에서 전체 Q_{GD}값 대비 변곡점 이전의 전하량 $Q_{GD,LV}$값을 t_2의 시간계산을 위한 값으로 적용하여 계산할 수 있다.

$$t_{d(off),2} = \frac{Q_{GD,LV}/Q_{GD}}{i_g} \tag{2}$$

i_g는 밀러 평면에서의 게이트 전류를 의미하며 식 (3)과 같다.

$$i_g = \frac{V_p}{R_{G,off} + R_{G,int} + R_{\sin k}} \tag{3}$$

$R_{G,off}$, $R_{G,int}$ 및 R_{sink}는 각각 외부 Gate 저항, FET의 내부 게이트 저항 및 Sink시의 게이트 드라이버의 저항을 나타낸다.

2) 구간 3 [t_2,t_3]

구간 3에서 V_{gs} 전압은 여전히 V_p로 유지되며 V_{DS}가 급격하게 상승한다[10][11]. 이 때 일반적인 풀-브리지 dc-dc 컨버터와는 달리 위상 천이 dc-dc 컨버터에서는 그림 6과 같이 공진 인덕턴스 전류에 의해 Q_3의 C_{oss}가 충전되며, Q_4의 C_{oss}는 방전된다. 각 스위치의 C_{oss}의 충/방전은 그림 5에서 V_{DS} 전압의 변화를 의미하며 그 시간은 식 (4)와 같다.

$$t_f = \sin^{-1}\left(\frac{V_{in} w \cdot 2C_{oss}}{i_{Lr,1}}\right)\frac{1}{w} \tag{4}$$

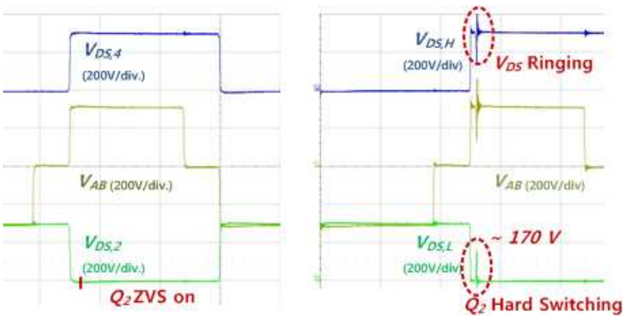
V_{in}은 입력 전압, $I_{Lr,1}$은 지상 레그 transition의 시작 시 공진 인덕터에 흐르는 전류를 의미하며 공진주파수 ω는 식 (5)과 같다.

$$\omega = \frac{1}{\sqrt{2L_r C_{oss}}} \tag{5}$$

C_{oss}는 항상 쌍으로 충/방전 하기 때문에 공진주파수 계산 시 스위치 데이터시트의 $C_{o(er)}$값의 2배를 적용한다.

2) 구간 4 [t_3,t_4]

기생성분에 의한 손실성분을 제외하면 구간 4의 시점에서의 공진 인덕터 전류 $I_{Lr,2}$는 식 (6)과 같이 공진 인덕터에 저장된 에너지와 스위치의 출력 캐패시터에 충/방전을 위해 소모된 에너지를 통해 계산된다.



(a) Si MOSFET (b) GaN HEMT

Fig. 7. Hard Switching of GaN HEMT due to incorrect dead time.

Fig. 8. GaN HEMT ZVS turn-on by proper dead time.

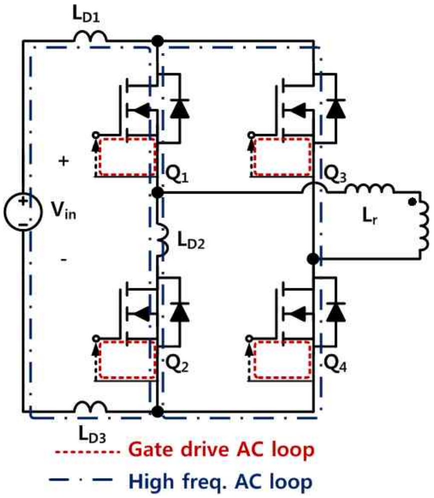
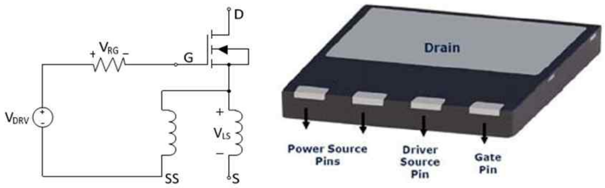


Fig. 9. AC loop of PSFB dc-dc converter.



(a) Equivalent gate circuit (b) Package layout

Fig. 10. PQFN 8x8 package and equivalent circuit.

$$i_{Lr,2} = \sqrt{i_{Lr,1}^2 - \frac{2C_{oss}V_{in}^2}{L_r}} \tag{6}$$

구간 4에서 공진 인덕터 전류는 아랫단 스위치의 역병렬 다이오드를 통해 전원 측으로 되돌아가며, 그 시간은 식 (7)과 같다.

$$t_{ZVS} = \frac{L_r i_{Lr,2}}{V_{in}} \tag{7}$$

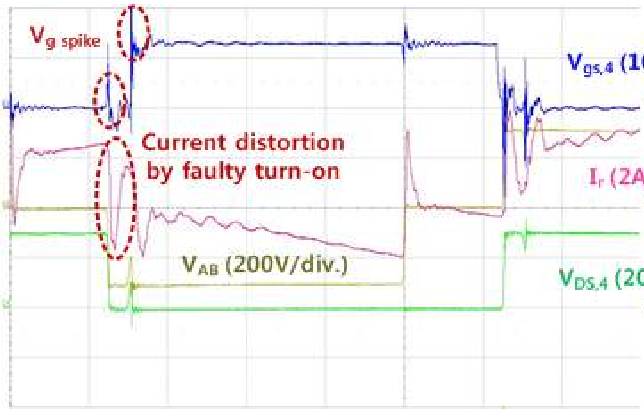
t_{ZVS}구간동안 아랫단 스위치의 V_{DS}는 0을 유지하며 이는 지상 레그의 ZVS 스위칭 가능 레인지를 의미한다.

따라서 위상 천이 dc-dc 컨버터에서 지상 레그의 ZVS를 위한 데드타임 t_{dt}는 식 (8)의 범위를 만족해야 하며 기타 설계요소가 동일한 경우 스위치의 C_{oss}가 주된 결정 인자가 된다.

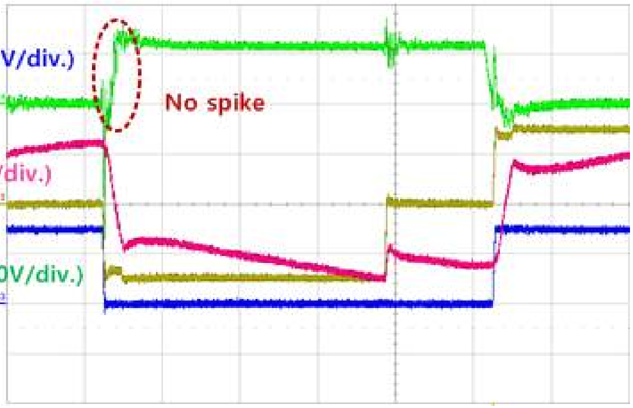
$$t_{d(off)} + t_f \le t_{dt} \le t_{d(off)} + t_f + t_{zvs} \tag{8}$$

$t_{d(off)}$는 구간 1 및 구간 2 시간의 합을 의미하며 포토커플러이나 게이트 드라이버의 전달 지연은 회로 설계가 동일한 경우 무시할 수 있다. DSP나 제어 IC의 데드타임을 이 시간 이하로 설정하면 스위치 단락의 위험성이 있으며 이 시간을 초과하면 아랫단 스위치의 V_{DS} 전압이 증가하기 시작하여 하드 스위칭을 하게 된다.

그림 7은 기존 설계 방법에 따라 데드타임이 적용된 파형을 나타낸다. Si MOSFET이 적용된 그림 7 (a)와 달리 GaN HEMT가 적용된 그림 7 (b)는 잘못된 데드타임에 의해 지상 래그 transition 시 약 170V에서 턴-온 되는 하드 스위칭을 하는 것을 확인할 수 있다. GaN HEMT의 C_{oss}가 Si MOSFET의 1/3 이하임에도 불구하고 부적절한 데드타임에 의해 인덕터에 저장된 에너지가 모두 소모된 후 그림 5의 t_4구간을 넘어서 스위치가 턴-온되는 상황을 나타낸다. 또한 이는 반대편 스위치의 V_{DS} 링잉 발생에 의한 시스템 신뢰성 저하 및 불필요한 스위칭 손실의 증가를 의미한다. 그림 8은 수식적 분석에 의해 계산된 데드타임 100ns를 적용한 GaN HEMT의 lagging leg 스위칭 파형을 나타내며, ZVS가 정상적으로 되는 것을 확인할 수 있다. 따라서 위상 천이 컨버터의 설계 시 GaN HEMT의 우수한 스위칭 특성을 활용하기 위해서는 수학적 분석을 통한 데드타임 최적화가 필요하다.

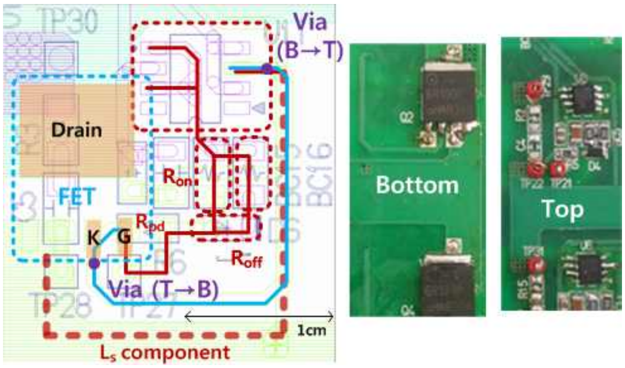


(a) PCB Original ver.

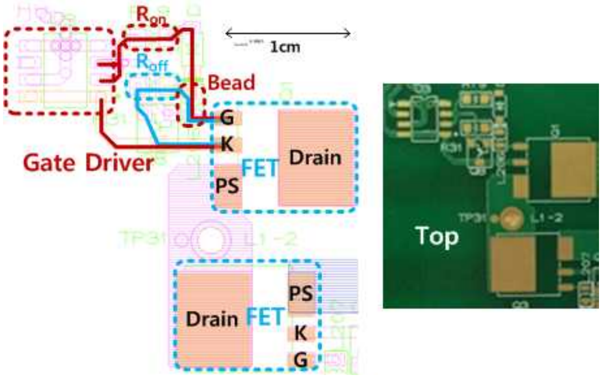


(b) PCB Revised ver.

Fig. 12. Comparison of lagging lag transition by PCB layout.



(a) Original PCB layout



(b) Revised PCB layout

Fig. 11. PCB layout comparison of gate driver.

TABLE Ⅲ
CHARACTERISTICS OF EACH PCB VERSION

	PCB Original	PCB Revised	Remarks
Gate-on length	54.5 mm	30.2 mm	45 % reduction
Gate-off length	59.0 mm	18.4 mm	69 % reduction
Connection with KS and PS	O	X	Improved
Distance between FET	21.3 mm	4.4 mm	79 % reduction

3.2 PCB layout Design

GaN HEMT는 낮은 기생 캐패시턴스로 인해 매우 빠른 스위칭 속도를 가지며 따라서 Si MOSFET에 비해 낮은 E_{on} 및 E_{off}를 갖는다. 그러나 빠른 스위칭 속도는 스위치의 턴-온 또는 턴-오프 시 스위치의 급격한 전류 및 전압의 변화를 나타낸다. 또한 GaN HEMT의 문턱 전압은 Si MOSFET의 2/3 수준이기 때문에 스위칭 노이즈에 의한 스파이크 성 게이트 전압에 영향을 받을 수 있다. 전력변환회로는 크게 항상 연속적인 전류가 흐르는 DC loop와 스위칭 주파수에 동기화 되어 전류의 방향이 급격히 변하는 경로인 AC loop로 나눌 수 있다 [3]. 위상 천이 dc-dc 컨버터의 1차 측 Bridge는 모든 부분이 전류가 불연속적으로 흐르는 고주파 AC loop 부분이며 Gate 드라이브 회로 또한 순간적인 펄스 전류가 크게 흐르는 AC loop로 나타낼 수 있다. 그림 9는 게이트 드라이브 및 고주파 AC loop를 나타내며, L_{Dx}는 PCB에 존재하는 기생 인덕턴스 성분을 나타낸다. 스위치의 스위칭 시 AC loop의 급격한 전류 변화 및 PCB의 기생 인덕턴스 L_{loop}에 의해 식 (9)와 같은 순시적인 전압 스파이크가 발생할 수 있다.

$$V = L_{loop}\frac{di}{dt} \tag{9}$$

작은 값의 L_{loop}일지라도 GaN HEMT의 빠른 스위칭 속도에 의한 di/dt에 의해 큰 전압 스파이크를 발생시킬 수 있다. 따라서 스위치 사이의 기생 인덕턴스 L_D 및 게이트 드라이버 회로의 기생 인덕턴스 L_S를 최소화 하는 설계 가 필요하다. L_s 및 L_D는 주로 PCB 배치에 의해 결정되나 디바이스 패키지 또한 L_s의 결정 요소이다.

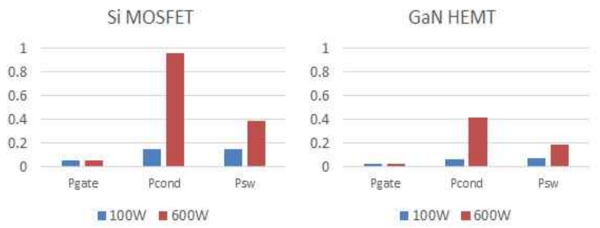


Fig. 13. Loss comparison of Si MOSFET and GaN HEMT.

L_S의 영향을 최소화하기 위해 그림 10과 같이 켈빈 소스를 제공하는 PQFN 패키지를 선정하였다. 켈빈 소스는 최소의 인덕턴스로 게이트에 전압을 인가할 수 있는 경로를 제공한다. PCB 배치 또한 L_D 및 L_S를 저감하기 위해 AC loop의 길이를 최소화 할 수 있도록 설계하였으며 기생 인덕턴스에 의한 영향을 비교하기 위해 초기 PCB의 배치와 개선된 PCB의 배치를 비교 분석하였다.

그림 11 (a)는 초기 PCB의 브리지 부분의 배치 및 게이트 드라이버의 배치를 나타낸다. 게이트 드라이버와 스위치는 각각 탑 및 바텀에 배치되어 비아를 통해 라인으로 연결되어 있으며, 분리되어야 하는 파워 소스와 켈빈 소스 또한 라인을 통해 직접 연결되어 있으므로 L_s의 추가 요인이 된다. 각 레그 간 스위치의 긴 거리 또한 L_D를 유발한다. 반면 그림 11 (b)의 개선된 PCB는 게이트 드라이버와 스위치를 동일 층에 배치하여 비아 및 경로 길이에 의한 인덕턴스를 최소화하였다. 또한 파워 소스와 켈빈 소스의 연결부를 제거하여 L_S를 최소화하였으며, L_D의 저감을 위해 스위치 사이의 거리 또한 최소화하였다. 표 3은 각 PCB의 특성 및 개선 사항을 나타낸다.

그림 12는 PCB 배치에 따른 지상 레그 천이 과정의 비교를 나타낸다. 기존 PCB는 다른 쪽 GaN HEMT가 off 될 때 게이트에 최대 15 V의 전압 스파이크가 발생하며 Faulty turn-on에 의한 공진 인덕터 전류의 왜곡이 발생한다. 또한 스위치가 켜진 후에도 20 V이상의 전압 스파이크가 발생하며 이는 소자의 Gate 절연을 파괴시킬 수 있다. 반면 수정된 PCB는 전류 왜곡 없이 정상적으로 지상 레그 천이가 수행되며 게이트 전압 역시 정상적인 것을 확인할 수 있다. 따라서 GaN HEMT의 낮은 문턱전압 및 빠른 스위칭 특성에 의한 *di/dt* 및 *dv/dt*에 의한 시스템 안정성 저해를 방지하기 위해 PCB 설계 시 기생 인덕턴스를 최소화하기 위한 고려가 필요하다.

그림 13은 이론적으로 분석된 GaN HEMT 및 Si MOSFET의 게이팅 손실, 도통 손실 및 스위칭 손실 비교를 나타낸다. 표 1의 특성에 따라 GaN HEMT의 도통 손실과 스위칭 손실은 Si MOSFET 대비 각각 43% 및 48% 수준을 나타낸다. 분석한 손실에 기반하여 600 W 전부하 동작 시 PCB를 통해 방열되는 상황을 가정했을 때 각 소자의 온도 상승은 다음과 같다.

$$\begin{aligned}\Delta t_{GaN} &= R_{thJA} \times P_{tot} = 62.7^\circ C \\ \Delta t_{si} &= R_{thJA} \times P_{tot} = 27.9^\circ C\end{aligned} \quad (10)$$

이 때 접합-외기온도간 열저항은 두 소자 모두 45℃/W로 동일하다. 최대 외기온도가 85 ℃조건인 경우 GaN HEMT는 여전히 PCB를 통한 가능하지만 Si MOSFET은 추가적인 방열 수단이 필요하며 이는 GaN HEMT 적용 전력변환 시스템의 전력 밀도 향상 가능성을 나타낸다.

4. 결 론

본 논문에서는 차세대 전력반도체 중 하나인 GaN HEMT를 실제 전력변환 시스템에 적용할 때 발생가능한 문제점에 대하여 분석하였다. 이를 위해 기존의 Si MOSFET과 비교하여 Cascode GaN HEMT의 특성을 상세히 분석하였다. 이를 위상 천이 컨버터에 적용할 때 데드타임 설정에 의한 하드 스위칭 문제점 예측 및 최적의 데드타임을 제안하였으며, PCB 배치 디자인에 의한 기생성분에 따른 및 Faulty turn-on 문제점을 예상하고 그에 대한 해결 방안을 제시하였다. 또한 600 W급 위상 천이 dc-dc 컨버터의 프로토 타입을 통해 각 해결 방안의 타당성을 검증하고 GaN HEMT의 차세대 반도체로써의 적용 가능성을 확인하였다.

이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임. (No. NRF-2013R1A1A1076109)

References

[1] S. Y. Park, P. Sun, W. Yu, and J. S. Lai, “Performance evaluation of high voltage super junction MOSFETs for zero-voltage soft-switching inverter applications,” *IEEE Applied Power Electronics Conference and Exposition(APEC2010)*, pp. 387-391, Feb. 21-25, 2010.

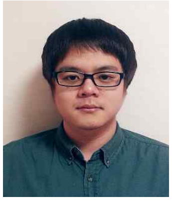
[2] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, “Survey of wide bandgap power semiconductor devices,” *IEEE Trans. Power Electron.*, Vol. 29, No. 5, pp. 2155-2163, 2014.

[3] S. Ji, D. Reusch, and F. C. Lee, “High-frequency high power density 3-D integrated gallium-nitride-based point of load module design,” *IEEE Trans. Power Electron.*, Vol. 28, No. 9, pp. 4216-4226, 2013.

[4] D. Reusch and J. Strydom, “Understanding the effect of PCB layout on circuit performance in a high-frequency gallium-nitride-based point of load converter,” *IEEE Trans. Power Electron*, Vol. 29, No. 4, pp. 2008-2015, 2014.

[5] X. Huang, Q. Li, Z. Liu, and F. C. Lee, "Analytical loss model of high voltage gaN HEMT in cascode configuration," *IEEE Trans. Power Electron.*, Vol. 29, No. 5, pp. 2208-2219, 2014.
[6] S. Abdel-Rahman, "Design of phase shifted full-bridge converter with current doubler rectifier," Infineon Technologies AG, DE, pp. 9, 2013.
[7] S. Madiwale, "Adaptive dead time in full bridge phase shifted topology using ADP1055," Analog Devices, MA, USA, pp. 3-5, 2014.
[8] A. Lidow and J. Strydom, "Gallium nitride (GaN) technology overview," Efficient Power Conversion Coporation, pp. 1-6, 2012.
[9] [ONLINE] Available at: http://www.semicon.panasonic.co.jp/en/products/powerics/ganpower/. [Accessed 22 May 2015].
[10] F. Bjoerk, J. Hancock, and G. Deboy, "How to make most beneficial use of the latest generation of super junction technology devices," Infineon Technologies AG, DE, pp. 9-10, 2007.
[11] ON Semiconductor, Appl, AN-1090/D, "Understanding and predicting power MOSFET switching behavior," pp. 1-4, 2002.

주동명(朱東明)
1988년 10월 9일생. 2011년 성균관대 전자전기공학과 졸업. 2013년 동 대학원 전자전기컴퓨터공학과 졸업(석사). 2013년~현재 동 대학원 전기전자컴퓨터공학과 박사과정.



김동식(金東植)
1988년 5월 14일생. 2014년 대진대 전기공학과 졸업. 2014년~현재 동 대학원 전기공학과 석사과정.

이병국(李秉國)
1968년 12월 25일생. 1994년 한양대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2001년 미국 Texas A&M University 전기공학과 졸업(공박). 2002년~2003년 Postdoctoral Research Associate, Texas A&M University. 2003년~2005년 한국전기연구원 산업전기연구단 전력전자그룹 선임연구원(팀장). 2006년~현재 성균관대 정보통신공학부 부교수. 2004년~현재 IEEE Senior Member, IEEE VPPC2012 General Chair. 당 학회 기획이사.

김종수(金鍾秀)
1975년 3월 5일생. 2008년 성균관대 대학원 전자전기컴퓨터공학과 졸업(석사). 2011년 동 대학원 전자전기컴퓨터공학과 졸업(공박). 2011년~2012년 서일대 전기과 강의전담교수. 2012년~2013년 삼성종합기술원 MD연구소 Power Lab 전문연구원. 2013년~현재 대진대 전기전자통신공학부 조교수. 당 학회 학술위원.