

PPS 소자가 삽입된 N형 SCR 소자에서 부분웰 구조가 정전기 보호 성능에 미치는 영향

양준원*, 서용진** 정회원

Effects on the ESD Protection Performance of PPS(PMOS Pass Structure) Embedded N-type Silicon Controlled Rectifier Device with different Partial P-Well Structure

Jun-Won Yang*, Yong-Jin Seo** *Regular Members*

요 약

PPS 구조를 갖는 N형 실리콘 제어 정류기 소자에서 부분웰 구조가 정전기 보호 성능에 미치는 영향을 고찰하였다. 종래의 NSCR 표준소자는 온-상태 저항, 스냅백 홀딩 전압 및 열적 브레이크다운 전압이 너무 낮아 정전기 보호소자의 필요조건을 만족시키지 못해 적용이 어려웠으나, 본 연구에서 제안하는 부분웰 구조를 갖도록 변형 설계된 NSCR-PPS 소자는 안정한 정전기보호 성능을 나타내어 고전압 동작용 마이크로 칩의 정전기보호 소자로 적용 가능성을 확인하였다.

Key Words : ESD(Electrostatic Discharge), NSCR(N-type Silicon Controlled Rectifier), PPS (P-type MOSFET Pass Structure), PPW(Partial P-type Well), CPS(Counter Pocket Source)

ABSTRACT

Electrostatic Discharge(ESD) protection performance of PPS(PMOS pass structure) embedded N-type silicon controlled rectifier(NSCR_PPS) device with different partial p-well(PPW) structure was discussed for high voltage I/O applications. A conventional NSCR_PPS standard device shows typical SCR-like characteristics with low on-resistance, low snapback holding voltage and low thermal breakdown voltage, which may cause latch-up problem during normal operation. However, our proposed NSCR_PPS devices with modified PPW demonstrate the stable ESD protection performance with high latch-up immunity.

I. 서 론

우주의 플라즈마 환경에서 위성시스템에 탑재된 디스플레이 구동용 마이크로칩에서 정전기(ESD) 방전이 초래되면 전자장치의 오동작을 일으키고 물리적인 손상을 주어 열적·전기적 성능을 저하시키는 등의 문제점이 나타날 수 있다. 위성 시스템의 목적, 구성, 전원 및 궤도환경에 따라 다르게 결정되어야 하겠지만, 정전기 방지 대책이 위성 시스템 설계 및 운용환경에 적합하게 적용되어야 하기 때문에 정전기 방지는 반도체 소자의 개발초기부터 신중하게 다루어져야 한다[1]. 따라서 위성시스템에 사용되는 마이크로 칩을 제조함

에 있어서 외부 정전기로부터 칩 내부 회로를 보호할 수 있는 정전기 보호회로 또는 정전기 보호소자를 개발하는 문제는 항상 중요한 연구 과제들 중의 하나였다[2][3][4][5][6][7]. 다양한 ESD 보호 소자들 가운데 실리콘 제어 정류기(Silicon Controlled Rectifier: SCR)는 고전류에 대한 면역 특성이 우수하여 매우 매력적인 소자이다[2][4][6]. 그러나 고전압 동작용 SCR 소자는 높은 트리거링(triggering) 전압 때문에 정상적인 동작 동안 래치업(latch-up)에 매우 취약하다는 단점이 있다[8][9][10]. SCR 소자가 래치업에 취약한 것은 고전류 영역에서 온 저항(Ron)이 너무 작아 스냅백 홀딩(snapback holding) 전압이 너무 낮기 때문이다. 따라서 고

* 본 연구는 2014년도 세한대학교 교내연구비 지원에 의해 수행하였음.

*세한대학교 컴퓨터교육과 (jwyang@sehan.ac.kr)

**세한대학교 나노정보소재연구소(syj@sehan.ac.kr), 교신저자 : 서용진

접수일자 : 2014년 10월 21일, 수정완료일자 : 2014년 11월 04일, 최종게재확정일자 : 2014년 11월 14일

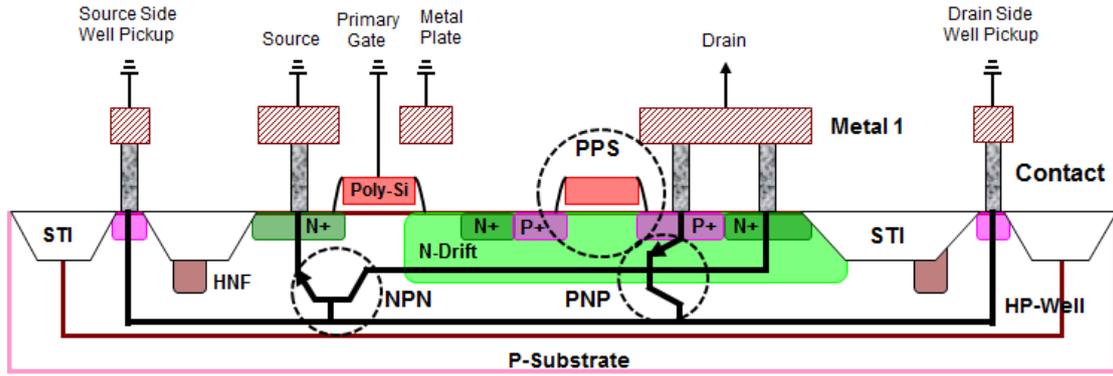


그림 1. NSCR_PPS 표준소자의 구조 및 SCR 동작 메카니즘

전류 영역에서 SCR 소자의 온 저항을 증가시킬 수 있는 방법이 필요하다.

본 연구진은 이전 연구에서 NESCR(N-type Embedded SCR) 표준 소자가 갖는 래치업 문제를 해결하기 위해 제안한, N+ 드레인 오른쪽에 P+ 확산층을 삽입하여 PNPN SCR 소자를 만들고 p-well의 구조를 부분적으로 형성시킨 부분웰(Partial P-Well; PPW)을 갖는 NESCR_CPS_PPW 변형 소자는, 기존의 NESCR 표준소자보다 현저하게 큰 온 저항과 높은 스냅백 홀딩 전압을 나타내어 래치업을 피할 수 있는 우수한 구조임을 제안한 바 있다[7].

본 연구에서는 PMOSFET 패스 구조(PMOSFET Pass Structure; PPS)가 삽입된 N형 SCR(NSCR_PPS) 소자에서 부분웰의 면적을 각각 달리하여 소자를 변형 설계한 후, I-V 특성 및 전류밀도, 전계, 전류경로 등 등고선(contour) 분석을 통해 본 연구에서 제안하는 소자가 고전압 동작용 I/O 응용을 위해 적용가능한지를 연구하였다.

II. 소자구조

NSCR_PPS 표준소자는 그림 1에 보인 것처럼 N+ 소오스와 드레인을 각각 2개의 영역으로 나눈 후, P+ 이온주입을 통해 P형 MOSFET 소자가 삽입된 구조(PPS; 그림 1의 가운데 원에 해당)이며 full HP-well을 적용하였다. 그림 2는 P형의 CPS(Counter Pocket Source) 이온주입을 행하지 않은 NSCR_PPS 소자의 경우 부분웰의 면적을 각각 달리한 구조이다. 그림 3에 보인 NSCR_CPS_PPS 소자는 N+ 소오스를 둘러싸기 위해 CPS 이온주입이 수행된 구조이다. 본 논문에서는 그림 2와 그림 3에 개략적으로 표현한 것처럼 CPS 구조의 유무 및 부분웰의 면적을 각각 달리하는 다양한 구조로 변형하여 시뮬레이션 하였다. 표 1은 본 논문에서 제안하는 부분웰 구조의 특징을 요약한 것이다. NSCR_PPS 소자는 NMOS 소자에 PMOS를 삽입함으로써 수직방향의

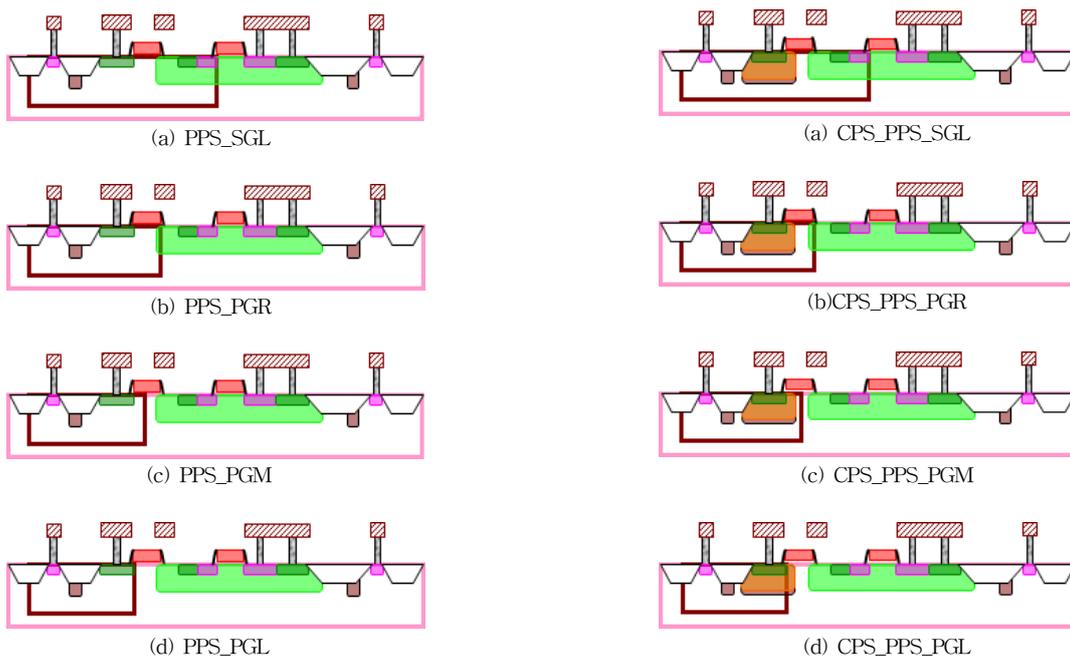


그림 2. CPS 이온주입을 행하지 않은 NSCR_PPS 소자의 변형된 PPW 구조

그림 3. CPS 이온주입을 행한 NSCR_CPS_PPS 소자의 변형된 PPW 구조

PNP-BJT(그림 1의 오른쪽 원에 해당)와 수평방향 NPN-BJT (그림 1의 왼쪽 원에 해당)로 이루어진 PNPN 싸이리스터(thyristor) 소자로 동작한다.

표 1. 본 논문에서 제안하는 부분웰(PPW) 구조의 특징

PPW 구조	PPW 구조의 특징
SGL 구조	<ul style="list-style-type: none"> 부분웰의 오른쪽 끝단이 2차 게이트의 왼쪽 끝단과 일치하는 구조 Secondary Gate Left의 약어
PGR 구조	<ul style="list-style-type: none"> 부분웰의 오른쪽 끝단이 1차 게이트의 오른쪽 끝단과 일치하는 구조 Primary Gate Right의 약어
PGM 구조	<ul style="list-style-type: none"> 부분웰의 오른쪽 끝단이 1차 게이트의 중앙과 일치하는 구조 Primary Gate Middle의 약어
PGL 구조	<ul style="list-style-type: none"> 부분웰의 오른쪽 끝단이 1차 게이트의 왼쪽 끝단과 일치하는 구조 Primary Gate Left의 약어

표 2에 보인 바와 같이 시뮬레이션으로 추론된 NSCR_PPS 표준소자의 전류-전압 특성은 동작전압($V_{op} \sim 30V$) 보다 훨씬 더 낮은 스냅백 홀딩 전압($V_h \sim 1.4V$), 낮은 온 저항($R_{on} \sim 131\Omega \cdot \mu m$)을 나타내어 정상적인 동작 동안 래치업 문제에 매우 취약함을 알 수 있다. 또한 CPS가 형성되지 않은 NSCR_PPS 소자보다는 CPS 구조를 형성한 NSCR_CPS_PPS 소자가 더 우수한 특성을 나타내었다. 따라서 CPS 구조가 정전기 보호 성능의 향상에 매우 효과적임을 알 수 있다. 즉, NSCR_CPS_PPS 소자는 NSCR_PPS 표준소자보다 더 높은 스냅백 홀딩 전압($V_h \sim 33V$ 이상)을 나타내어 동작전압 30V보다 더 높은 값을 만족하였다. 따라서 래치업 면적이 보장되었다. 오프-상태 누설전류(I_{off})는 4승($\sim 10^{-4}$) 이상 감소하였고, 열적 브레이크다운 전압은 증가하였는데 이는 CPS 이온주입에 기인한 것으로 생각된다. 또한 NSCR_CPS_PPS 소자에서는 PPW 면적이 감소함에 따라 온 저항(R_{on}), 스냅백 홀딩 전압(V_h), 열적 브레이크다운 전압(V_{tb})이 증가하는 경향을 보이므로 고전압 I/O 응용을 위한 최적화된 정전기 보호 성능을 얻기 위해서는 PPW 면적을 감소시키는 것이 더 유리함을 알 수 있다.

III. 결과 및 고찰

1. 시뮬레이션 분석

NSCR_PPS 소자는 동작전압이 30V인 고전압 기술(@0.18 μm , 30V)을 적용한 TSUPREM4 공정 시뮬레이터를 사용하여 제작되었으며 소자 특성은 DESSIS 소자 시뮬레이터를 사용하여 분석되었다. ESD 스트레스를 시뮬레이션하기 위해 10 ns의 상승시간(rise time)과 100 ns의 지속시간(duration time)을 갖는 사다리형 전류 펄스를 사용하여 과도(transient) 시뮬레이션이 수행되었다.

2. CPS 이온주입이 없는 NSCR_PPS 소자의 부분웰 변화 특성

그림 4(a)는 스트레스 전류가 0.05mA인 트리거링 포인트 근처에서 NSCR_PPS_PGM 소자의 전류밀도 및 전계의 등고선 분포를 나타낸 것이다. NSCR_PPS_PGM 소자의 전류 흐름은 수평 방향으로 분산되어 있는 양상을 나타내고 있다. 고전계 영역은 NSCR_PPS 표준소자와 유사하게 N-Drift의 왼쪽 끝단과 P-Well 경계면에 국부화되어 있으며, NSCR_PPS 표준소자에 비해 현저하게 감소하는 양상을 나타내었다[5]. 이처럼 분산된 전류 분포와 낮은 전계의 영향으로 인해

표 2. 시뮬레이션 분석을 통해 추출한 I-V 특성과 TLP 데이터 비교

	(a) Std	(b) SGL		(c) PGR		(d) PGM		(e) PGL	
		Non-CPS	CPS	Non-CPS	CPS	Non-CPS	CPS	Non-CPS	CPS
I _{off}	1.2E-10	5.1E-10	7.7E-14	3.0E-09	7.7E-14	4.4E-08	6.4E-14	5.1E-06	4.0E-14
V _{av}	41.0	40.6	40.0	39.3	39.1	39.2	38.9	39.1	38.9
V _{tr}	45.0	43.8	47.0	41.8	45.8	40.9	45.9	40.5	45.4
I _{tr}	5.0E-02	5.0E-02	1.0E-01	5.0E-02	2.0E-01	5.0E-02	2.0E-01	5.0E-02	2.0E-02
V _h	1.4	1.4	17.3	1.4	33.8	1.4	36.9	1.4	38.2
I _h	4.0E-01	1.0E+00	2.0E+00	1.0E+00	5.0E+00	6.0E-01	5.0E+00	6.0E-01	8.0E+00
V _{tb}	7.9	10.0	58.2	11.9	64.2	11.1	65.0	9.1	62.7
I _{tb}	50.0	50.0	20.0	50.0	20.0	50.0	20.0	50.0	20.0
R _{on}	131	176	2,272	214	2,027	196	1,873	156	2,042

<약어설명> I_{off} : off-상태 누설전류@30V[A/ μm], V_{av} : 애발란치 브레이크다운 전압[V], V_{tr} : 트리거링 전압[V], I_{tr} : 트리거링 전류[mA/ μm], V_h : 스냅백 홀딩 전압[V], I_h : 스냅백 홀딩 전류[mA/ μm], V_{tb} : 열적 브레이크다운 전압[V], I_{tb} : 열적 브레이크다운 전류[mA/ μm], R_{on} : 평균 on-상태 저항[$\Omega \cdot \mu m$]

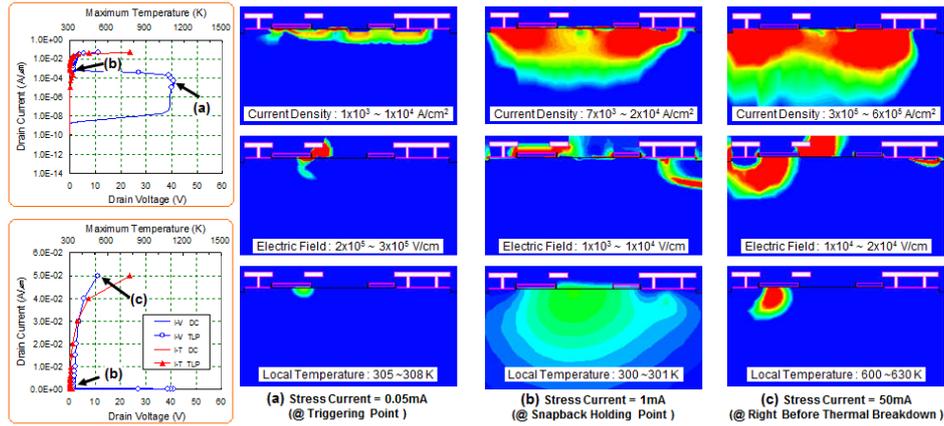


그림 4. CPS 구조가 없는 NSCR_PPS_PGM 소자의 I-V 특성 및 등고선 분석.

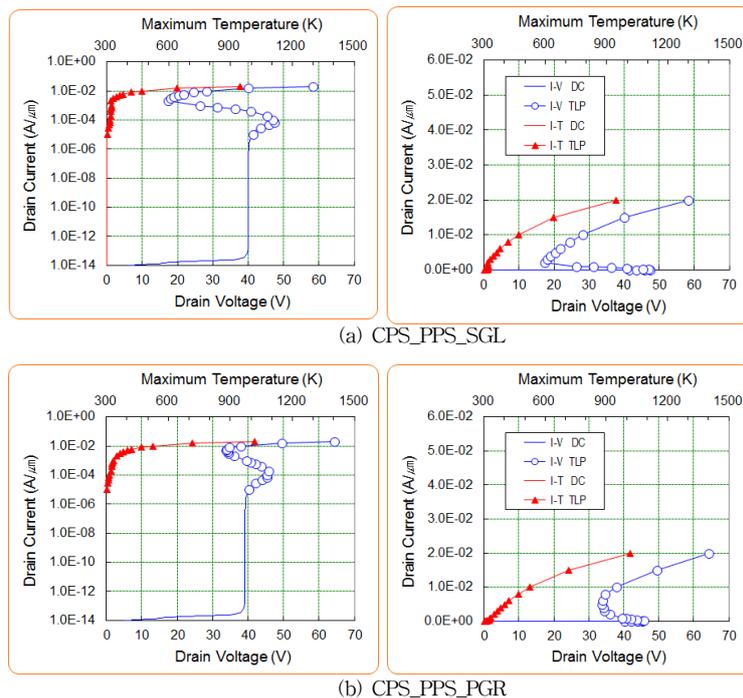
(a) 트리거링 포인트, (b) 스냅백 홀딩 포인트, (c) 열적 브레이크다운이 일어나기 바로 전. 각 그림에 표현된 숫자는 전계 및 전류밀도 값에 해당하는 범위를 나타낸다.

NSCR_PPS_PGM 소자의 트리거링 전압이 NSCR_PPS 표준소자의 트리거링 전압보다 감소한 것으로 추정된다. 그림 4(b)는 스트레스 전류가 1.0mA인 스냅백 홀딩 포인트 근처에서 NSCR_PPS_PGM 소자의 전류 흐름, 고전계 영역, 온도 등의 등고선 분포를 보인 것으로 NSCR_PPS 표준소자와 거의 동일한 분포를 나타내었다. 두 소자사이의 전류 흐름과 고전계 영역의 분포가 유사하기 때문에 스냅백홀딩 포인트 근처에서의 전압강하, 즉 스냅백 홀딩 전압(V_h) 역시 두 소자가 거의 동일한 값을 나타내는 것으로 생각된다. 그림 4(c)는 스트레스 전류가 50mA인 열적 브레이크다운 근처에서의 NSCR_PPS_PGM 소자의 전류 흐름, 고전계 영역, 온도 등의 등고선 분포를 보인 것으로 NSCR_PPS 표준소자와 거의 동일한 분포를 나타내었다. 하지만 고전류 영역에서 1차(primary) 게이트 하부의 채널 영역을 중심으로 N^+ 소오스

와 P-well 사이의 경계면 전체에 걸쳐 새로 생성되는 고전계 영역의 전계 절대값은 NSCR_PPS 표준소자에 비해 더 큰 값을 나타내었다. 따라서 열적 브레이크다운 포인트 근처에서 NSCR_PPS_PGM 소자의 온 저항과 열적 브레이크다운 전압은 NSCR_PPS 표준소자보다 약간 크게 나타났다.

3. NESCR_CPS_PPW 변형소자의 I-V 특성

그림 5는 CPS 구조가 있는 NSCR_CPS_PPS 변형소자의 I-V 특성을 표 1에 보인 부분웰의 면적에 따라 나타낸 것이다. CPS 이온주입을 적용한 상태에서 부분웰의 면적이 축소될수록 애발란치 브레이크다운 전압과 트리거링 전압은 감소하고 스냅백 홀딩 전압은 증가하는 경향을 나타내었다(표 2 참조). 특히 CPS 이온주입을 적용한 상태에서 부분웰의 오



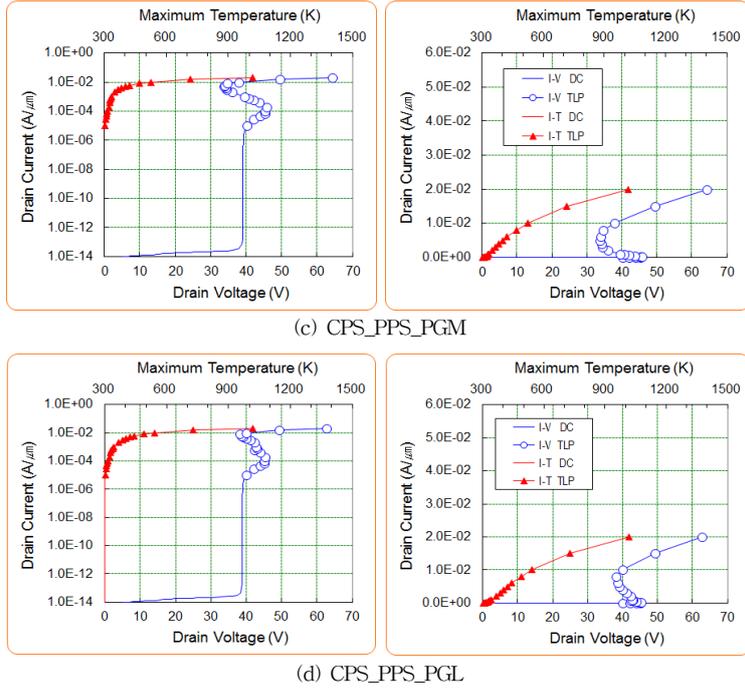


그림 5. CPS 구조가 있는 NSCR_CPS_PPS 변형소자의 I-V 특성

른쪽 끝단이 1차 게이트의 오른쪽 끝단(Primary Gate Right Edge)과 일치하거나(PGR 구조) 또는 그 이하로 축소(PGL 구조)될 경우에는 스냅백 홀딩 전압(V_h)이 동작전압(V_{op})보다 높게 나타났다. 부분웰 면적은 열적 브레이크다운이 발생하기 직전의 고전류 영역에서의 R_{on} 값에 영향을 크게 주는 것으로 나타났다. 특히 고전류 영역에서의 R_{on} 값은 부분웰 면적이 축소될수록 감소하는 경향을 나타내다가 NSCR_CPS_PPS_PGM 소자에서 최소값을 나타낸 후 다시 증가하는 경향을 나타내었다. CPS 이온주입과 부분웰 이온주입을 동시에 적용할 때 열적 브레이크다운 전류(I_{tb})가 크게 감소함을 고려할 때 V_h 가 V_{op} 보다 크게 나타나는 조건들 중에서 특히 R_{on} 값이 가장 작은 PPS_CPS_PGM 소자가 가장 유리한 특성인 것으로 판단된다.

그림 6은 CPS 구조를 갖는 NSCR_CPS_PPS_PGM 소자의 I-V 특성 및 등고선 분포를 나타낸 것이다. 그림 6(a)는 스트레스 전류가 0.2mA인 트리거링 포인트 근처에서의 NSCR_CPS_PPS_PGM 소자의 전류흐름은 NSCR_PPS 표준소자와 거의 유사한 양상을 나타내었지만, 전류가 좀 더 넓게 분포하는 양상을 나타내었다. 고전계 영역은 NSCR_PPS 표준소자와 마찬가지로 N-Drift와 P-Well의 경계면에 집중되어 있으며, 최대 온도 영역도 고전류 영역과 고전계 영역이 겹치는 영역, 즉 1차 게이트 우측 하단의 표면 영역에서 국부적으로 발생하였다. 그림 6(b)는 스트레스 전류가 5mA인 스냅백홀딩 포인트 근처의 NSCR_CPS_PPS_PGM 소자의 전류 흐름 및 고전계 영역의 등고선 분포를 보인 것으로 NSCR_PPS 표준소자와 거의 유사한 분포를 나타내었

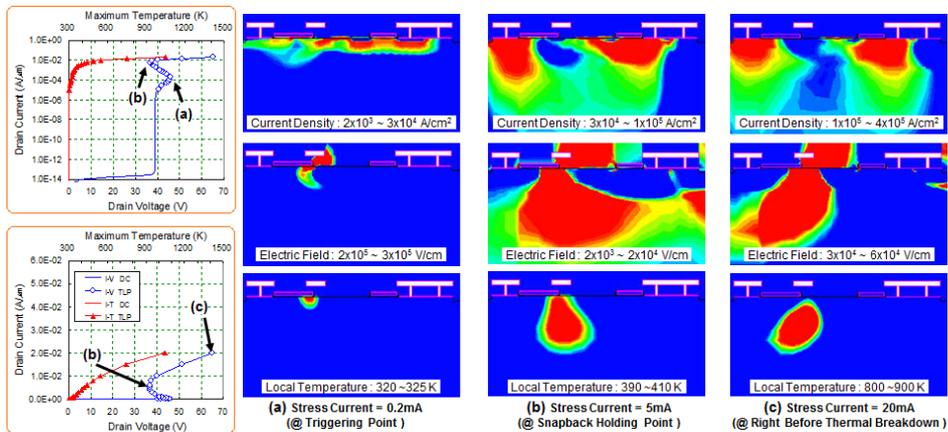


그림 6. CPS 구조를 갖는 NSCR_PPS_CPS_PGM 소자의 I-V 특성 및 등고선 분석.

(a) 트리거링 포인트, (b) 스냅백 홀딩 포인트, (c) 열적 브레이크다운이 일어나기 바로 전. 각 그림에 표현된 숫자는 전계 및 전류밀도 값에 해당하는 범위를 나타낸다.

대[5]. 그러나 U자 형태의 전류 흐름과 고전계 영역의 전계의 절대값은 NSCR_PPS 표준소자에 비해 좀 더 강해지는 양상을 나타내었으며, 이러한 현상은 NSCR_PPS 표준소자에 비해 좀 더 높은 전압 강하, 즉 스냅백 홀딩 전압을 증가시킨다. 최대 온도 영역도 1차 게이트우측 하단에서 국부적으로 발생하여 U자 형의 전류 흐름의 영향으로 인해 소자의 수직방향으로 깊어지는 양상을 나타내었다. 그림 6(c)는 스트레스 전류가 20mA인 열적 브레이크다운이 일어나기 직전의 등고선 분포를 나타낸 것이다. 수직방향의 U자 형태로 흐르는 전류가 전류 흐름의 대부분을 차지하고 있음을 알 수 있다. 고전계 영역의 경우 1차 게이트 우측 하부에서 시작하여 N+ 소오스 영역을 크게 둘러싸는 형태로 존재하였는데 그 전계의 절대값이 NSCR_PPS 표준소자에 비해 대략 ~5 배 이상 크음을 알 수 있다. 이처럼 고전계 영역과 U자 형의 전류 흐름의 영향으로 두 전극 사이의 겹치는 영역이 NSCR_PPS 표준소자에 비해 넓기 때문에 전압강하 분포가 증가한 것으로 생각된다. 최대 온도 영역도 고전류 영역과 새로 생성된 고전계 영역이 겹치는 지점에서 국부적으로 발생하였다.

IV. 결론

기존의 NSCR_PPS 표준소자는 온 저항, 스냅백 홀딩 전압과 열적 브레이크다운 전압이 너무 낮아 정전기 보호소자의 설계 창을 만족시키지 못하여 정전기 보호 소자로 적용이 어려웠으나, 본 연구에서 제안한 것처럼 부분웰 구조를 변형 시킴으로서 안정한 정전기 보호 특성을 얻을 수 있었다. 따라서 NSCR_CPS_PPS 소자를 고전압 I/O에 적용할 경우 최적화된 정전기 보호 성능을 얻기 위해서는 부분웰의 면적을 감소시키는 것이 더 유리함을 알 수 있었다. 또한 등고선 데이터 분석 결과에 의하면, NSCR_PPS 표준소자의 경우 고전류 레벨에서 고전계 영역이 소멸되며 주(main) 전류경로가 구조적으로 가장 짧은 소자의 표면을 따라 형성된 반면에, 부분웰 면적을 달리하여 설계한 변형된 NSCR_CPS_PPS 소자의 경우에는 고전류 레벨에서도 소자 표면 영역에 형성된 고전계 영역이 거의 그대로 유지되었고, 주 전류경로가 U자 형태로 전환됨으로서 소자의 온 저항의 증가 및 높은 래치업 면역과 유연한 트리거링 전압을 얻을 수 있는 것으로 분석되었다. 따라서 PMOS 소자를 패스구조로 삽입시킨 N형 SCR 소자는 위성체나 위성통신기에 사용되는 고전압용 마이크로 칩의 I/O 응용을 위한 정전기 보호 소자로 사용될 수 있음을 확인하였다.

참 고 문 헌

[1] 임성빈, 김태운, 장재웅, “저궤도 위성의 ESD 설계 및 해석도구”, 항공우주산업기술동향 제7권 제1호, pp.88-78, 2009.
 [2] 양준원, 서용진, “고전압용 LDI 칩의 정전기 보호를 위한

EDNMOS 소자의 특성 개선”, 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.
 [3] 양준원, 서용진, “CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선”, 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.03.
 [4] 양준원, 김형호, 서용진, “DDIC 칩의 정전기 보호 소자로 적용되는 EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석”, 통신위성우주산업연구회논문지, 제8권 제2호, pp.36-43, 2013.06.
 [5] 양준원, 서용진, “N형 실리콘 제어 정류기 소자의 구조 변형을 통한 정전기 보호 성능의 향상에 대한 연구, 통신위성우주산업연구회논문지, 제8권 제4호, pp.124-129, 2013.12.
 [6] 서용진, 양준원, “DPS(Double Polarity Source) 구조를 갖는 고전압 동작용 EDNMOS 소자의 정전기 보호 성능 개선, 통신위성우주산업연구회논문지, 제9권 제2호, pp.12-17, 2014.06.
 [7] 양준원, 서용진, “NESCR 소자에서 정전기 보호 성능 향상을 위한 최적의 p-Well 구조설계”, 통신위성우주산업연구회논문지, 제9권 제3호, pp.15-21, 2014.09.
 [8] A. Chatterjee and T. Polgreen, “A low-voltage triggering SCR for on-chip ESD protection at output and input pads,” IEEE Electron Device Lett., vol.12, pp. 21-22, Jan. 1991.
 [9] M. D. Ker, H. H. Chang, and C. Y. Wu, “A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low voltage CMOS IC’s,” IEEE J. Solid-State Circuits, vol. 32, pp. 38-51, Jan. 1997.
 [10] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, “A novel gate coupled SCR ESD protection structure with high latchup immunity for high-speed I/O pad,” IEEE Electron Device Lett., vol. 25, pp. 328-330, May 2004.

저자

양 준 원(Jun-Won Yang)



정희원
 · 1989년 2월 : 영남대학교 전자공학과 학사졸업
 · 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
 · 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
 · 1999년 3월 ~ 현재 : 세한대학교 컴퓨터교육과 교수
 <관심분야> : 위성통신, 전자과 해석

서 용 진(Yong-Jin Seo)



정희원
 · 1987년 2월 : 중앙대학교 전기공학과 학사졸업
 · 1989년 2월 : 중앙대학교 전기공학과 석사졸업
 · 1994년 2월 : 중앙대학교 전기공학과 박사졸업
 · 1995년 3월 ~ 현재 : 세한대학교 교수
 · 2004년 3월 ~ 현재 : 세한대학교 나노정보소재연구소 소장
 <관심분야> : 반도체소자, 정전기보호소자, CMP공정