

NESCR 소자에서 정전기 보호 성능 향상을 위한 최적의 P-Well 구조 설계

양준원*, 서용진** 정회원

Optimal P-Well Design for ESD Protection Performance Improvement of NESCR (N-type Embedded SCR) device

Jun-Won Yang*, Yong-Jin Seo** *Regular Members*

요 약

NESCR 구조의 정전기 보호소자가 고전압 동작용 I/O 응용을 위해 분석되었다. 기존의 NESCR 표준소자는 매우 낮은 스냅백 홀딩 전압을 갖는 전형적인 SCR 특성을 나타내므로 정상적인 동작 동안 래치업 문제를 초래한다. 그러나 본 연구에서 제안하는 CPS 및 부분적으로 형성된 P-well 구조를 갖는 NESCR_CPS_PPW 변형소자는 높은 온-저항과 스냅백 홀딩 전압을 나타내어 래치업 면역 능력을 향상시킬 수 있었다.

Key Words : ESD (Electrostatic discharge), NESCR (N-type Embedded SCR), SCR (Silicon Controlled Rectifier), CPS (Counter Pocket Source), Snapback Holding Voltage, Latch-up, PPW (Partial P-Well)

ABSTRACT

An electrostatic discharge (ESD) protection device, so called, N-type embedded silicon controlled rectifier (NESCR), was analyzed for high voltage operating I/O applications. A conventional NESCR standard device shows typical SCR-like characteristics with extremely low snapback holding voltage, which may cause latch-up problem during normal operation. However, our modified NESCR_CPS_PPW device with proper junction/channel engineering such as counter pocket source (CPS) and partial P-well structure demonstrates highly latch-up immune current-voltage characteristics with high snapback holding voltage and on-resistance.

I. 서 론

태양으로부터 날라 오는 고에너지를 가진 양성자, 알파입자들에 의한 복사(radiation), 지구 자기장을 따라 형성되는 전하를 띤 전자 및 양성자 등의 고에너지 포획입자에 의해 생성되는 복사선과 은하계로부터 날라 오는 고에너지 입자들의 흐름인 우주선(cosmic ray) 등에 의한 자연복사는 메가전자볼트 정도의 고에너지로 정전기(electrostatic discharge; ESD) 방전과 같은 현상을 유발하므로 위성체나 위성통신을 위해 지상에 설치되는 전자통신기에 사용되는 마이크로칩의 정전기 보호는 매우 중요한 이슈이다. 우주의 플라즈마 환경에서 위성시스템에 탑재된 디스플레이 구동용 마이크로칩에서 정전기 방전이 초래되면, 전자장치의 오동작을 일으

키고 물리적인 손상을 주어 열적·전기적 성능을 저하시키는 등의 문제점이 나타날 수 있다. 위성 시스템의 목적, 구성, 전원 및 궤도환경에 따라 다르게 결정되어야 하겠지만, 정전기 방지 대책이 위성 시스템 설계 및 운용환경에 적합하게 적용되어야 하기 때문에[1], 정전기 방지는 반도체 소자의 개발 초기부터 신중하게 다루어져야 한다. 따라서 위성시스템에 사용되는 마이크로 칩을 제조함에 있어서 외부 정전기로부터 칩 내부 회로를 보호할 수 있는 정전기 보호회로 또는 정전기 보호소자를 개발하는 문제는 항상 중요한 연구 과제들 중의 하나였다[2][3][4][5][6].

지금까지 보고된 바 있는 정전기 보호소자들 가운데 고전압에서 동작하는 실리콘 제어 정류기(silicon controlled rectifier; SCR) 소자는 높은 전류 면역 레벨을 가지고 있어

* 본 연구는 2014년도 세한대학교 교내연구비 지원에 의해 수행하였음.

*세한대학교 컴퓨터교육과 (jwyang@sehan.ac.kr)

**세한대학교 나노정보소재연구소(syj@sehan.ac.kr), 교신저자 : 서용진

접수일자 : 2014년 7월 22일, 수정완료일자 : 2014년 8월 7일, 최종 게재확정일자 : 2014년 8월 21일

정전기 보호소자로 매력적인 후보이다[7][8][9][10]. 그러나 고전압 동작용 SCR 소자는 정상적인 동작 동안 래치업(latch-up)에 매우 취약하다는 단점이 있다. 그동안 이 문제를 해결하기 위한 많은 연구가 보고되었다[11][12][13]. SCR 소자가 래치업에 취약한 것은 고전류 영역에서 온-저항(Ron)이 너무 작아 스냅백 홀딩(snapback holding) 전압이 너무 낮기 때문이다. 따라서 고전류 영역에서 온-저항을 증가시킬 수 있는 방법이 필요하다. 본 연구진은 이전 연구에서 NESCR(n-type embedded silicon controlled rectifier) 표준소자에 CPS(counter pocket source) 구조를 추가함으로써 스냅백 홀딩 전압과 온-저항을 증가시킬 수 있음을 제안하였고[3], NSCR 소자에 PPS(PMOSFET Pass Structure) 소자를 삽입시킨 NSCR_PPS 소자의 P-Well 구조를 부분적인(Partial) P-Well(PPW)로 변형시킨 NSCR_PPS_PPW 소자에 대한 정전기보호특성 개선에 대해 발표한 바 있다[5].

일반적으로 NESCR 소자는 수평방향의 NPN BJT(Bipolar Junction Transistor)와 수직방향의 PNP BJT가 상호 결합된 SCR로 동작하여 ESD 스트레스 전류에 대응한다[7][8][9][10]. NESCR 소자가 동작하면 애노드(드레인)와 캐소드(소오스) 사이에는 수직방향으로 넓게 분포하는 저저항의 전류경로가 형성된다. 이러한 저저항의 전류경로로 인해 온-저항이 작아져 스냅백 홀딩 전압(V_b)과 열적 브레이크다운 전압(V_{tb})은 모두 매우 작은 값을 나타낸다. 이러한 특성으로 인해 NESCR 소자의 스냅백 홀딩 전압이 동작전압보다 낮아져서 래치업에 취약한 문제가 발생한다[11][12][13]. 또한 열적 브레이크다운 전압이 트리거링(triggering) 전압보다 작기 때문에 전류 면역(immunity) 레벨의 선형성(linearity)이 제대로 확보되지 못하는 문제점을 가지고 있다. 이러한 문제점은 NESCR 소자의 온-저항이 너무 작기 때문에 생긴다. 따라서 NESCR 소자를 이용하여 안정적인 정전기 보호성능을 구현하기 위해서는 온-저항을 증가시킴으로써 스냅백 홀딩 전압을 동작전압보다 크게 만들고($V_{op} + \Delta V < V_b$), 열적 브레이크다운 전압을 트리거링 전압 이상으로 증가시키는($V_{tr} \leq V_b$) 작업이 선행 되어야 한다.

본 논문에서는 이상과 같은 NESCR 소자의 문제점을 해결하고, 안정한 정전기 보호를 위한 필요충분조건($V_{op} + \Delta V < V_b$, $V_{tr} \leq V_b$)을 만족시키기 위해 NESCR 소자의 P-Well 구조를 변형시킨 후, 시뮬레이션 분석을 통해 최적의 P-Well 구조를 갖는 NESCR 소자를 제안하고자 한다.

II. 소자구조 및 분석 방법

1. 소자 구조

그림 1은 본 연구에서 적용한 NESCR_Std 표준소자의 개략도 및 SCR 동작 메커니즘을 나타낸 것이다. 수평방향의 NPN BJT와 수직방향의 PNP BJT가 상호결합된 SCR로 동작하여 ESD 스트레스 전류에 대응하는 동작 메커니즘을 화살표로 보여주고 있다.

그림 2는 NESCR_Std 표준소자를 기초로 하여 본 연구에서 고찰하고자 하는 소자의 구조를 개략적으로 도시한 것이다. 그림 2(a)는 N+ 확산영역의 소오스(캐소드)를 에워싸기 위해 P형의 카운터 포켓 소오스(CPS) 이온주입(boron, 180 KeV , $8.5 \times 10^{13} \text{ cm}^{-3}$) 공정이 추가된 구조[3]이며, 온-저항을 증가시켜 스냅백 홀딩 전압을 동작전압 보다 크게 만들고, 열적 브레이크다운 전압도 트리거링 전압 이상으로 증가시킬 수 있는 구조이다. 그림 2(b), (c) 및 (d)는 NESCR_CPS 소자를 근간으로 부분적으로 형성된 P-Well (PPW)의 오른쪽 가장자리가 어디에 위치하는지(또는 PPW의 면적)에 따라 소자구조를 변형시켜 설계하였다. 이는 전체 웰(full P-Well) 구조를 부분 웰(PPW) 구조로 바꾸면 트리거링 전압, 스냅백 홀딩 전압, 열적 브레이크다운 전압 등을 증가시킬 수 있다는 예측에 의한 것이다. 여기서 MPR은 PPW의 오른쪽 끝단이 메탈 플레이트(Metal Plate)의 오른쪽(Right)에 위치하는 구조이고, PGR은 PPW의 오른쪽 끝단이 주 게이트(Primary Gate)의 오른쪽(R) 끝단에 위치하며, PGM은 PPW의 오른쪽 끝단이 Primary Gate의 중앙(Middle)에 위치하는 구조이다.

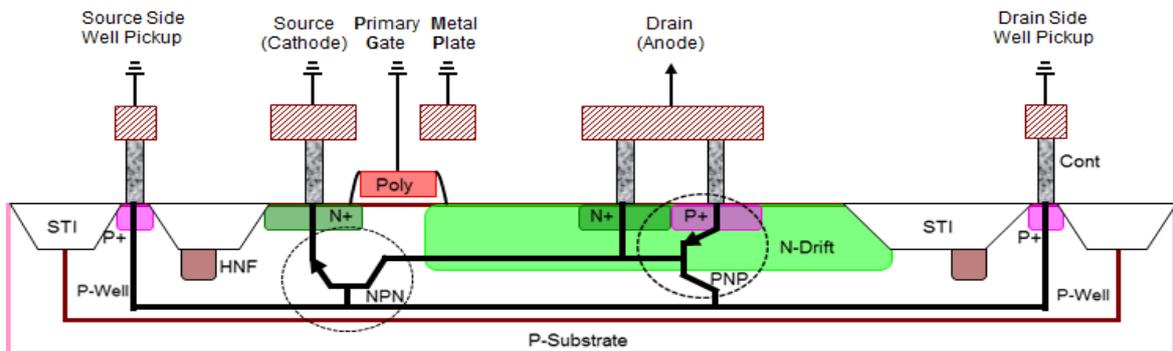


그림 1. 고전압 동작용 NESCR_Std 표준소자의 구조 및 SCR 동작 메커니즘. P+ 확산영역이 애노드(드레인) 전극의 일부분을 형성하기 위해 N+ 드레인 오른쪽에 삽입되었다. 둥근 원에 표시한 것처럼 수직형의 PNP BJT와 수평형의 NPN BJT로 이루어진 SCR 소자로 동작하게 된다.

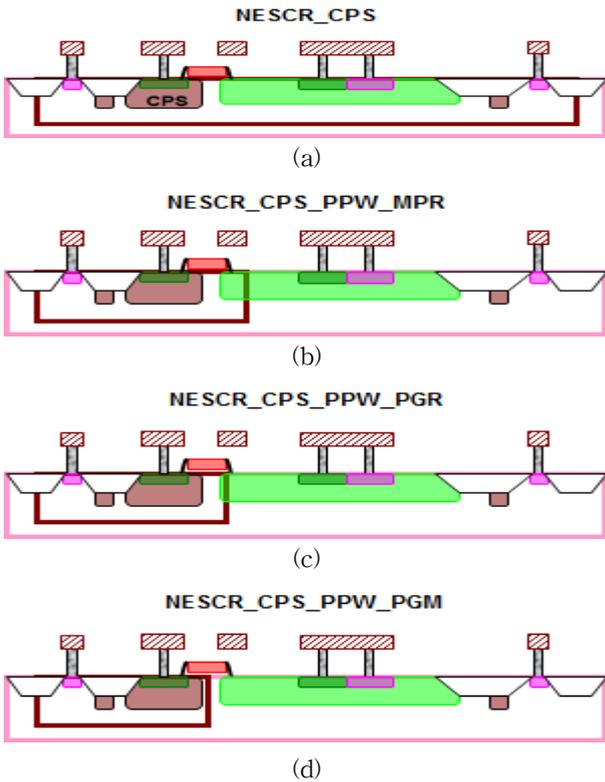


그림 2. NESCR_Std 소자의 P-Well 구조를 변경시킨 각 소자들의 개략도.

- (a) NESCR_CPS 소자 : NESCR_Std 소자에 대해 CPS 이온주입만 적용한 전체 웰(Full P-Well) 구조
- (b) NESCR_CPS_PPW_MPR 소자 : CPS 이온주입을 적용한 상태에서 부분 웰(PPW) 영역의 오른쪽 끝이 메탈 플레이트(Metal Plate)의 오른쪽(R)과 일치하는 구조
- (c) NESCR_CPS_PPW_PGR 소자 : CPS 이온주입을 적용한 상태에서 부분 웰 (PPW) 영역의 오른쪽 끝이 주 게이트 (Primary Gate)의 오른쪽(R) 끝과 일치하는 구조
- (d) NESCR_CPS_PPW_PGM 소자 : CPS 이온주입을 적용한 상태에서 부분 웰 (PPW) 영역의 오른쪽 끝이 주 게이트 (Primary Gate)의 중간(Middle)과 일치하는 구조

2. 시뮬레이션 분석 방법

본 연구에 사용된 시뮬레이션 분석 방법은 본 연구팀이 이전에 발표한 논문과 동일하였다[2][3][4][5][6]. NESCR 소자의 특성은 2차원 공정 및 소자 시뮬레이션에 의해 분석되었다. 소자는 공정 시뮬레이터인 TSUPREM-4를 사용하여 고전압 공정기술(@0.18um_30V)에 적용되어 제작되었다. 소자특성은 DESSIS 소자 시뮬레이터를 사용하여 분석하였다.

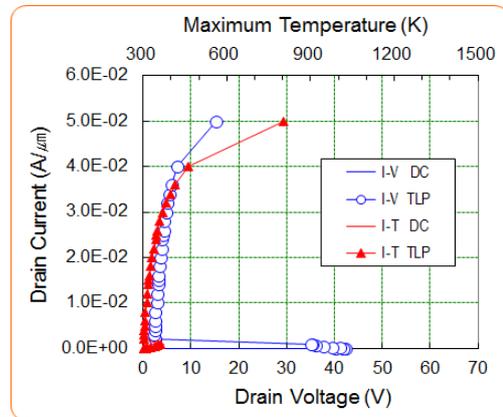
1×10^{-5} A/um 보다 낮은 전류밀도를 갖는 저전류 영역에서는 열적효과를 고려하지 않는(non-thermal) DC 시뮬레이션이 수행되었고, 1×10^{-5} A/um 보다 높은 전류밀도를 갖는 고전류 영역에서는 열적효과가 포함된 MMT(Mixed Mode Transient)의 2차원 시뮬레이션을 사용하여 분석하였다. HBM(Human Body Model)의 ESD 스트레스를 시뮬레이션하기 위해 MMT 시뮬레이션이 10ns의 상승시간과 100ns의 지속시간을 갖는 사다리꼴 전류펄스를 적용하여 수행되었다.

4002가 NESCR 소자의 고전류 반응을 모니터링 하기 위해 사용되었다[13]. 측정 동안 펄스의 상승시간과 지속시간은 각각 10ns와 100ns를 유지해 주었다.

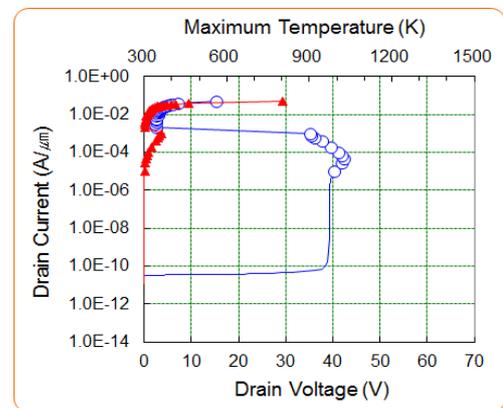
III. 결과 및 고찰

1. NESCR_Std 표준소자의 I-V 특성

그림 3은 NESCR_Std 표준소자의 전류-전압 특성을 나타낸 것이다[3]. NESCR 표준소자의 경우 NPN BJT 동작 시 온-저항이 작아서 NPN BJT의 첫 번째 스냅백 홀딩 포인트에서 PNP SCR 동작을 시작할 때까지 전압강하는 일어나지 않았다. 따라서 전체적인 I-V 특성상에서는 첫 번째 트리거링만 나타나고 두 번째 트리거링은 나타나지 않았다. NESCR_Std 표준소자의 경우에는 애노드와 캐소드 사이에 흐르는 전류가 증가함에 따라 PNP SCR 동작에 의한 U-형의 전류경로가 형성되지만, 전류경로 중간에서 고전계 영역이 급격하게 소멸되기 때문에 낮은 온-저항 상태가 된다. 결국 애노드 대 캐소드 사이에 전압강하가 일어나며, 이는 그림 3에 보인 I-V 특성곡선에서 낮은 스냅백 홀딩 전압 및 낮은 열적 브레이크다운 전압으로 확인할 수 있다.



On 상태 (고전류)



Off 상태 (누설전류)

그림 3. NESCR_Std 표준소자의 전류-전압 특성

표 1. 시뮬레이션 분석을 통해 추출한 I-V 특성과 TLP 데이터 비교

	Description of TLP Parameters (Unit)	(a) Std	(b) CPS	(c) PPW_MPR	(d) PPW_PGR	(e) PPW_PGM
ult0	Leakage Current @ 30V (A/um)	4.8E-11	2.5E-14	1.7E-14	1.7E-14	1.7E-14
Vav	Avalanche Breakdown Voltage (V)	39.2	38.7	37.8	37.5	37.7
Vtr1	1-st Triggering Voltage (V)	41.9	45.1	43.5	-	-
ultr1	1-st Triggering Current (mA/um)	7.0E-02	7.0E-02	7.0E-02	-	-
Vh1	1-st Snapback Holding Voltage (V)	2.3	43.3	43.3	-	-
ulh1	1-st Snapback Holding Current (mA/um)	2.0	0.4	0.1	-	-
Vtr2	2-nd Triggering Voltage (V)	-	46.3	57.8	61.4	70.8
ultr2	2-nd Triggering Current (mA/um)	-	1.0E+00	1.0E+00	2.0E+00	2.0E+00
Vh2	2-nd Snapback Holding Voltage (V)	-	37.5	46.7	52.7	58.3
ulh2	2-nd Snapback Holding Current (mA/um)	-	4.0	6.0	6.0	10.0
Vtb	Thermal Breakdown Voltage (V)	15.3	64.4	69.9	66.9	71.7
ultb	Thermal Breakdown Current (mA/um)	50.0	28.0	28.0	25.0	25.0
dRon	Average On-State Resistance ($\Omega \cdot \text{um}$)	271	1121	1055	747	893

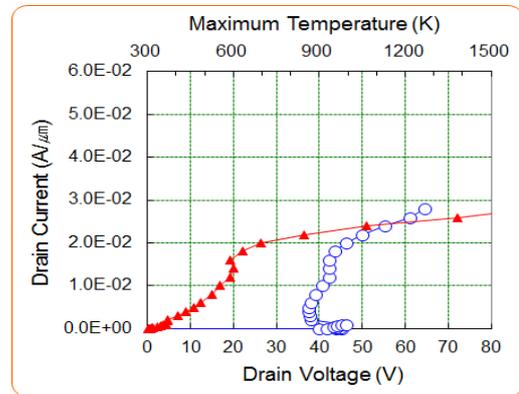
표 1은 본 논문에서 제안하는 변형소자들의 시뮬레이션 분석을 통해 추출한 I-V 특성 및 TLP 데이터를 비교한 것이다. NESCR_Std 표준소자의 경우, 표 1(a)열에 보인 바와 같이 매우 낮은 스냅백 홀딩 전압($V_h \approx 2.3V$)과 낮은 온-저항($R_{on} \approx 271 \Omega \cdot \text{um}$)을 나타내었다. 또한 스냅백 홀딩 전압(V_h)은 동작전압($V_{op} \approx 30V$)보다 훨씬 더 작은 값을 보였다. 이는 NESCR_Std 표준소자가 V_{di} 와 V_{ss} 사이에서 파워 클램프 ESD 보호소자로 사용될 때 정상적인 동작 동안 래치업에 매우 취약하게 됨을 의미하는 것이다.

2. NESCR_CPS 변형소자의 I-V특성

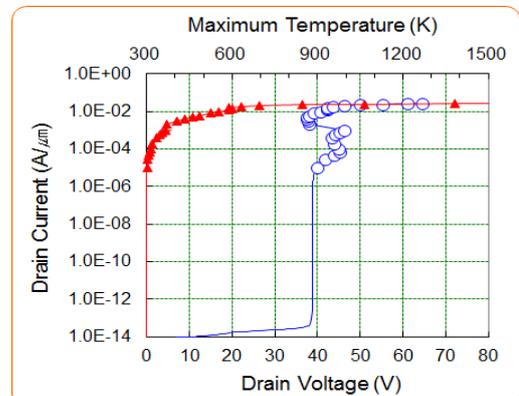
NESCR_Std 표준소자의 N+ 소오스 확산영역과 N-드립프트 영역 사이에 P형을 이온주입하여 채널차단(channel blocking) 영역을 형성하면 온-상태에서 소자의 전류의 흐름을 방해하기 때문에 온-저항이 증가하는 효과를 얻을 수 있을 것으로 예상된다. 표 1(b)에 보인 바와 같이 CPS 이온주입을 적용한 NESCR_CPS 소자는 누설전류가 NESCR 표준소자보다 약 10^3 배 정도 감소하는 경향을 나타내었으나, 애발란치 브레이크다운 전압($V_{av} \approx 38.7V$)은 큰 변화를 보이지 않았다. 하지만 더블 스냅백 현상이 나타났으며, 트리거링 전압($V_{tr1} \approx 45.1V$, $V_{tr2} \approx 46.3V$)은 다소 증가하였다. 열적 브레이크다운 전류는 약 40% 정도 감소하였지만, 열적 브레이크다운 전압($V_{tb} \approx 64.4V$)을 트리거링 전압 이상으로 증가시킬 수 있었다. 가장 뚜렷한 특성은 스냅백 홀딩 전압($V_{h1} \approx 43.3V$, $V_{h2} \approx 37.5V$)을 동작전압 이상으로 증가시킬 수 있기 때문에 래치업의 발생을 피할 수 있다는 것이다.

그림 4는 NESCR_CPS 변형소자의 I-V 특성을 나타낸 것으로 더블 스냅백 현상으로 첫 번째 트리거링 포인트와 두 번째 트리거링 포인트가 명확히 나타나고 있음을 알 수 있다. 앞서 설명한 것처럼 애발란치 브레이크다운 전압은 크게 증가하지 않았으나, 누설전류를 감소시킬 수 있었고, 스냅백 홀딩 전압을 동작전압 이상으로 증가시키고 열적 브레이크

다운 전압을 트리거링 전압 이상으로 증가시킬 수 있어 래치업의 발생을 억제할 수 있음을 알 수 있다. 즉, NESCR_CPS 변형소자에서는 추가된 CPS 이온주입의 영향으로 인해 고전류 영역에서 전류 흐름의 경로 상에 강한 고전계 영역이 존재하게 되므로 NESCR_Std 표준소자보다 더 높은 온-저항, 높은 스냅백 홀딩 전압, 높은 열적 브레이크다운 전압을 나타내게 되는 것이다.



On 상태 (고전류)



Off 상태 (누설전류)

그림 4. NESCR_CPS 변형소자의 전류-전압 특성

3. NESCR_CPS_PPW 변형소자의 I-V 특성

각기 다른 면적을 갖는 부분웰(PPW)을 적용한 NESCR_CPS_PPW 변형소자의 I-V 특성 및 TLP 데이터를 표 1에 나타내었다. CPS 이온주입을 적용한 상태에서 P-Well에 부분적인 이온주입을 실시하면 애발란치 브레이크다운 전압 ($V_{av} \approx 37V$)은 NESCR_CPS 변형소자보다는 대략 1V 정도 감소하였으나 거의 변화가 없다고 볼 수 있다. 일반적으로 P-Well 이온주입을 적용하는 면적이 축소될수록(MPR 구조에서 PGM 구조로 갈수록 PPW의 면적이 감소됨)

NESCR_CPS 변형소자에서 명확하게 나타났던 더블 스넵백 현상은 나타나지 않았다. 즉, 1차 트리거링 전압은 점차 감소하다가 사라지는 경향을 나타내었지만, 2차 트리거링 전압은 MPR 구조는 57.8V, PGR 구조는 61.4V, PGM 구조는 70.8V로 점점 증가하였다. 한편, 열적 브레이크다운 전압(V_{tb})도 MPR 구조는 69.9V, PGR 구조는 66.9V, PGM 구조는 71.7V로 동시에 증가하여 안정한 정전기보호를 위한 필요충분조건인 $V_{tr} \leq V_{tb}$ 를 만족시키는 결과를 보였다. 또한 2차 스넵백 홀딩 전압도 MPR 구조는 46.7V, PGR 구조는 52.7V, PGM 구조는 58.3V로 30V의 동작전압과 비교하여 볼 때 상

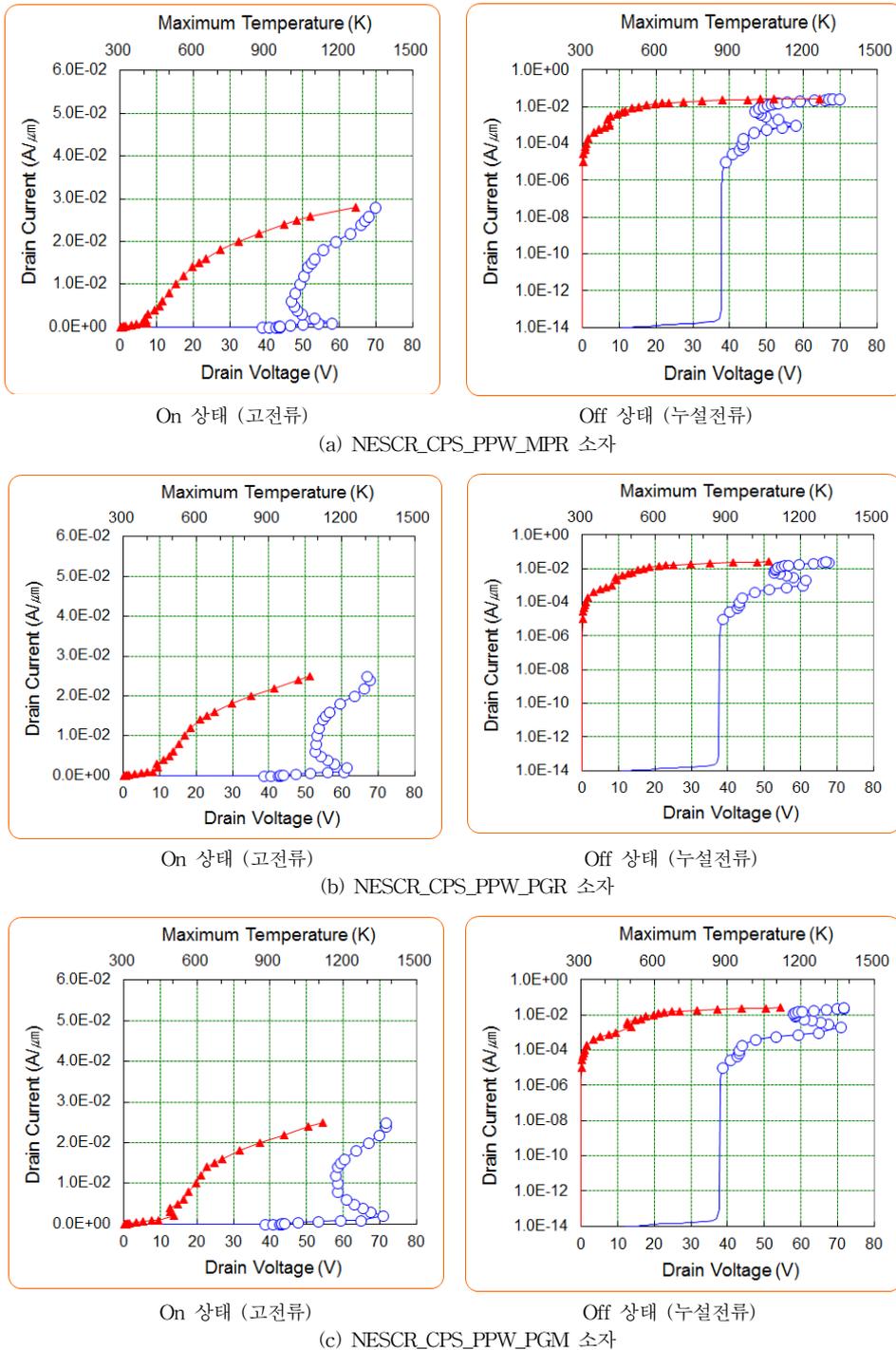


그림 5. 부분적인 P-Well을 갖는 NESCR_CPS_PPW 변형소자의 전류-전압 특성.

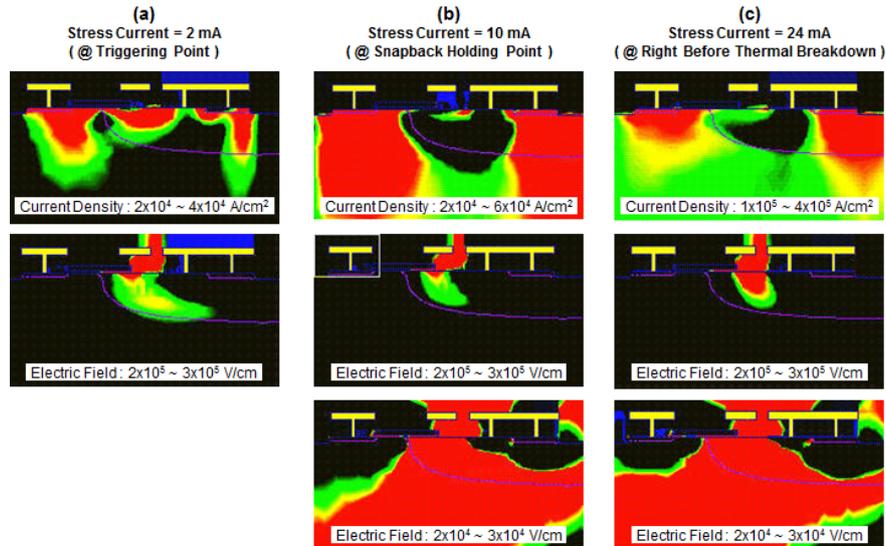


그림 6. 부분적인 P-Well을 갖는 NESCR_CPS_PPW_PGM 변형소자의 전류밀도 및 전계의 등고선 분포. (a) 트리거링 포인트에 해당. 스트레스 전류=2.0mA, (b) 스냅백 홀딩 포인트에 해당. 스트레스 전류=10.0mA, (c) 열적 브레이크다운이 일어나기 직전에 해당. 스트레스 전류=24mA.

당한 여유($V_{op} + \Delta V < V_{th}$)를 갖는 양호한 특성을 나타내어 안정한 정전기 보호를 위한 필요충분조건을 만족하고 있음을 알 수 있다.

P-Well 이온주입을 적용하는 면적은 열적 브레이크다운이 발생하기 직전의 고전류 영역에서의 온-저항에 영향을 크게 주는 것으로 나타났다. 특히, 고전류 영역에서의 온-저항값도 표 1에 보인 바와 같이 PPW 면적에 영향을 받았는데 NESCR_PPW_MPR 소자에서는 $1,055 \Omega \cdot \mu m$ 이었으나, NESCR_PPW_PGR 소자에서 $747 \Omega \cdot \mu m$ 로 최소값을 나타낸 후, NESCR_PPW_PGM 소자에서 $893 \Omega \cdot \mu m$ 로 다시 증가하였다. 이는 NESCR_CPS 변형소자에 비하면 다소 작지만, NESCR_Std 표준소자에 비하면 상당히 높은 값을 나타내어 래치업 발생을 억제할 수 있다.

그림 5는 본 연구에서 제안하는 각기 다른 PPW구조를 갖는 NESCR_CPS_PPW 변형소자의 I-V 특성을 비교한 것이다. 그림 5(c)에 보인 NESCR_CPS_PPW_PGM 소자의 경우 CPS 이온주입과 부분 웰(PPW) 이온주입의 영향으로 인해 NPN BJT 동작 상태의 온-저항이 다시 증가하였다. 그 결과 NPN BJT 동작 상태의 첫 번째 스냅백 홀딩 포인트는 매우 약하게 나타내거나 또는 스냅백 특성 자체가 사라짐을 볼 수 있다. 또한 첫 번째 스냅백 홀딩 포인트에서 PNP SCR 동작을 시작할 때까지의 전압강하가 급격하게 증가함을 볼 수 있다. 이상과 같은 원인으로 PGR, PGM 구조에서 더블 스냅백 현상이 사라진 것으로 예측할 수 있다. 이는 그림 6에 보인 전류밀도 및 전계의 등고선 분포에서 명확히 이해할 수 있으며 다음과 같이 요약할 수 있다. 전체 I-V 특성상에서는 첫 번째 트리거링 포인트는 감추어지고, 두 번째 트리거링 전압은 크게 증가하여 나타남을 알 수 있다.

그림 6은 NESCR_CPS_PPW_PGM 변형소자의 전류밀도

및 전계의 등고선 분포를 나타낸 것이다. 그림 6의 (a)는 스트레스 전류가 2mA인 트리거링 포인트로서 NPN BJT 동작에서 PNP SCR 동작으로 전이하는 단계이다. NESCR_CPS_PPW_PGM 소자에서의 트리거링 포인트는 NESCR_CPS 변형소자에서 나타나는 2차 트리거링 포인트에 해당한다. 고전계 영역은 N-Drift/P-Well 경계면을 따라 발생하지만, 수직 방향보다는 수평 방향의 전계가 더 강하게 남아있음을 볼 수 있다. NPN BJT 동작을 통해 흐르는 전류 경로 도중에 존재하는 수평 방향의 고전계 영역으로 인해 2차 트리거링 포인트 근처에서 애노드 대 캐소드 전압강하가 증가하는 것으로 판단된다. 그림 6의 (b)는 스트레스 전류가 10mA인 스냅백 홀딩 포인트로서 NESCR_CPS_PPW_PGM 소자의 스냅백 홀딩 포인트 근처에서의 전류 경로 및 고전계 영역의 형태는 NESCR_CPS 소자와 정성적으로 비슷한 결과를 나타내었다. 그림 6의 (c)는 스트레스 전류가 24mA인 열적 브레이크다운이 일어나기 전의 상태이며 NESCR_CPS_PPW_PGM 소자의 전류 경로 및 고전계 영역의 형태는 NESCR_CPS 소자와 정성적으로 유사하였다. 결론적으로 NESCR_CPS 소자와 NESCR_CPS_PPW_PGM 소자는 고전류 영역에서의 전류경로 및 고전계 영역의 분포에 있어서 정성적인 차이는 없는 것으로 판단된다. NESCR_CPS_PPW_PGM 소자의 애노드 대 캐소드 사이의 전압강하가 NESCR_CPS 소자의 애노드 대 캐소드 간의 전압강하에 비해 전반적으로 크게 나타나는 이유는 NESCR_CPS_PPW_PGM 소자는 고전류 영역에서의 수평 방향의 고전계가 상대적으로 더 강하게 남아 있고, 이로 인해 고전류 영역에서의 주전류 경로인 U-형의 PNP SCR 전류 경로가 깊이 방향으로 더 깊게 분포하여 전류경로가 더 길어지기 때문인 것으로 추정된다.

IV. 결론

본 논문에서는 기존의 NESCR_Std 표준 소자가 갖는 래치업 문제를 해결하기 위해 N+ 드레인 오른쪽에 P+ 확산층을 삽입하여 PNP SCR 구조를 만들고, P-well의 구조를 부분적으로 형성시킨 부분 웰(PPW)을 갖는 NESCR_CPS_PPW 변형소자의 정전기 특성이 연구되었다. PPW 이온주입 면적을 변화시켜가며 시뮬레이션한 결과 NESCR_CPS_PPW 변형소자는 기존의 NESCR_Std 표준소자보다 현저하게 큰 온-저항과 높은 스냅백 홀딩 전압을 나타내어 래치업을 피할 수 있는 구조임을 입증하였다. 본 연구에서 제시한 방법론은 DDDNMOS 구조를 근간으로 하는 고전압 동작용 정전기 보호소자들의 문제점을 극복할 수 있는 해결책이 될 가능성이 있다고 판단된다. 따라서 NESCR_CPS_PPW 구조의 변형소자를 위성체나 위성통신기에 사용되는 고전압용 마이크로 칩의 I/O 응용을 위한 정전기 보호소자로 사용될 수 있음을 확인하였다. 향후 다양한 기술에 대해 TLP TP(Test Pattern) 분석을 통해 본 소자에서 제시하는 방법론을 검증하고 실용화시키려는 시도가 필요할 것으로 생각된다.

참고 문헌

- [1] 임성빈, 김태윤, 장재웅, “저레도 위성의 ESD 설계 및 해석 도구”, 항공우주산업기술동향 제7권 제1호, pp.88-78, 2009.
- [2] 양준원, 서용진, “고전압용 LDI 칩의 정전기 보호를 위한 EDNMOS 소자의 특성 개선”, 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.
- [3] 양준원, 서용진, “CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선”, 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.03
- [4] 양준원, 김형호, 서용진, “DDIC 칩의 정전기 보호 소자로 적용되는 EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석”, 통신위성우주산업연구회논문지, 제8권 제2호, pp.36-43, 2013.06.
- [5] 양준원, 서용진, “N형 실리콘 제어 정류기 소자의 구조 변형을 통한 정전기 보호 성능의 향상에 대한 연구, 통신위성우주산업연구회논문지, 제8권 제4호, pp.124-129, 2013.12.
- [6] 서용진, 양준원, “DPS(Double Polarity Source) 구조를 갖는 고전압 동작용 EDNMOS 소자의 정전기 보호 성능 개선, 통신위성우주산업연구회논문지, 제9권 제2호, pp.12-17, 2014.06.
- [7] A. Chatterjee and T. Polgreen, “A low-voltage triggering SCR for on-chip ESD protection at output and input pads”, IEEE Electron Device Lett., 12(1), pp.21-21, 1991.
- [8] J. H. Lee, J. R. Shih, C. S. Tang, K. C. Liu, Y. H. Wu, R. Y. Shiue, T. C. Ong, Y. K. Peng, J. T. Yue, “Novel ESD protection structure with embedded SCR LDMOS for smart power technology”, in Proceedings of the IEEE 40th Annual International Reliability Physics Symposium, pp.156-161, 2002.

- [9] M. D. Ker, H. H. Chang and C. Y. Wu, “A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low-voltage CMOS IC’s”, IEEE J Solid-State Circuits, 32(1), pp.38-51, 1997
- [10] C. H. Lai, M. H. Liu, S. Su, T. C. Lu and S. Pan, “A novel gate-coupled SCR ESD protection structure with high latch-up immunity for high-speed I/O pad”, IEEE Electron Device Lett., 25(5), pp.328-330, 2004.
- [11] M. D. Ker, “Lateral SCR devices with low-voltage high-current triggering characteristics for output ESD protection in submicron CMOS technology”, IEEE Trans Electron Dev., 45(4), pp.849-860, 1998.
- [12] M. Mergens, C. Russ, K. Verhaege, J. Armer, P. Jozwiak and R. Mohn, “High holding current SCRs (HHI-SCR) for ESD protection and latch-up immune IC operation”, in Proceedings of the EOS/ESD Symposium, pp.14-21, 2002.
- [13] M. Streibl, K. Esmark, A. Sieck, W. Stadler, M. Wendel, J. Szatkowski and H. Gobner, “Harnessing the base-pushout effect for ESD protection in bipolar and BiCMOS technologies”, in Proceedings of the EOS/ESD Symposium, pp.73-82, 2002.

저자

양 준 원(Jun-Won Yang)



정회원
 · 1989년 2월 : 영남대학교 전자공학과 학사졸업
 · 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
 · 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
 · 1999년 3월 ~ 현재 : 세한대학교 컴퓨터교육과 부교수
 <관심분야> : 위성통신, 전자과 해석

서 용 진(Yong-Jin Seo)



정회원
 · 1987년 2월 : 중앙대학교 전기공학과 학사졸업
 · 1989년 2월 : 중앙대학교 전기공학과 석사졸업
 · 1994년 2월 : 중앙대학교 전기공학과 박사졸업
 · 1995년 3월 ~ 현재 : 세한대학교 교수
 · 2004년 3월 ~ 현재 : 세한대학교 나노정보소재연구소 소장
 <관심분야> : 반도체소자, 정전기보호소자, CMP공정