

## 개선된 LR-WPAN 시스템을 위한 시간 동기부 설계

# Design of Time Synchronizer for Advanced LR-WPAN Systems

박민철·이동찬·장수현·정윤호\*

한국항공대학교 항공전자 및 정보통신공학부

Mincheol Park · Dongchan Lee · Soohyun Jang · Yunho Jung\*

School of Electronics, Telecommunication and Computer Eng., Korea Aerospace University, Gyeonggi-do 412-791, Korea

### [요 약]

최근 다양한 센서를 활용하는 응용분야의 증가로, 가변전송률을 지원하는 무선 통신 시스템의 필요성이 증가하고 있다. 이를 위해 2.45 GHz 주파수 대역을 사용하는 IEEE 802.15.4 LR-WPAN 시스템이 보편적으로 활용되고 있으나, LR-WPAN 시스템은 250 kbps의 단일 전송률만을 지원하고 있어 다양한 센서 네트워크 시스템에 응용되기에는 한계가 존재한다. 따라서, 본 논문에서는 31.25 kbps, 62.5 kbps, 125 kbps의 가변 전송률을 지원할 수 있는 프리앰블 구조를 정의하고, 주파수 오프셋에 강인한 이중 상관 알고리즘을 기반으로 저복잡도 특성을 갖는 시간 동기부의 하드웨어 구조를 설계하였다. 제안된 시간 동기부는 18.36 K의 logic slices 및 4개의 DSP48s로 합성되었으며, 기존의 구조 대비 각각 79.1%와 99.4%의 감소를 보였다.

### [Abstract]

Recently, with the growth of various sensor applications, the need of wireless communication systems which can support variable data rate is increasing. IEEE 802.15.4 LR-WPAN system using 2.45 GHz frequency band is very popular for the sensor applications. However, since LR-WPAN only supports the data rate of 250 kbps, it has a limit to be applied to various sensor networks. Therefore, we define the preamble structure which can support the data rates of 31.25 kbps, 62.5 kbps, 125 kbps, and present the low-complexity hardware architecture for time synchronizer based on double-correlation algorithm which can resist the CFO (carrier frequency offset). Implementation results show that the proposed time synchronizer include the logic slice of 18.36 K and four DSP48s, which are reduced at the rate of 79.1% and 99.4%, respectively, compared with existing architecture.

**Key word** : Double-correlation, IEEE 802.15.4, LR-WPAN, Time synchronizer.

<http://dx.doi.org/10.12673/jant.2014.18.5.476>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 19 September 2014; Revised 23 October 2014

Accepted (Publication) 7 October 2014 (30 October 2014)

\*Corresponding Author; Yunho Jung

Tel: +82-2-300-0133

E-mail: yjung@kau.ac.kr

## 1. 서론

최근 인터넷 기술의 발전에 따라 언제 어디서나 인터넷을 통한 정보를 검색하고 이를 활용하여 새로운 정보를 제공하거나 응용하는 IoT (internet of thing) 기술시대가 도래하였다. IoT 기술은 실제 존재하는 사물 (physical things) 및 사이버 환경에 존재하는 가상의 사물(virtual things) 들이 인터넷을 통하여 연결되는 방법으로써, 물리공간과 가상공간의 사물들의 연동을 통하여 다양한 서비스를 제공할 수 있는 미래 인터넷 인프라 기술이다. 이러한 IoT 기술의 실현을 위해서는 모든 사물을 네트워크에 연결하는 것이 필수적인 과제이다 [1]. 따라서, 모든 물체들의 네트워크 구성을 위해 다양한 센서를 이용한 응용분야에 대한 수요가 크게 증가하고 있고, 관련 분야의 연구가 활발히 진행되고 있다.

IoT 기술을 위한 센서 네트워크에는 블루투스, WiFi 등 여러 가지 규격들이 존재 하지만, 그 중에서 복잡도가 낮고 에너지 소비가 적은 IEEE 802.15.4 LR-WPAN 규격이 관심을 받고 있다 [2]. 그러나, 규격은 2.45 GHz 대역에 대해 250 kbps의 단일 전송률만 규정하고 있어, 보다 넓은 통달 거리의 정보 수집을 필요로 하는 센서 네트워크 시스템의 응용에 한계가 있다. 따라서, 낮은 전송률을 지원하면서 보다 넓은 통달거리를 지원하는 개선된 LR-WPAN 시스템의 필요성이 커지고 있다 [3].

개선된 무선 통신 시스템을 위하여 규격에 정의된 250 kbps를 기준으로 125 kbps, 62.5 kbps 및 31.25 kbps의 저속 전송률 지원 시, 통달거리 증대를 위해서는 낮은 SNR (signal to noise ratio) 환경에서 시간 동기를 획득할 수 있어야 한다. 따라서, 프리앰블 심볼의 길이를 증가시켜 상관 특성을 향상시킴으로써 시간 동기 획득 성능을 향상시켜야 한다. 이를 위한 방법으로 동일한 프리앰블 심볼을 반복해서 전송하거나, 길이가 긴 새로운 PN 코드를 이용하여 전송할 수 있다. 하지만, 동일한 심볼을 반복하여 전송하는 경우, 시간 동기 획득 시 정확한 심볼 구간의 구분이 어렵게 되는 문제점이 있고, 길이가 긴 새로운 PN 코드 (pseudo random noise sequence)를 사용하면 코드의 생성 및 상관 연산을 위한 추가 블록을 필요로 하게 된다. 즉, 저속 전송률 지원에 따른, 시간 동기의 획득 성능은 향상시키면서 추가적인 블록이 필요 없는 새로운 프리앰블 전송 방법이 필요하게 된다. 따라서, 본 논문에서는 LR-WPAN 시스템의 보다 넓은 통달 거리를 필요로 하는 다양한 응용 분야에 적용 가능한 효율적인 프리앰블 전송구조를 제안하였다. 그리고, 제안된 프리앰블 전송구조를 기반으로 하면서, 최대  $\pm 80$  ppm (송/수신 각각  $\pm 40$  ppm, 196 kHz)의 큰 주파수 오차에 대응 가능한 이중 상관 방식 [4]의 시간 동기 알고리즘을 이용하였다. 또한, 하드웨어 구현 시, 복잡도 감소를 위해 상관 연산 결과의 실수부만 이용하고, 상관 연산의 참조신호가 상수라는 특징을 활용하여 연산부를 곱셈기 없이 설계하였다.

본 논문의 구성은 다음과 같다. 2장에서 IEEE 802.15.4 LR-WPAN 시스템에 정의된 물리계층 (physical layer)의 구성

및 수신신호 모델을 설명하고, 3장에서는 가변 전송률을 지원할 수 있는 프리앰블 전송구조 제안하였다. 4장에서는 주파수 오프셋에 강한 이중 상관방식의 시간 동기 알고리즘을 설명하고, 이에 따른 시간 동기 획득 성능평가 결과를 도시하였다. 5장에서는 가변 전송률을 지원하는 동기부의 하드웨어 구조 및 제안된 방법에 따른 감소되는 복잡도를 분석 하였다. 마지막으로 6장에서 본 논문의 결론을 맺는다.

## II. 시스템 모델

### 2-1 IEEE 802.15.4 LR-WPAN 시스템 PHY Layer 구성

2.45GHz 주파수 대역의 IEEE 802.15.4 LR-WPAN 표준 규격에 정의된 물리계층의 PPDU (physical layer protocol data unit) 구성은 그림 1과 같다. 수신 신호의 세기 조절 및 시간 동기의 획득을 위한 4 byte의 프리앰블 (preamble), 수신된 패킷의 시작 지점을 나타내는 1 byte의 SFD (start of fame delimiter), 패킷의 데이터부 (PSDU)의 길이정보를 포함하고 있는 PHR (physical layer header) 1 byte로 구성되어 있다. 마지막으로 송신기에서 사용자가 전송할 데이터를 포함하는 PSDU (physical layer service data unit)는 데이터의 정보량에 따라 0~127 byte의 길이로 가변 가능하도록 구성되어있다.

규격에 정의된 송신기 구조는 그림 2와 같이 나타낼 수 있다. 송신할 이진 데이터 4 bit을 하나의 데이터 심볼 (data symbol)로 매핑하고, 이 데이터 심볼을 DSSS (direct sequence spread spectrum) 방식을 이용하여 표 1에 정의된 16개의 칩 시퀀스 (spread chip sequences) 중 하나로 확산한다. 그리고, 확산된 칩 시퀀스의 홀수 칩과 짝수 칩을 각각 I-phase (in phase) 및 Q-phase (quadrature phase)로 나누고, Q-phase는 한 chip주기만큼 신호를 지연시키는 OQPSK (offset quadrature phase shift keying) 변조를 한다 [5]. OQPSK 변조된 신호는 HSF (half sine filter)을 통하여 pulse-shaping 후 전송된다.

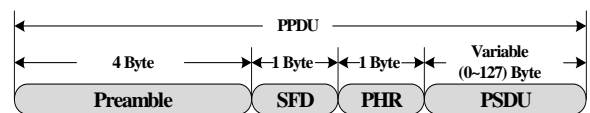


그림 1. LR-WPAN 시스템의 PPDU 구성  
Fig. 1. PPDU format of LR-WPAN systems.

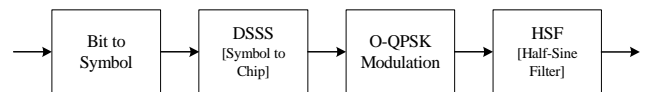


그림 2. LR-WPAN 시스템의 송신기 구조  
Fig. 2. Transmitter structure of LR-WPAN systems.

표 1. 데이터 심볼의 칩 매핑

Table 1. Chip mapping of data symbols.

Data symbol	Spread Chip Sequences (c0, c1, ..., c30 c31)
0	11011001110000110101001000101110
1	11101101100111000011010100100010
2	00101110110110011100001101010010
3	00100010111011011001110000110101
4	01010010001011101101100111000011
5	00110101001000101110110110011100
6	11000011010100100010111011011001
7	10011100001101010010001011101101
8	10001100100101100000011011110110
9	10111000110010010110000001110111
10	01111011100011001001011000000111
11	01110111101110001100100101100000
12	00000111011110111000110010010110
13	01100000011101111011100011001001
14	10010110000001110111101110001100
15	11001001011000000111011110111000

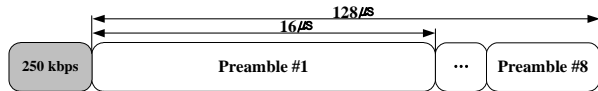


그림 3. LR-WPAN 시스템의 프리앰블 구조  
Fig. 3. Preamble structure of LR-WPAN systems.

2-2 IEEE 802.15.4 LR-WPAN 시스템의 프리앰블 구성 및 수신 신호 모델

그림 3은 IEEE 802.15.4 LR-WPAN 시스템의 250 kbps 기준 프리앰블 전송 구조를 나타낸다. 프리앰블은 총 8개의 심볼로 구성되며, 각각의 심볼은 표 1에 정의된 데이터 심볼 {0}이 확산된 칩 시퀀스로 구성된다. 송신기와 수신기 사이의 주파수 오차가 반영된 수신신호는 수식(1)와 같이 나타낼 수 있다.

$$r_x(n) = s_x(n)e^{j\omega_c n + \theta} + W(n) \tag{1}$$

여기서,  $r_x(n)$ 은  $n$ 번째 샘플의 수신신호,  $s_x(n)$ 은 변조된 송신 데이터의 심볼을 나타내고, 인덱스  $x$ 는 표 1에 정의된 16개의 심볼 중 하나를 나타내는 값으로 0~15이다.  $\omega_c$ 는 송신기와 수신기의 주파수 오차를 나타내며,  $\theta$ 는 초기 위상오차를 의미한다. 또한,  $W(n)$ 은  $n$  번째 샘플에 대한 AWGN (additive white gaussian noise)이다.

III. 제안된 프리앰블 전송 구조

3-1 250 kbps 기준 프리앰블 상관 특성

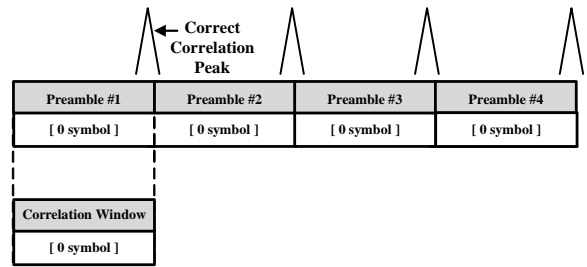


그림 4. 250 kbps 전송률을 지원하는 프리앰블 상관특성  
Fig. 4. Correlation property for the preamble that supports the data rate of 250 kbps.

수신부가 정확한 시간 동기를 획득하기 위해 프리앰블 심볼의 상관 연산 결과를 이용하게 되는데, 규격에 정의된 250 kbps의 전송률 지원 시 상관 특성은 그림 4와 같다. 상관 연산의 최대값 (correlation peak)은 상관기의 윈도우와 수신된 프리앰블 심볼이 정확하게 일치하는 지점에서 검출된다.

3-2 가변 전송률에 따른 프리앰블 전송 구조

서론에서 언급한 바와 같이, 프리앰블의 길이를 늘려 시간 동기 획득 성능의 향상을 위해서는 새로운 PN 코드를 이용하기 보다는 프리앰블 심볼의 반복을 이용하여 심볼 길이를 늘려야 한다. 하지만, 동일한 '0' 심볼을 반복하여 프리앰블 심볼 길이를 두 배로 증가시킨 경우는 그림 5와 같이 상관기의 윈도우가 첫 번째 프리앰블과 두 번째 프리앰블의 중간 지점에 위치하게 되었을 때, 상관 연산의 최대값이 발생하게 된다. 즉, 그림 5와 같이 심볼의 중간에 해당 하는 부분에서 상관 연산의 최대값이 검출 되므로 패킷의 시작점으로 간주되어, 정확한 시간 동기를 획득할 수 없게 된다. 따라서, 프리앰블 심볼의 길이를 늘려 시간 동기 획득 성능을 개선하면서, 단순히 동일한 프리앰블 심볼을 반복해서 전송하는 것이 아닌 새로운 프리앰블 전송 구조가 필요하다.

그림 6은 프리앰블 심볼 길이를 증가시켜 시간 동기 획득 성능을 향상시키기 위한 프리앰블 전송구조를 나타낸다. 각각의 프리앰블 심볼 p, q, r은 표 1에 정의된 16가지 데이터 심볼들 중

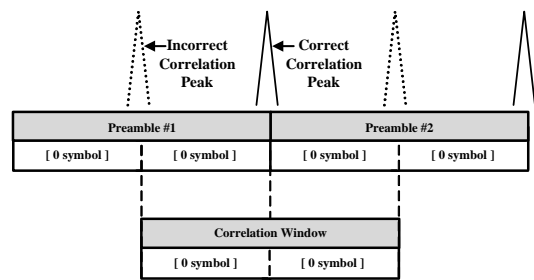


그림 5. 반복되는 프리앰블 심볼 전송에 대한 상관 특성  
Fig. 5. Correlation property for the transmission of the repeated preambles.

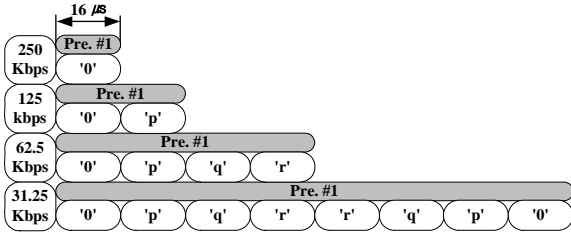


그림 6. 가변 전송률 지원을 위한 제안된 프리엠블 구조  
 Fig. 6. Proposed preamble structure for the support of variable data rate.

하나로 설정할 수 있다. 본 논문에서는 시간 동기를 획득할 수 있는 상관 연산의 특성은 유지하면서 사용되는 심볼 개수는 최소가 되도록 구성하였다. 또한, 가변 전송률 지원에 따른 상관기 블록을 최소화하기 위하여, 각각의 첫 번째 프리엠블 심볼은 {0} 심볼로 동일하게 설정하여 상관기 블록을 공유하도록 설계하였다. 즉, 규격에 정의된 250 kbps의 프리엠블 구조를 기준으로 125 kbps는 {0-p}를 한 심볼로 구성, 62.5 kbps는 {0-p-q-r}로 구성, 31.25 kbps는 {0-p-q-r-r-q-p-0}을 한 심볼로 구성하였다. 여기서, 31.25 kbps의 전송률 지원 시, 동일한 심볼 {r-r}이 전송되는 경우가 발생하지만, 프리엠블 심볼 길이가 증가함에 따라 상관 값 또한 커지기 때문에 문제가 발생하지 않는다.

#### IV. 시간 동기 획득 알고리즘 및 성능 평가

IEEE 802.15.4 LR-WPAN 시스템은 최대 ±80 ppm의 주파수 오차를 갖는데, 이러한 오차는 수신신호의 위상변화를 야기하게 된다. 따라서, 시간 동기부는 주파수 오프셋에 강인한 이중 상관 방식의 알고리즘을 이용하였다. 수식 전개 편의를 위하여 수식 (1)에서 AWGN 성분인  $W(n)$ 을 고려하지 않은 이중 상관 알고리즘은 수식 (2)와 같이 나타낼 수 있다.

$$\begin{aligned}
 C_{DC}(n) &= \sum_{n=0}^{N_S-1} r_l^*(n)r_l(n-N_C) \cdot s_m(n)s_m^*(n-N_C) \\
 &= \sum_{n=0}^{N_S-1} s_l^*(n)e^{-j\omega_c n + \theta} s_l(n-N_C)e^{j\omega_c(n-N_C) + \theta} \\
 &\quad \cdot s_m(n)s_m(n-N_C) \\
 &= e^{-j\omega_c N_C} \sum_{n=0}^{N_S-1} s_l^*(n)s_l(n-N_C) \cdot s_m(n)s_m^*(n-N_C) \\
 &= e^{-j\omega_c N_C} \sum_{n=N_C}^{N_S-1} Z_l(n) \cdot Z_{ref}(n) \tag{2}
 \end{aligned}$$

여기서,  $l$ 과  $m$ 은 그림 6에서 정의한 각각의 전송률에 해당하는 프리엠블 심볼 중 하나로써, 250 kbps는 0, 125 kbps는 1, 62.5 kbps는 2, 31.25 kbps는 3을 나타낸다. 또한, 샘플 수 ( $N_S$ )는 4배 over-sampling한 시스템이므로 가변 전송률에 따라서

128 ~ 1024 개를 갖는다. 위 식에서, 주파수 오차의 영향을 최소화하기 위하여 수신신호  $r_l(n)$ 을  $N_C$ 개 샘플만큼 지연시킨  $r_l(n-N_C)$ 와 켄레 곱 연산을 한다. 여기에 미리 알고 있는 프리엠블 심볼  $s_m(n)$ 과  $N_C$ 개 샘플 지연시킨 신호  $s_m(n-N_C)$ 의 켄레 곱한 신호를 곱하여 상관 특성을 얻을 수 있다. 여기서, 지연 샘플 수 ( $N_C$ )는 한 칩의 샘플 수 4로 설정하였다. 수신신호  $r_l(n)$ 은 수식 (1)과 같이 송신신호  $s_l(n)$ 에 위상 변화가 지수함수로 반영된 식이므로 나타낼 수 있고, 주파수 오프셋의 영향을 확인하기 위하여  $s_l^*(n)s_l(n-N_C)$ 을  $Z_l(n)$ ,  $s_m^*(n)s_m(n-N_C)$ 을  $Z_{ref}(n)$ 로 치환하면 결과 식을 얻을 수 있다. 수식 (2)를 보면 수신 신호의 켄레 곱 연산을 통해, 초기 위상 오차  $\theta$ 는 소거되고, 주파수 오프셋의 영향이 상수항인  $e^{-j\omega_c N_C}$ 으로 정리되므로 위상변화가 최소화됨을 확인할 수 있다. 또한, 수신 신호의 심볼 인덱스  $l$ 과 참조 신호 심볼 인덱스  $m$ 이 동일할 때, 상관연산 결과 최대값을 얻을 수 있으므로 정확한 패킷 검출을 할 수 있다.

시간 동기 성능은 복조부가 정확한 데이터를 복원할 수 있도록 패킷의 시작 지점을 얼마나 정확하게 획득할 수 있는지에 달려있다. 따라서, 프리엠블 구간 내에서 동일한 지점에 대해 연속된 두 번의 피크를 확인 가능할 경우를 시간 동기 성공으로 판단하였으며, 잘못된 패킷의 시작 지점을 찾는 경우와 패킷을 검출하지 못하는 경우를 시간 동기 획득 실패로 간주하였다. 시간 동기 알고리즘의 성능평가는 AWGN 채널, 최대 주파수 오프셋 최대 ±80 ppm을 갖는 환경에서 50,000 패킷에 대하여 수행되었다. 그림 7은 제안한 프리엠블 전송구조를 이용한 시간 동기부의 가변 전송률 지원에 따른 시간 동기 획득 성능을 나타낸다.

그림 7에서 보듯이, 가변 전송률을 지원에 따른 제안된 동기부의 시간 동기 획득 성능은 250 kbps를 기준으로, SNR -1 dB에서 1%를 나타내고 있고, 가변 전송률 지원에 따른 프리엠블

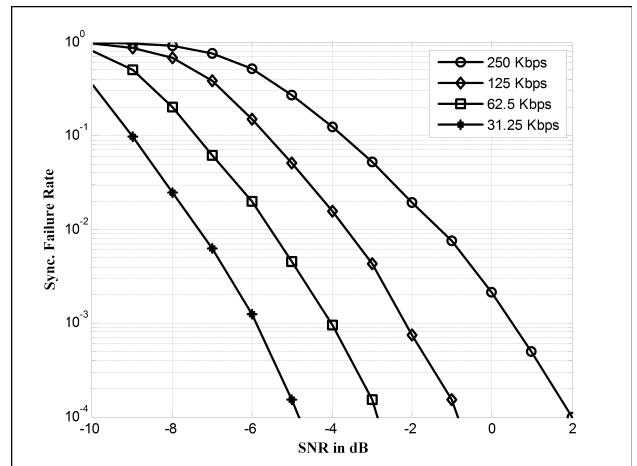


그림 7. 가변 전송률 지원에 대한 시간 동기 획득 성능  
 Fig. 7. Detection probability of time synchronizer for various data rates.

심볼 길이의 증가로 전송모드별로 각각 2 dB의 성능 이득을 얻을 수 있다. 따라서 낮은 SNR 환경에서 우수한 시간 동기 획득 성능을 나타내므로 통달거리 증대를 기대할 수 있다.

### V. 시간 동기부 하드웨어 구조 설계

시간 동기 획득을 위해 사용되는 이중 상관 연산 결과는 복소수 값으로써 실수부와 허수부를 갖는데, 크기를 비교하기 위해서는 제곱 연산이 필요하다. 또한, 가변 전송률 지원에 따른 상관기 윈도우 크기 증가에 따라 많은 수의 곱셈기와 덧셈기가 요구 되므로, 하드웨어 복잡도 증가는 불가피하다. 따라서, 시간 동기부의 하드웨어 복잡도의 최소화를 위하여, 수식 (2)의 상관 연산 결과의 실수부인  $Re[C_{DC}(n)]$  만 이용한다. 그림 8은 이중 상관 방식 시간 동기부의 실수 값만 이용하였을 때의 상관기의 블록도를 나타낸다.

[6]에서처럼 이중 상관 연산의 참조신호  $Z_{ref}(n)$ 는 미리 알고 있는 프리앰블 신호에 대한 연산결과로, 2배 over-sampling의 경우  $\{1, -1, i, -i\}$ 의 4가지의 중 하나의 값을 갖게 되고, 이는 단순한 부호 반전 및 실수항, 허수항 간의 교환 연산에 해당하므로 곱셈기 없는 구현이 가능하다. 본 논문에서는 시간 동기 오차 발생에 따른 복조부 성능에 미치는 영향을 고려하여 4배 over-sampling을 고려하였고, 이 경우에 대한 참조신호 값은 표 2와 같이 5가지 종류를 갖는다.

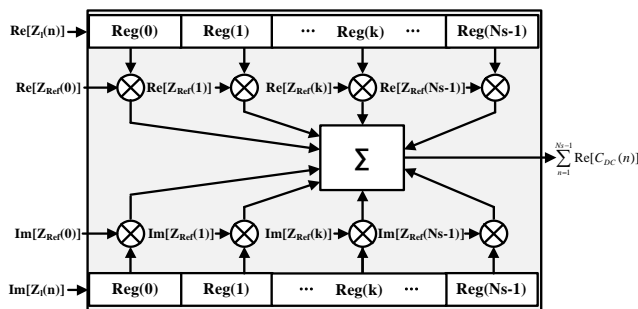


그림 8. 실수항을 이용하는 상관기 구조  
 Fig. 8. Architecture for correlation operator using real term.

표 2. 4배 over-sampling에 따른 참조신호  
 Table 2. Reference signal for 4x over-sampling.

참조신호 $Z_{ref}(n)$		
Type	Real term	Imaginary term
Case 1	1	0
Case 2	0	1
Case 3	0	-1
Case 4	$\sqrt{1/2}$	$\sqrt{1/2}$
Case 5	$\sqrt{1/2}$	$-\sqrt{1/2}$

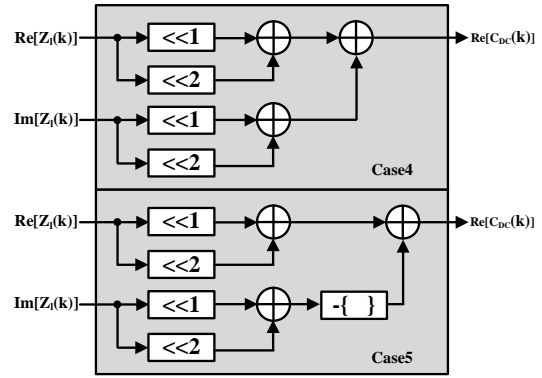


그림 9. 상관기 곱셈연산의 간략화 구조  
 Fig. 9. Simplified architecture for multiplication of correlation.

표 2의 결과를 보면 Case 1, Case 2는 별도의 연산이 필요 없고, Case 3은 부호 반전으로 상관 값을 얻을 수 있다. 또한, Case 4, Case 5의 경우는 상수 값이므로, 그림 9와 같이 상관연산에 필요한 곱셈연산을 소수점의 shift와 adder를 이용하여 구현하였다.

제안된 시간 동기부의 성능 평가는 AWGN 채널, 최대 주파수 오프셋 최대  $\pm 80$  ppm을 갖는 환경에서 50,000 패킷에 대하여 수행되었으며 그림 10과 같다. 이중 상관 연산 결과의 실수 값만 이용하였을 경우는 복소수를 이용하였을 경우에 비하여 0.3 dB의 성능 열화를 보이고, 여기에 상관기를 shift와 adder로 곱셈기를 사용하지 않은 방법을 사용하였을 경우는 0.35 dB의 성능 열화를 보임을 확인할 수 있다. 즉, 제안된 시간 동기부의 경우 상관 값의 복소수를 사용하는 이상적인 성능에 비해 0.35 dB의 성능 감소를 보이지만, 하드웨어 구현 결과 복잡도를 크게 감소시킬 수 있다.

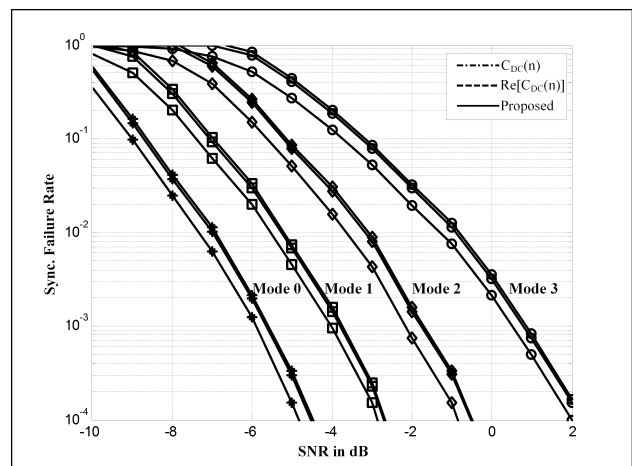


그림 10. 제안된 시간 동기부 성능  
 Fig. 10. Detection probability of the proposed time synchronizer.



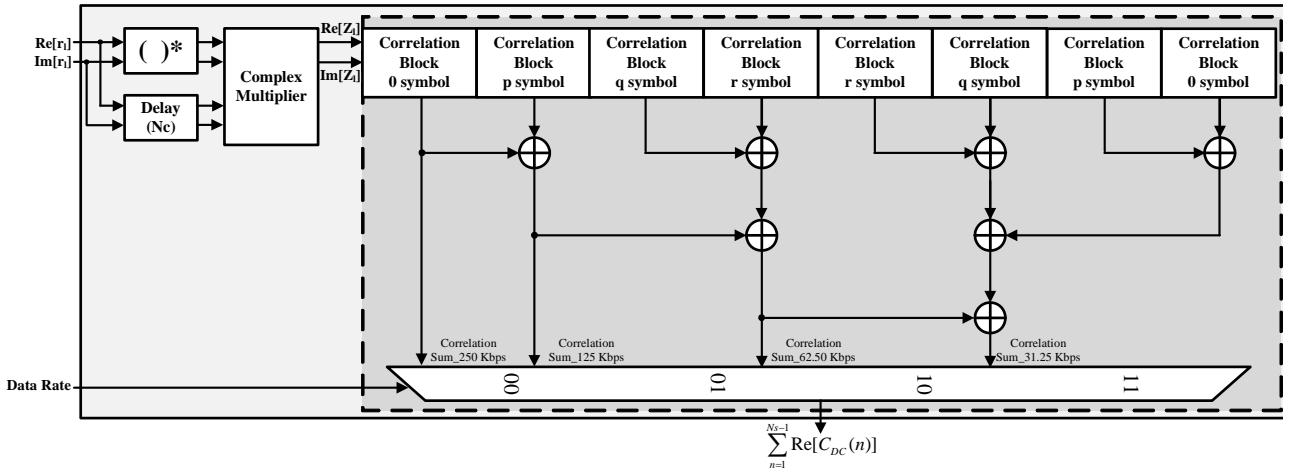


그림 11. 제안된 동기부 하드웨어 구조

Fig. 11. Block Diagram of hardware structure for the proposed synchronizer.

표 3. 제안된 시간 동기부의 복잡도 비교

Table 3. Complexity comparison of proposed time synchronizer.

	FPGA logic Slices		DSP48s	
	No.	Reduction	No.	Reduction
Conventional Scheme	87.69 K	-	480	-
Proposed Scheme	18.36 K	79.1%	4	99.4%

그림 11은 제안된 시간 동기부의 하드웨어 구조를 나타낸다. 그림에서 보듯이, 가변 전송률을 지원함에 따라 사용하는 상관 블록 (correlation block)의 수는 1개에서 최대 8개 까지 가능하게 구성되었다. 제안된 시간 동기부는 Verilog-HDL을 이용하여 설계 후, Xilinx 기반 Virtex6-130T FPGA device에서 구현 및 검증하였다. FPGA 보드에 구현 결과 표 3과 같이, 제안된 시간 동기부는 총 18.36 K개의 logic slices로 구현됨을 확인할 수 있고, 일반적인 방법에 비하여 79.1%의 감소된 FPGA logic slices 와 99.4% 감소된 DSP48s (dedicated multiplier)로 구현 가능함을 확인하였다.

## VI. 결론

본 논문에서는 IEEE 802.15.4 LR-WPAN 시스템의 가변 전송률을 지원을 위한 효율적인 프리앰블 전송방법이 제안되었고, 주파수 오프셋에 강인한 이중상관 방식을 이용하여 구현된 시간 동기부의 설계 결과가 제시되었다. 설계된 시간 동기부는 상관기를 곱셈기 없이 설계하여, 가변 전송률 지원함에 따라 증가하는 하드웨어 복잡도의 증가를 최소화 하였다. 설계된 시간 동기부는 FPGA 기반 실시간 검증되었으며, 분석 결과 기존 구

조 대비 79.1%의 logic slice 및 99.4%의 DSP48s로 감소 가능함이 확인되었다.

## 감사의 글

본 연구는 산업통상자원부 및 한국산업기술평가 관리원의 산업원천기술 개발 사업 (10049009)의 일환으로 수행되었으며, 본 논문의 제 2저자는 해양수산부 해양시설과 “해양 교통 전문 인력 양성사업 (GNSS 부분)”의 지원을 받고 있음.

## 참고문헌

- [1] Jong-Am Jun, “IoT device product and trend of technology,” *Korea Institute of Communications and Information Sciences*, Vol. 31, No. 4, pp. 44-52, Mar. 2014.
- [2] IEEE Std.802.15.4, IEEE Standard for wireless medium access control and physical layer specifications for low-rate wireless personal area networks, Sep. 2006.
- [3] D. C. Lee, S. H. Jang and Y. H. Jung, “Design of non-coherent demodulator for LR-WPAN system,” *The Journal of Korea Navigation Institute*, Vol. 17, No. 6, pp. 705-711, Dec. 2013.
- [4] Z. Y. Choi and Y. H. Lee, “Frame synchronization in the presence of frequency offset,” *IEEE Transaction on Communication*, Vol. 50, No. 7, pp. 1062-1065, July 2002.
- [5] J. G. Proakis, *Digital Communications*, 4th ed., New York, McGraw-Hill Inc, 1995.
- [6] D. Park, S. Park, and K. Lee, “Simple design of detector in the presence of frequency offset for IEEE 802.15.4 LR-WPANs,” *IEEE Trans. Circuit and systems II*, Vol. 56, No. 4, pp.

330-334, April 2009.



**박민철 (Mincheol Park)**

2013년 8월 : 한국항공대학교 항공전자공학과(공학사)  
2013년 9월~현재 : 한국항공대학교 항공전자공학과 석사과정  
※관심분야 : 무선 통신 시스템, 항공통신 시스템, VLSI 신호처리, 모뎀 SoC



**이동찬 (Dongchan Lee)**

2013년 2월 : 한국항공대학교 항공전자공학과(공학사)  
2013년 3월~현재 : 한국항공대학교 항공전자공학과 석사과정  
※관심분야 : 무선 통신 시스템, 항공통신 시스템, VLSI 신호처리, 모뎀 SoC



**장수현 (Soohyun Jang)**

2009년 2월 : 한국항공대학교 항공전자공학과(공학사)  
2011년 2월 : 한국항공대학교 항공전자공학과(공학석사)  
2011년 3월~현재 : 한국항공대학교 항공전자공학과 박사과정  
※관심분야 : 무선 통신 시스템, 항공통신 시스템, VLSI 신호처리, 모뎀 SoC



**정운호 (Yunho Jung)**

1998년 2월 : 연세대학교 전자공학과(공학사) , 2000년 2월 : 연세대학교 전기전자공학과 (공학석사)  
2005년 2월 : 연세대학교 전기전자공학과 (공학박사)  
2005년 ~ 2007년 : 삼성전자 책임연구원, 2007년 ~ 2008년 : 연세대학교 연구교수  
2008년 ~ 현재 : 한국항공대학교 부교수  
※관심분야 : 무선 통신 시스템, 항공통신 시스템, VLSI 신호처리, 모뎀 SoC