

0.18 μm CMOS 공정을 이용한 실리콘 뉴런 회로 설계

Design of a Silicon Neuron Circuit using a 0.18 μm CMOS Process

한예지* · 지성현* · 양희성* · 이수현* · 송한정*[†]

Ye-Ji Han, Sung-Hyun Ji, Hee-Sung Yang, Soo-Hyun Lee, and Han-Jung Song[†]

*인제대학교 나노공학부

[†] Nano Engineering, Inje University

요 약

생물학적 신경 세포의 모델링을 위한 펄스타입 실리콘 뉴런 회로를 0.18 μm CMOS 공정을 이용하여 반도체 집적회로로 설계하였다. 제안하는 뉴런 회로는 입력 전류신호를 위한 커패시터 입력단과, 출력 전압신호 생성을 위한 증폭단 및 펄스신호 초기화를 위한 MOS 스위치로 구성된다. 전압신호 입력을 전류신호 출력으로 변환하는 기능의 시냅스 회로는 몇 개의 PMOS와 NMOS 트랜지스터로 이루어지는 범프회로를 사용한다. 제안하는 뉴런 모델의 검증을 위하여, 2개의 뉴런과 시냅스가 직렬연결된 뉴런체인을 구성하여 SPICE 모의실험을 실시하였다. 모의실험 결과, 뉴런신호의 생성과 시냅스 전달특성의 정상적인 동작을 확인하였다.

키워드 : 실리콘 뉴런, 시냅스, CMOS, SPICE 모의실험, 반도체 집적회로

Abstract

Using 0.18 μm CMOS process silicon neuron circuit of the pulse type for modeling biological neurons, were designed in the semiconductor integrated circuit. Neuron circuit providing is formed by MOS switch for initializing the input terminal of the capacitor to the input current signal, a pulse signal and an amplifier stage for generating an output voltage signal. Synapse circuit that can convert the current signal output of the input voltage signal, using a bump circuit consisting of NMOS transistors and PMOS few. Configure a chain of neurons for verification of the neuron model that provides synaptic neurons and two are connected in series, were performed SPICE simulation. Result of simulation, it was confirmed the normal operation of the synaptic transmission characteristics of the signal generation of nerve cells.

Key Words : Silicon neuron, Synapse, CMOS, SPICE simulation, Semiconductor integrated circuit

1. 서 론

1943년, 맥컬러크와 피츠가 시불변(time-invariant) 뉴런 모델을 제안한 이래, 인공뉴런 회로망에 대한 많은 연구가 이루어져 왔다. 이러한 연구들은 이미지프로세싱, 음성인식 및 최적화 문제 등 다양한 응용 분야에서 이루어져 왔다

접수일자: 2014년 3월 9일

심사(수정)일자: 2014년 4월 1일

게재확정일자: 2014년 8월 22일

[†] Corresponding author

본 논문은 IDEC(IC Design Education Center)의 설계들을 사용하여 2013년도 정부의 재원으로 한국과학창의재단(대학생 창의 융합형 연구과제 지원 사업) 및 정부(교육부) 재원으로 한 국연구재단의 기초연구사업 지원을 받아 수행된 것임 (2011-0011698).

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

[1]. 그러나 대부분의 신경회로망은 실제 뉴런의 시변(time-varying) 응답과 시냅스를 통한 신호 전달 특성 등을 포함하는 등의 복잡한 특성을 제대로 반영하지 못하는 한계가 있어왔다. 1952년에 호지킨의 시간변화를 포함하는 뉴런의 등가모델이 발표되었고, 이러한 모델은 실제 뉴런의 전기적 특성을 모델화 하는 첫 시도라 할 수 있다 [2-3]. 이러한 시변 뉴런 모델들은, 어떤 외부의 흥분성 자극이 주어질 경우, 일정한 펄스 열을 나타내는 발화성 오실레이터의 특성을 지니고 있으며, 이러한 진동성 뉴런들이 신경망의 연산기능을 수행하는 것으로 밝혀진 바 있다 [4-5]. 이러한 시변 발화형 오실레이터를 기본 요소로 하는 모델들은 복잡한 뇌의 연상기억 및 연산능력을 위한 국부 진동으로 이루어지는 신경망을 제안한다는 점을 공통된 특징으로 들 수 있다. 이와 같은 일련의 신경망 회로의 기본 요소가 되는 뉴런모델에 대한 전자회로에 의한 하드웨어 구현에 대한 다양한 시도 및 연구가 있어왔다. 히스테리시스(hysteresis) 현상을 이용한 회로라든지, CMOS (complementary metal oxide semiconductor) 인버터 체인을 응용한 회로 또는 트랜스콘덕터와 연산증폭기로 구성하는 회로 등이 그 대표적인 예이다 [6-10]. 그러나 아직까지는 초보적 차원으로, 뉴런신호의 크기, 주파수 범위, 신호의 비선형성 등, 실제 뉴런과 많은

차이가 있는 것이 사실이다. 또한, 이러한 인공 뉴런 회로로 이루어지는 시스템 차원의 신경망 구현에는 여전히 많은 연구가 있어야 할 것으로 사료된다. 본 연구에서는 신경회로망 시스템을 위한 뉴런 모델을, CMOS 반도체 트랜지스터로 이루어지는 실리콘 뉴런을 설계하고, 시냅스 회로를 연결하여 회로설계 프로그램인 SPICE (simulation program with integrated circuit emphasis) 모의실험결과를 살펴본다. 2장에서 반도체 트랜지스터 집적회로로 이루어지는 펄스타입 발화형 실리콘 뉴런모델을 제안하고 그 전기적 특성을 본다. 3장에서 제안하는 실리콘 뉴런을 전압-전류 변환기능의 시냅스 회로로 연결하여 신호전달 특성을 살펴보고 4장에서 결론을 맺는다.

2. 실리콘 뉴런 모델의 집적회로 설계

생물학적 뉴런은 그림 1에 보이듯이, 주위로부터 입력신호를 받아들이고 취합하는 세포체 (cell body)와 활동전위를 전달하는 축색돌기 (axon) 및 뉴런을 연결하는 시냅스 (synapse) 등으로 구성된다 [11].

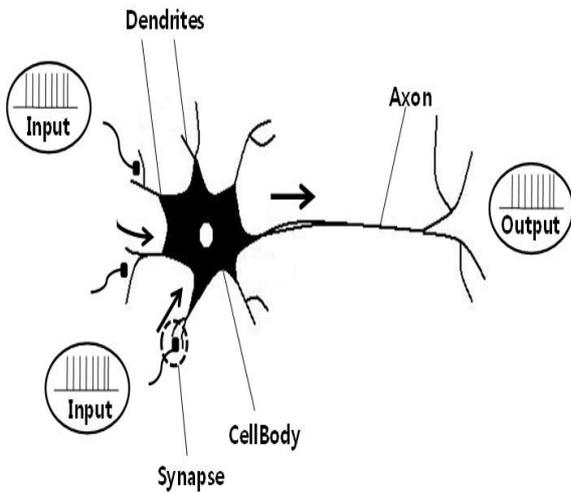


그림 1. 뉴런의 구조.
Fig. 1. Structure of neuron [11].

그림 2는 일정한 임계 전류 신호에서 출력신호가 나타나는 발화형 실리콘 모델이다 [11]. 1980년대 Mead가 제안한 회로모델로, 입력단 신호취합으로 막 전위를 형성하는 커패시터 C_{mem} , 출력신호 귀환을 위한 귀환 커패시터 C_{fb} 와 제어 전압 V_{PW} 로 조절되는, 출력신호 초기화를 위한 MOS 트랜지스터 스위치 및 전압이득을 지닌 증폭기 A 등으로 이루어진다. 실제 신경세포의 모델화를 위한, 실리콘 뉴런 회로는 외부의 일정한 자극이 전류로써 주어질 때, 일정시간동안 입력 커패시터에 전하가 축적되고 축적된 전하가 임계값을 넘게 되면 펄스전압으로 출력되게 된다. 출력된 전압 신호는 다시 시냅스의 입력이 되며 전류신호를 출력하게 되며, 다른 뉴런 입력단으로 연결된다 [11]. 생체 신경세포의 출력은 수십 mV의 전압 펄스 형태이며, 수백 Hz 이내의 낮은 저주파 성분을 지닌다.

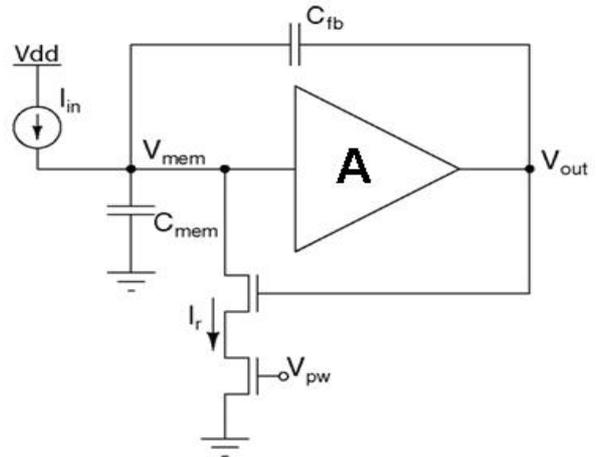


그림 2. Mead 발화형 실리콘 뉴런 모델
Fig. 2. Mead's firing silicon neuron model [11]

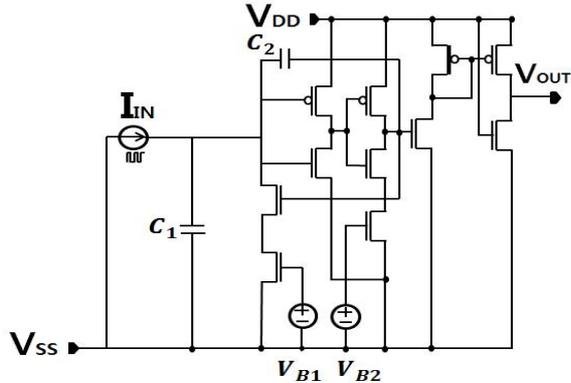
본 논문에서는 이러한 Mead의 발화형 실리콘 뉴런 모델을 바탕으로 하여, 실제 신경세포 신호특성의 저전압, 저주파수 특성을 고려한 회로를 구현하였다. 제안하는 회로에 대하여 0.18 μ m CMOS 파라미터를 가지고 SPICE 모의실험을 실시하여 뉴런모델의 특성을 파악하였다. 표 1에 본 논문에서 사용한 0.18 μ m CMOS 공정의 주요 SPICE 파라미터를 요약하였다.

표 1. 0.18 μ m CMOS 공정의 주요 SPICE 파라미터
Table 1. SPICE parameters of the 0.18 μ m CMOS process.

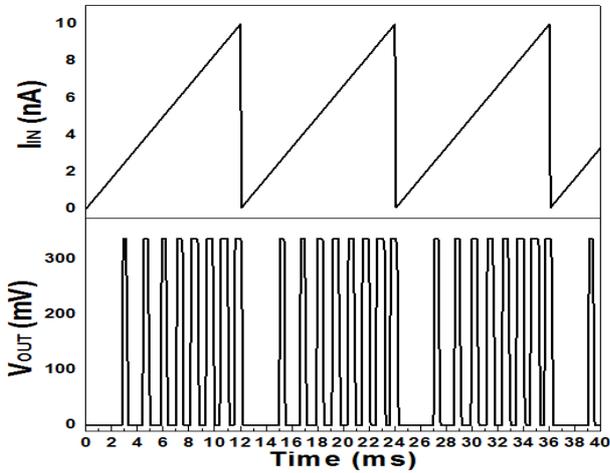
Parameters	Units	Devices (transistors)	
		NMOS	PMOS
VTO	V	0.88	-0.8
TOX	nm	6.7	7.0
Xj	μ m	0.17	0.19
UO	$cm^2/V-S$	232	44.363
MJSW	-	6.0591E-2	1.0090E-01
JS	A/m ²	2.0869E-7	1.71E-7
MJ	-	3.5418E-1	2.7740E-1

그림 3은 제안하는 실리콘 뉴런모델의 회로도 및 SPICE 모의실험결과를 나타낸다. 그림 3(a)에 보이듯이, 제안하는 회로는 CMOS 반도체 집적회로로 이루어진다. 뉴런의 입력신호를 취합하여 막전위를 형성하는 커패시터 C_1 과 귀환 커패시터 C_2 , 저전압 신호를 얻기 위한 2개의 인버터단 및 전류미러로 이루어지는 증폭기 등으로 구성된다. 사용전압 V_{DD} 는 5 V, $C_1 = C_2 = 1$ pF, 바이어스 전압 $V_{B1} = 580$ mV, $V_{B2} = 800$ mV 로 설정하였다. 제안하는 회로에 대하여 SPICE 프로그램을 통하여 시간과형 해석을 실시하였다. 제안하는 실리콘 뉴런은, 그림 3(b)에서 알 수 있듯이, 입력 신호 전류로서, 10 nA 피크의 삼각파를 사용하였다. 입

력 전류가 3 nA의 임계 값을 넘을 때, 300 mV의 전압 뉴런 출력신호가 발화됨을 알 수 있고, 입력전류의 크기가 증가하면서, 뉴런 출력신호의 주파수가 증가함을 보여준다.



(a) schematic of the silicon neuron



(b) SPICE transient result

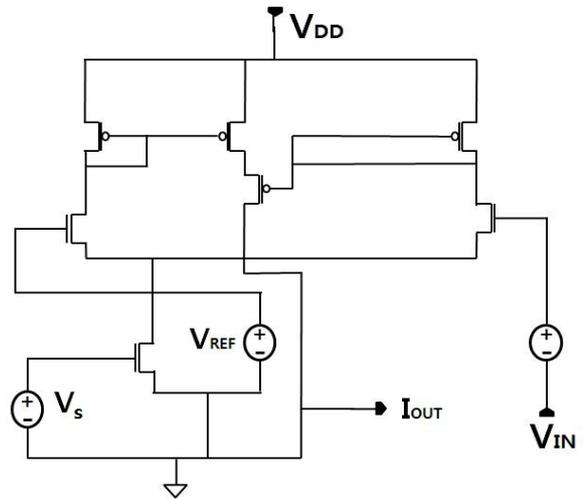
그림 3. 제안하는 실리콘 뉴런 회로
Fig. 3. Proposed silicon neuron circuit

제안하는 실리콘 뉴런 회로에 사용된 PMOS 트랜지스터와 NMOS 트랜지스터의 크기 등을 표 2에 나타내었다.

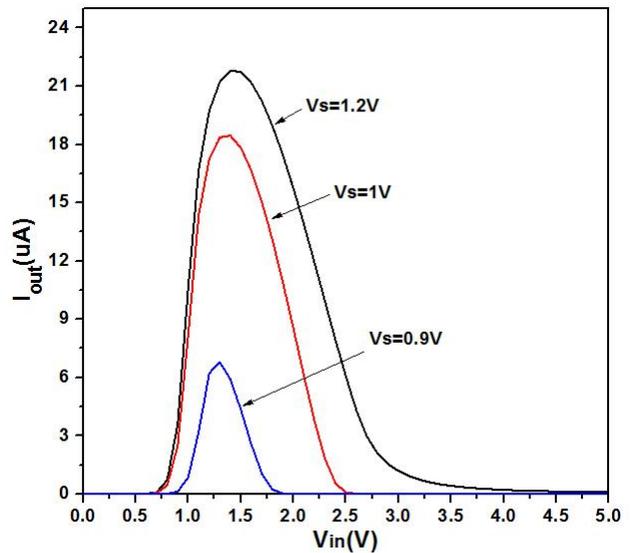
표 2. 실리콘 뉴런과 시냅스 회로 요약
Table 2. Summary of the silicon neuron & Synapse

Circuit	Device	Size (width/length)	Condition
Silicon neuron	PMOS	10 $\mu\text{m}/2\mu\text{m}$	$V_{DD}=5\text{V}$ $I_{IN}=10\text{nA}$
	NMOS	10 $\mu\text{m}/2\mu\text{m}$	$V_{B1}=580\text{mV}$
	C_1, C_2	1 pF	$V_{B2}=800\text{mV}$
Synapse	PMOS	10 $\mu\text{m}/2\mu\text{m}$	$V_S=1\text{V}$
	NMOS	3 $\mu\text{m}/2\mu\text{m}$	$V_{REF}=1.5\text{V}$

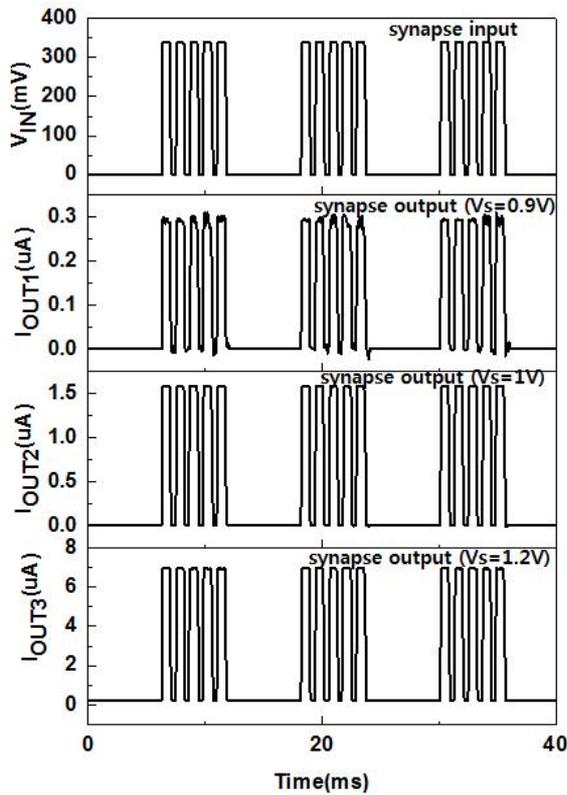
뉴런은 시냅스를 통하여 상호 연결된다. 본 논문에서는, 제안하는 실리콘 뉴런의 연결 시냅스로서, 전압-전류 변환 기능의 회로를 사용하였다. 이러한 시냅스는 뉴런의 출력으로 나오는 전압파형을 전류파형으로 변환시켜 또 다른 뉴런의 입력으로 들어가게 된다. 그림 4에 시냅스 회로도 및 SPICE 모의실험결과를 나타내었다. 그림 4(a)에서 보듯이, 시냅스 모델은 몇 개의 NMOS 및 PMOS 트랜지스터로 이루어지며, 바이어스 전압 V_S 에 따라서, 시냅스 가중치 조절이 가능하도록 하였다. 그림 4(b)에 시냅스 가중치 변수 전압 V_S 에 따라, 입력전압에 따른 출력전류의 DC 특성을 나타낸다. 그림 4(c)는 시냅스 입력으로, 뉴런의 전압 출력신호를 사용하고, 가중치 변수 전압 V_S 값이 증가할수록 시냅스 출력전류의 진폭이 증가함을 알 수 있다. 표 1에 시냅스 회로에 사용된 소자 크기를 정리하여 나타내었다.



(a) schematic of the synapse circuit



(b) V-I (input voltage-output current) curves of the synapse according to the variable voltage V_S

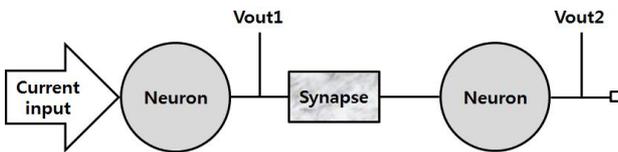


(c) transient analysis of the synapse according to the variable voltage V_s

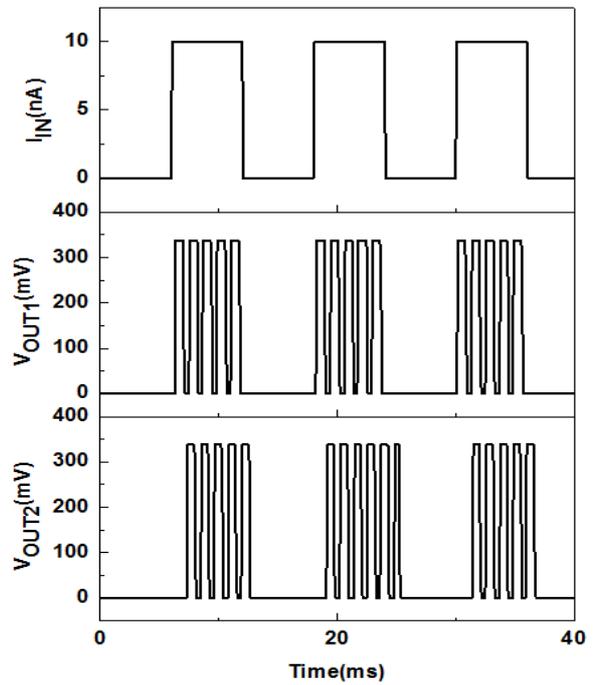
그림 4. 실리콘 뉴런을 위한 시냅스 회로
Fig. 4. Synapse circuit for a silicon neuron.

3. 시냅스 연결된 뉴런 체인의 SPICE 해석

실제 생체 신경세포는 여러 뉴런과 시냅스로 연결되는 복합 구조로 되어 있다. 이러한 뉴런의 신경망 회로 구현 가능성을 확인하기 위하여, 본 논문에서 제안한 뉴런모델에 대하여 시냅스로 연결된 뉴런체인을 구성하여 SPICE 모의실험을 실시하였다. 그림 5(a)는 2개의 실리콘 뉴런과 1개의 연결시냅스로 이루어지는 직렬구조의 뉴런체인을 나타낸다. 그림 5(b)에 보이듯이, 10 nA의 전류를 입력펄스로 주었을 때 각 뉴런의 출력에서 정상적인 전압펄스가 생성되고 시냅스를 통하여 신호가 전달됨을 보여주고 있다. 이 SPICE 모의실험을 통하여 제안한 뉴런 모델이 신경회로 시냅스 연결 시 특정한 임계치 이상의 입력신호에 따른 발화 현상 등 정상적인 동작을 함을 알 수 있다.



(a) block diagram of the silicon neuron chain



(b) SPICE simulation results

그림 5. 뉴런 체인의 SPICE 해석
Fig. 5. SPICE analysis of the neuron chain.

4. 결론

본 논문에서는 생체모방 신경회로 응용을 위한, 실리콘 뉴런 회로를 0.18 μm CMOS 공정을 이용하여 반도체 집적회로로 설계하였다. 제안하는 뉴런 회로는 입력 전류신호를 위한 커패시터 입력단과, 출력 전압신호 생성을 위한 증폭단 및 펄스신호 초기화를 위한 MOS 스위치로 등으로 구성된다. 회로해석 프로그램인 SPICE 분석 결과, 3 nA의 임계전류 이상에서 정상적인 뉴런신호가 생성됨을 확인하였다. 한편, 전압-전류 변환회로 기능의 시냅스로 회로를 연결하였을 때, 정상적으로 신호전달이 이루어짐을 확인하였다. 본 논문에서 제안하는 실리콘 뉴런 모델은 향후 진동성 시변 신경회로 구성에 기본 요소로 유용하게 활용될 수 있을 것으로 사료된다.

References

- [1] H.J. Song, J.G. Harris. A CMOS neural oscillator using negative resistance, *IEEE International symposium on Circuits and Systems*, pp. 152-155 Thailand, May 2003.
- [2] M. Mahowald and R. Douglas, "A silicon neuron," *Nature*, vol. 354, pp. 515-518, 1991.
- [3] C. Toumazou, J. Georgiou and E. M. Drakakis, "Current-mode analogue circuit representation of Hodgkin and Huxley neuron equations," *Electronics*

Letters, vol. 34, no. 14, pp. 1376-1377, 1998.

[4] G. Indiveri, E. Chicca, and R. Douglas, "A VLSI array of low-power spiking neurons and bistable synapses with spike-timing dependent plasticity," *IEEE Transactions on Neural Networks*, vol. 17, no. 1 pp. 211-221, 2006.

[5] Q. Luo, J.G. Harris. "A novel neural oscillator and its implementation in analog VLSI," *IEEE International symposium on Circuits and Systems*, pp. 245-248, Australia, May 2001.

[6] Giacomo Indiveri "A low-power adaptive integrate-and-fire neuron circuit," In *IEEE 2003*

[7] T. Taniguchi. Y. Horio and K. Aihara, "An IC Implementation of Asynchronous Pulse Neuron Model," in *Proc. International Symposium on Nonlinear Theory and its applications*, pp. 921-924. 2002.

[8] Bo Liu, and James F. Frenzel, "'A CMOS Neuron for VLSI Circuit Implementation of Pulsed Neural Networks,'" *Proceedings of the 2th annual conference of IEEE industrial Electronics society*, 2002

[9] Wijekoon, J.H.B. & Dudek, P. Spiking and bursting firing patterns of a compact VLSI cortical neuron circuit, *Proceedings of International Joint Conference on Neural Networks* 1332-1337 2007.

[10] Vogelstein, U., Vogelstein, J.T. & Cauwenberghs, G. Dynamically reconfigurable silicon array of spiking neurons with conductance-based synapses, *IEEE Trans. Neural Networks* 18, 253-265 2007.

[11] Carver Mead, *Analog VLSI and neural systems*, Addison-wesley publishing company, 1989.

저 자 소개



한예지(Ye-Ji Han)
 2011년 : 인제대학교 나노공학부 공학사
 2011년~현재 : 인제대학교
 나노공학부 학사과정

관심분야 : Fuzzy, Recognition, Soft Computing
 Phone : +82-10-5134-8758
 E-mail : hanyeeji@naver.com



지성현(Sung-Hyun Ji)
 2008년 : 인제대학교 나노공학부 공학사
 2008년~현재 : 인제대학교
 나노공학부 학사과정

관심분야 : 반도체 회로 설계, 소자
 Phone : +82-10-9728-0317
 E-mail : jisunhak11@naver.com



양희성(Hee-Sung Yang)
 2009년 : 인제대학교 나노공학부 공학사
 2009년~현재 : 인제대학교
 나노공학부 학사과정

관심분야 : 반도체 회로 설계, 소자
 Phone : +82-10-7191-1593
 E-mail : hee-sung90@nate.com



이수현(Soo-Hyun Lee)
 2012년 : 인제대학교 나노공학부 공학사
 2012년~현재 : 인제대학교
 나노공학부 학사과정

관심분야 : 반도체 회로 설계, 소자
 Phone : +82-10-4115-9973
 E-mail : halkes@daum.net



송한정(Han-Jung Song)
 1986년 : 한양대학교 전자공학과 공학사
 1988년 : 한양대학교 전자공학과 공학석사
 2000년 : 한양대학교 전자공학과 박사
 2004년~현재 : 인제대학교 나노공학부 교수

관심분야 : 신경회로, 센서 집적회로, 소자 신뢰성 등
 Phone : +82-10-7778-0202
 E-mail : hjsong@inje.ac.kr