

논문 2014-51-10-9

저전력 동작을 위한 지연된 피드-포워드 경로를 갖는 3차 시그마-델타 변조기

(Third order Sigma-Delta Modulator with Delayed Feed-forward Path for Low-power Operation)

이 민 응*, 이 종 열**

(Minwoong Lee and Jongyeol Lee[©])

요 약

본 논문은 전력소모와 면적을 줄인 지연된 피드-포워드 경로를 갖는 3차 SDM 구조를 제안하였다. 제안한 SDM은 기존의 적분기 2개로 구현된 3차 SDM(Sigma-Delta Modulator) 구조를 개선하였다. 제안된 구조에서는 기존 구조의 둘째 단계에 지연된 피드-포워드 경로를 삽입함으로써 첫째 단계의 계수 값을 2배로 증가시킬 수 있어 기존구조에 비하여 첫째 단계 적분기 커패시터(C_i)를 1/2로 감소시킬 수 있다. 그러므로 첫째 단계 적분기의 부하 커패시턴스가 1/2로 작아지기 때문에 첫째 단계 연산증폭기의 출력전류는 51%, 첫째 단계의 커패시터 면적은 48% 감소되어 제안한 구조는 전력과 면적을 최적화 할 수 있다. 본 논문에서 제안한 구조를 이용하여 설계된 3차 SC SDM은 0.18 μ m CMOS 공정에서 공급전압 1.8V, 입력신호 1Vpp/1KHz, 신호대역폭 24KHz, 샘플링 주파수 2.8224MHz 조건으로 시뮬레이션 하였다. 그 결과 SNR(Signal to Noise Ratio) 88.9dB, ENOB(Effective Number of Bits) 14비트이고 SDM의 전체 전력소모는 180 μ W이다.

Abstract

This paper proposes an architecture of 3rd order SDM(Sigma-Delta Modulator) with delayed feed-forward path in order to reduce the power consumption and area. The proposed SDM improve the architecture of conventional 3rd order SDM which consists of two integrators. The proposed architecture can increase the coefficient values of first stage doubly by inserting the delayed feed-forward path. Accordingly, compared with the conventional architecture, the capacitor value(C_i) of first integrator is reduced by half. Thus, because the load capacitance of first integrator became the half of original value, the output current of first op-amp is reduced as 51% and the capacitance area of first integrator is reduced as 48%. Therefore, the proposed method can optimize the power and the area. The proposed architecture in this paper is simulated under conditions which are supply voltage of 1.8V, input signal 1Vpp/1KHz, signal bandwidth of 24KHz and sampling frequency of 2.8224MHz in the 0.18 μ m CMOS process. The simulation results are SNR(Signal to Noise Ratio) of 88.9dB and ENOB(Effective Number of Bits) of 14-bits. The total power consumption of the proposed SDM is 180 μ W.

Keywords : Sigma-delta modulator, Low-power, Delayed feed-forward path, Load capacitance, Op-amp

* 학생회원, ** 정회원, 전북대학교 전자공학과
(Dept. Electronics Engineering, Chonbuk National University)

© Corresponding Author(E-mail: jong@jbnu.ac.kr)

접수일자: 2014년05월09일, 수정일자: 2014년09월10일
게재확정: 2014년09월30일

I. 서 론

Sigma-Delta ADC(Analog to Digital Converter)는 SDM(Sigma-Delta Modulator)과 디지털 low-pass

filter로 구성된다. SDM은 oversampling과 잡음변형을 통하여 신호대역의 양자화 잡음을 매우 작게 할 수 있고, 입력신호에 포함된 고주파 성분의 잡음을 대역폭 밖으로 밀어내는 역할을 수행한다. 그리고 디지털 low-pass filter는 대역폭 밖의 주파수 성분의 잡음을 제거하며, 또한 decimation 동작을 수행하여 oversampling된 SDM의 주파수를 Nyquist 주파수로 낮추고 동시에 이를 통하여 높은 비트 수의 출력 값을 얻는 동작을 수행한다. 그러므로 Sigma-Delta ADC는 SDM의 다양한 구조 및 회로 구현방법에 의하여 저전압/저전력/고해상도 등이 결정된다고 할 수 있다^[1~2].

그러므로 본 논문에서는 아날로그와 디지털 피드백 경로를 이용하여 적분기 2개를 갖는 기존 3차 SDM^[3] 구조를 변형함으로써 전력과 면적을 최적화할 수 있도록 지연된 피드-포워드 경로를 갖는 3차 SDM의 구조를 제안한다.

제안된 구조는 기존구조에 비하여 첫째 단 SC (Switched Capacitor) 적분기의 샘플링 커패시터(C_S)와 적분기 커패시터(C_I)의 비(ratio)를 1/2로 줄임으로써 적분기의 구성요소인 연산증폭기의 부하 커패시턴스가 1/2로 감소되어 전력소모와 면적을 약1/2로 감소시켰다.

본 논문의 구성은 다음과 같다. II장에서는 저전력 특성을 가질 수 있도록 전력소모를 최적화할 수 있는 3차 SDM 구조에 대하여 논하고, III장에서는 제시된 SDM 구조를 SC 회로를 이용하여 구현하는 과정을 정리하였다. IV장은 구현된 회로의 시뮬레이션과 측정 결과를 나타냈고, V장에서는 시뮬레이션 결과를 바탕으로 본 논문의 결론을 내린다.

II. 제안된 3차 SDM의 구조

그림 1은 일반적인 3차 CIFB(Cascade of Integrators Feedback)를 갖는 SDM 구조의 블록도이다.

그림 1의 구조를 이용하여 SC SDM을 구현할 경우

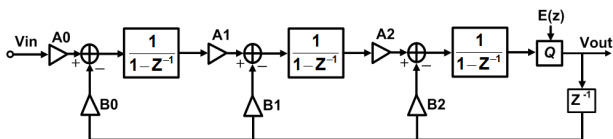


그림 1. CIFB를 갖는 3차 SDM 구조의 블록도
Fig. 1. Block diagram of 3rd order SDM architecture with CIFB.

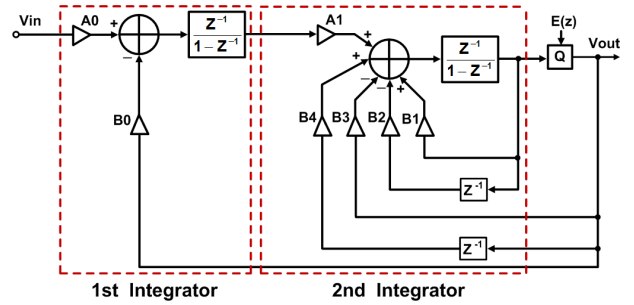


그림 2. 기존의 아날로그와 디지털 피드백 경로를 갖는 3차 SDM의 블록도
Fig. 2. Block diagram of conventional 3rd order SDM architecture.

스위치, 커패시터, 연산증폭기로 구성된 3개의 적분기가 요구되며 그 중 전력소모의 가장 큰 부분을 차지하는 소자가 연산증폭기이다.

그림 2는 연산증폭기의 개수를 줄이기 위하여 그림 1의 구조에서 아날로그와 디지털 피드백 경로를 이용하여 적분기 1개로 2차 SDM을 구성하고, 디지털 피드백 경로를 이용하여 적분기 1개로 1차 SDM을 구성한 다음, cascade로 연결하였다^[3].

그림 2의 기존 구조에서 첫째 단 적분기의 안정된 출력범위 보장을 위하여 A_0, B_0 의 계수 값이 매우 작아지기 때문에 SC SDM 회로구현 시 샘플링 커패시터 (C_S)와 적분기 커패시터(C_I)의 비가 커지게 된다. 이는 연산증폭기의 부하 커패시턴스의 증가를 의미하며 곧 전력소모로 이어진다. 또한 칩 면적도 증가한다.

본 논문에서는 그림 2의 기존 구조의 문제점을 보완하기 위하여 그림 3과 같이 지연된 피드-포워드 경로 (Delayed Feed-Forward Path)를 갖는 SDM 구조를 제안하였다.

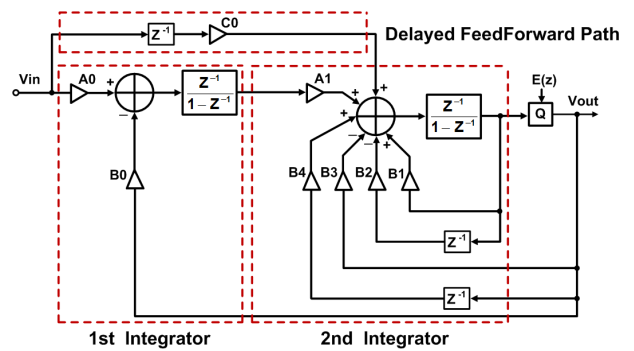


그림 3. 제안한 3차 SDM 구조의 블록도
Fig. 3. Block diagram of proposed 3rd order SDM architecture.

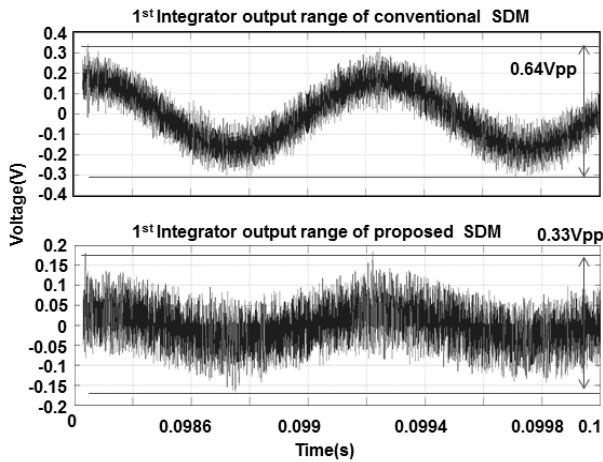


그림 4. 첫째 단 적분기의 출력범위
Fig. 4. Output range of first stage integrator.

그림 3과 그림 2의 A0, B0 계수 값이 같다고 할 때 그림 3의 구조는 그림 2의 구조에 비하여 첫째 단 적분기의 출력이 피드포워드(C0)된 입력신호 만큼 작아지기 때문에 첫째 단 적분기의 출력범위는 그림 4와 같이 1/2로 작아져서 A0, B0의 계수 값을 2배로 증가시킬 수 있다. 따라서 SC SDM 구현 시 샘플링 커패시터(C_S)와 적분기 커패시터(C_I)의 비가 1/2로 작아지게 되고 연산증폭기의 부하 커패시턴스는 1/2로 줄어들어 연산증폭기의 전력소모가 약1/2로 감소할 뿐만 아니라 적분기 커패시터의 면적 또한 약1/2로 감소한다.

식 (1)은 그림 2와 그림 3 구조의 잡음전달함수(Noise Transfer Function)를 나타낸다. 제안한 구조는 입력에서 지연된 피드-포워드 경로 C0를 추가하였기 때문에 잡음전달함수에 영향을 주지 않으므로 서로 같고, 신호전달함수(Signal Transfer Function)의 계수 값에만 영향을 미친다.

$$NTF(z) = \frac{az^3 + ez^2 + fz + g}{az^3 + bz^2 + cz + d}$$

$$\begin{aligned} a &= 1 \\ b &= B_3 - B_1 - 2 \\ c &= B_0A_1 + B_2 + B_1 - B_4 - B_3 + 1 \\ d &= B_4 - B_2 \\ e &= -B_3 - 2 \\ f &= B_2 + B_1 + 1 \\ g &= -B_2 \end{aligned} \quad (1)$$

III. 회로설계

1. 모델링

본 논문에서 제안한 구조를 이용하여 SC SDM을 설계하기 위하여 먼저 MATLAB을 이용하여 모델링을 실시하였다^[4]. 모델링은 KT/C 잡음과 연산증폭기의 비이상적인 특성을 고려하고, 오디오용 주파수대역에 적용하기 위하여 모델링 되었다. 표 1은 제안한 SDM 구조의 모델링 조건이며, 사용된 계수 값은 표 2에 정리하였다.

표 1. 모델링 조건
Table 1. Specifications of modeling.

Sampling Frequency[MHz]	2.8224
OverSampling Ratio	64
Input[Vpp,KHz]	1,1
Signal Bandwidth[KHz]	0.02-24
Op-amp DC gain[dB]	≥ 60
GBW[MHz]	≥ 15
Slew rate[V/μs]	5
KT/C Capacitance[pF]	0.3
DAC[bit]	1

표 2. SDM 구조의 계수 값
Table 2. Coefficients of SDM architecture.

Coefficient	A0	A1	B0	B1	B2	B3	B4	C0
Value	0.1	0.15	0.1	1	1	0.15	0.1	0.1

2. 회로설계

본 논문에서 모델링 결과를 바탕으로 그림 5와 같이 SC 3차 SDM을 설계하였다. 클록은 기본적으로 비중첩 클록이 사용되었으며 SC 적분기에서 발생하는 전하 유입의 현상을 줄이기 위하여 CMOS 스위치를 사용하였다. 비중첩 클록 이외에 4개 클록의 타이밍을 이용하여 피드백 아날로그 경로 z^{-1} 과 z^{-2} 를 구현하였고, D-F/F을 이용하여 비교기에서 출력된 디지털 신호를 지연시켜 피드백 디지털 경로를 구성하였다. 단일비트 비교기는 전력소모를 최소화하기 위해 프리엠프 없이 동적 비교기(dynamic comparator)와 latch만으로 구현하였다. SC SDM 구현을 위하여 첫째 단 SC 적분기의 샘플링 커패시터는 KT/C 잡음을 고려하여 0.3pF로, 둘째 단 SC 적

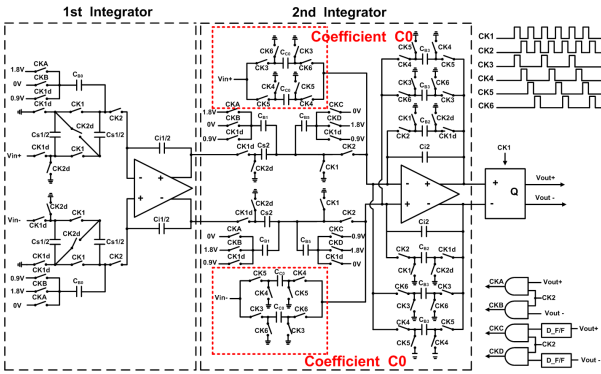


그림 5. 제안된 SC 3차 SDM 회로
Fig. 5. Circuit of proposed SC 3rd order SDM.

분기는 잡음에 대한 영향이 작기 때문에 0.1pF로 설정하였다.

3. 연산증폭기 설계

그림 5에 사용된 연산증폭기는 그림 6과 같이 단위이득이 높고 주파수 보상 커패시터가 필요 없는 완전 차동 폴디드 캐스코드 구조로 설계하였다.

완전 차동 구조의 연산증폭기는 기준 전압에서 정상 동작하기 위하여 CMFB(Common-Mode FeedBack) 회

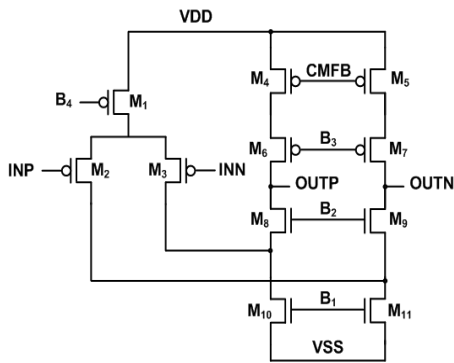


그림 6. 완전 차동 폴디드 캐스코드 연산증폭기
Fig. 6. Fully differential Folded cascode op-amp.

표 3. 연산증폭기 성능 요약
Table 3. Summary of op-amp performance.

	1 st op-amp	2 nd op-amp
DC gain[dB]	73	75
GB[MHz]	15 ($C_L=1.5p$)	16 ($C_L=2p$)
Phase Margin[°]	71	66
Output swing[Vpp]	1	1
Slew rate[V/ μ s]	20	18
Power[μ W]	65	95

로가 필요한데 구조가 간단하고 전력소모가 없는 SC 구조로 설계하였다.

첫째 단 적분기와 둘째 단 적분기의 연산증폭기는 샘플링 주파수에 따른 대역폭은 같지만 부하 커패시턴스가 다르기 때문에 각각의 특성과 전력소모는 다르다. 연산증폭기는 모델링 조건에 만족하도록 설계하였고 성능은 표 3에 요약하였다.

4. SC 적분기 회로설계

KT/C 잡음에 민감한 첫째 단 적분기의 샘플링 커패시턴스는 일정 이상 크게 해야 한다. 이는 곧 연산증폭기의 부하 커패시턴스가 커지는 것을 의미하며, 연산증폭기의 전력소모가 증가한다.

그림 7(a)는 일반적으로 SC SDM에 사용되는 SC 적분기 회로이고, 그림 7(b)는 본 논문의 첫째 단 적분기에 사용된 저전력 SC 적분기 회로로 1개의 샘플링 커패시터를 2개로 나누고 병렬로 연결하여 구성하기 때문에 발생하는 KT/C 잡음은 그림 4(a)회로와 같으나 적분기 커패시턴스가 1/2로 작아진다^[5]. 따라서 연산증폭기 부하 커패시턴스 또한 1/2로 작아지기 때문에 연산증폭기의 전력소모를 최소화한다.

본 논문에서 제안된 SC SDM은 적분기 커패시턴스

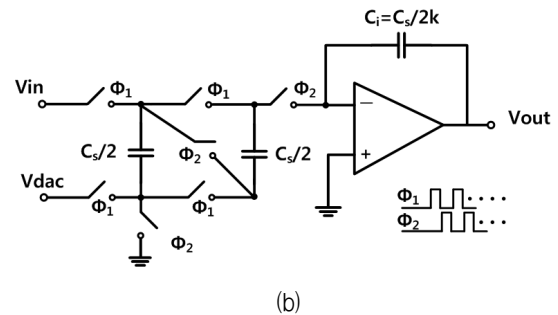
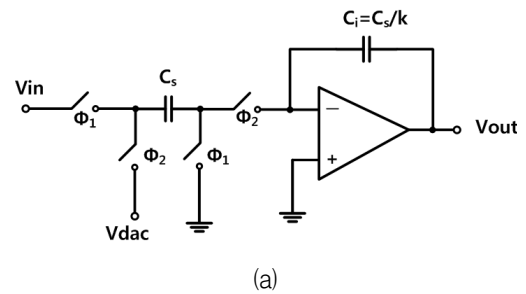


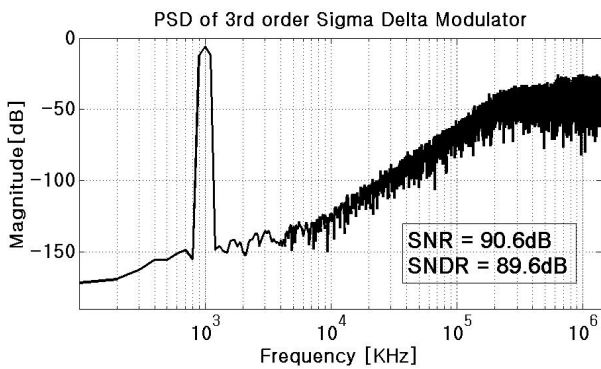
그림 7. (a) 일반적인 SC 적분기 회로 (b) 저전력 SC 적분기 회로
Fig. 7. (a) Circuit of traditional SC integrator (b) Circuit of low-power SC integrator.

를 구조적으로 1/2, 회로적으로 1/2로 줄였기 때문에 적분기 커패시턴스는 전체 1/4로 감소한다.

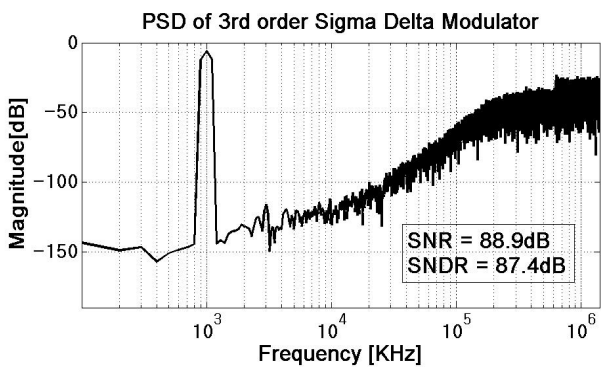
IV. 시뮬레이션 결과

그림 8(a)는 그림 3의 제안한 3차 SDM 구조를 MATLAB으로 모델링한 스펙트럼 분석 결과이고, 그림 8(b)는 그림 5와 같이 구현된 SC 3차 SDM에 대하여 spectre 시뮬레이션을 실시하고 데이터를 추출하여 스펙트럼 분석한 결과 그래프이다. 여기서 시뮬레이션 조건은 0.18 μm 공정 파라미터를 이용하여 공급전압 1.8V, 입력신호 1V_{pp}/1KHz, 샘플링 주파수 2.8224MHz이다.

모델링에서 SNR은 90.6dB, 시뮬레이션을 통해 측정 한 SNR은 88.9dB로 1.3dB 오차가 발생한다. 이 오차는 연산증폭기와 SC 회로의 비이상성 등으로 기인된 것으로 사료되며 약간의 차이가 있지만 ENOB는 14비트로 같은 성능을 나타냈다.



(a)



(b)

그림 8. 제안한 SDM의 PSD 결과 (a)모델링 (b)시뮬레이션

Fig. 8. PSD result of proposed SDM (a)Modeling (b)Simulation.

표 4는 그림 1의 CIFB를 갖는 cascade 구조, 그림 2의 기존의 SDM 구조와 그림 3의 제안한 지연된 피드포워드 경로를 갖는 SDM 구조에 대하여 각 구조의 첫째 단 적분기를 그림 7(b)의 저전력 SC 적분기를 사용하여 구현한 SC 3차 SDM에 대한 비교한 결과를 나타낸다. 비교 내용은 사용된 연산증폭기의 수와 전체 계수 경로의 수, 샘플링 커패시터가 큰 첫째 단 연산증폭기의 계수 값과 커패시턴스, 커패시터의 면적, 연산증폭기의 전력소모이다. 제안한 그림 3의 구조는 첫째 단 적분기의 출력범위를 최소화함으로써 그림 2의 구조의 계수 A0, B0의 값을 0.05에서 0.1로 2배 증가시킬 수 있으며, 이는 SC SDM 구현시 첫째 단 연산증폭기의 부하 커패시턴스를 1/2가량 줄일 수 있다는 것을 의미한다. 그러므로 첫째 단 연산증폭기의 전력소모는 기존구조 보다 135 μW 에서 65 μW 로 51% 줄일 수 있고 첫 번째 적분기에서 커패시터의 면적이 7.48 μm^2 에서

표 4. 기존 및 제안한 구조에 대한 SC SDM의 비교
Table 4. Comparison about conventional and proposed SC SDM.

	CIFB SDM	Conventional SDM ^[3]	Proposed SDM
# of OTA	3	2	2
# of path	6	7	8
1 st Integrator			
A0, B0	0.05	0.05	0.1
Capacitance	6.6pF	6.6pF	3.6pF
Area	7.48 μm^2	7.48 μm^2	3.8 μm^2
Power	135 μW	135 μW	65 μW

※ 첫째 단 적분기에 그림 7(b)의 저전력 SC 적분기 회로가 적용된 비교표이다.

표 5. 제안한 저전력 SC SDM 성능 요약
Table 5. Performance summary of proposed low-power SC SDM.

Parameter	Value
Process(μm)	0.18
Supply voltage[V]	1.8
Input signal[V _{pp} ,KHz]	1,1
Bandwidth[kHz]	24
Sampling frequency[MHz]	2.8224
OSR	64
SNR[dB]	88.9
Power consumption[μW]	180

3.8 μm^2 로 48% 줄어든다. 또한 제안한 저전력 SC SDM의 성능은 표 5에 요약하였다.

V. 결 론

기존의 3차 SDM 구조는 아날로그와 디지털 피드백 경로를 이용하여 적분기를 2개로 줄였지만 첫째 단 적분기의 계수 값이 작다는 단점이 있다. 이러한 단점을 보완하기 위하여 본 논문에서는 지연된 피드포워드 경로를 갖는 구조를 제안한다. 제안한 구조는 첫째 단 적분기의 출력 범위를 최소화함으로써 기존 구조에 비하여 첫째 단 적분기의 계수 값이 2배로 커지게 된다. 따라서 SC 3차 SDM 구현 시 기존구조에 비하여 첫째 단 연산증폭기의 전력소모와 커패시터의 예상 면적을 약 50% 줄일 수 있다.

그러나 본 구조는 아날로그 피드백 경로를 가지므로 SC SDM 구현 시 비중첩 클럭 2개 외에 추가적으로 4개의 클럭을 필요로 한다. 따라서 스위치가 많이 사용되어 회로구현이 복잡해지고 클럭의 지터와 글리치의 영향으로 SDM의 성능을 저하시키는 요인이 된다. 향후 이러한 단점을 보완하기 위하여 클럭 수를 최소화할 수 있는 연구를 진행할 계획이다.

본 논문에서 제안한 구조를 이용하여 구현된 SC 3차 SDM은 오디오용 주파수 대역에서 14비트 해상도를 갖고 전체 전력소모는 180 μW 이다. 따라서 구현된 SC 3차 SDM은 저주파수 대역에서 고해상도를 요구하며 음성신호를 처리하는 휴대용 저전력 디지털 제품에 응용될 수 있을 것으로 사료된다^[9].

REFERENCES

[1] Richard Schreier and Gabor C. Temes, "Understanding Delta-Sigma Data Converters," Wiley-IEEE Press, pp. 1-10, 2005.

[2] J. Candy and G. Temes, "Oversampling methods for A/D and D/A conversion," in *Oversampling Delta-Sigma Data Converters*, IEEE Press, pp. 1-99, New York, 1992.

[3] A. Pena-Peres, E. Bonizzoni and F. Maloberti, "A 88-dB DR, 84-dB SNDR Very Low-Power Single Op-Amp Third-Order $\Sigma\Delta$ Modulator," *IEEE J. of Solid-State Circuits*, Vol. 47, no. 9, pp. 2107-2118, Sep. 2012.

[4] A. Hamoui, T. Alhaji, and M. Taherzadeh-Sani, "Behavioral modeling of opamp gain and dynamic effects for power optimization of delta-sigma modulators and pipelined ADCs," in *Proc. Int. Symp. Low Power Electron. and Design (ISLPED)*, pp. 330 - 333, Oct. 2006,

[5] T. Wang and G.C. Temes, "Low-power switched -capacitor integrator for delta-sigma ADCs", *IEEE Int. Midwest Symp. Circuits and Systems (MWSCAS)*, pp. 493-496 August 2010.

[6] Daisuke Kanemoto, Toru Ido and Kenji Taniguchi, "A 7.5mW 101dB SNR Low-Power High-Performance Audio Delta-Sigma Modulator Utilizing Opamp Sharing Technique," *SoC Design Conference(ISOCC)*, pp. 66-69, 2011.

[7] Byoung Wha In, Saemin Im, Sang-Gyu Park, "Design of Low-Power 3rd-order Delta-Sigma Modulator," *Journal of The Institute of Electronics Engineering of Korea*, Vol. 50, no. 4, pp. 43-51, April 2013.

[8] L. Liu, D. Li, L. Chen et al, "A 1V 663 μW 15-bit Audio $\Delta\Sigma$ Modulator in 0.18 μm CMOS," *IEEE Circuits and Systems(ISCAS)*, pp. 510-513, 2011.

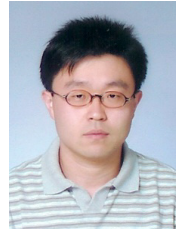
[9] 최영길, 노정진, "고해상도 시그마-델타 ADC 기술 동향," *전자공학회지*, 제37권, 제10호, 29-37쪽, 2010년 12월

저 자 소 개



이 민 응(학생회원)
2012년 전북대학교 전자공학과
학사 졸업.
2014년 전북대학교 전자공학과
석사 졸업.
2014년 ~ 현재 전북대학교
전자공학과 박사과정.

<주관심분야 : Analog circuits, ADC,
Low-Power/High-Resolution SDM Design>



이 종 열(정회원)
1993년 한국과학기술원 전기 및
전자공학과 학사 졸업.
1996년 한국과학기술원 전기 및
전자공학과 석사 졸업.
2002년 한국과학기술원 전기 및
전자공학과 공학 박사.

2002년 ~ 2003년 하이닉스 반도체 선임연구원
2003년 ~ 2004년 한국과학기술원 BK21 초빙교수
2004년 ~ 현재 전북대학교 전자공학과 부교수
<주관심분야 : Integrated Circuit, Embedded
Software, Low-Power Processor Design>