

보조 사이리스터의 턴-오프 회로를 간소화한 HVDC 사이리스터 밸브 시험용 합성시험회로

정재현¹, 구법진¹, 조한제¹, 노의철[†], 한병문², 정용호³, 백승택³

A Synthetic Test Circuit for HVDC Thyristor Valve Test with Simplified Turn-Off Circuit of Auxiliary Thyristor

Jae-Hun Jung¹, Beob-Jin Goo¹, Han-Je Jeo¹, Eui-Cheol Nho[†], Byung-Moon Han²,
Yong-Ho Chung³, and Seung-Taek Baek³

Abstract

This study proposes a new synthetic test circuit (STC) for HVDC thyristor valve tests. The conventional STC with a 2-phase chopper requires a 3-phase transformer, a 3-phase diode rectifier, and an IGBT to facilitate the off state of an auxiliary thyristor. In the proposed STC, these three components are replaced with one diode and one resistor, which result in the simplified implementation of the hardware of the STC. Simulation and experimental results demonstrate the validity of the proposed scheme.

Key words: High voltage direct current(HVDC), Synthetic test circuit(STC), Thyristor valve

1. 서 론

전류원 HVDC 시스템의 전력변환 장치를 구성하는 주요 전력반도체 소자는 사이리스터인데 HVDC의 전압이 수 백 [kV]에 달하다 보니 이러한 고전압에 견디기 위해서 사이리스터를 수 백 개 직렬 연결하게 된다. 다수의 사이리스터가 직렬 연결되어 하나의 밸브를 구성하게 되는데 이러한 밸브들을 여러 개 직렬 연결하여 하나의 모듈을 구성한다. HVDC 시스템을 구현하기 전에 이러한 밸브에 대한 충분한 성능 검증이 필요한데 성능검증을 위한 시험을 위해서는 정격 전압과 정격 전류를 공급하기 위한 전원장치가 필요하다. 여기서 필요로 하는 정격 전압과 정격 전류는 고전압 및 대전류이므로 전원장치의 규모와 용량이 매우 커지게 된다. 따라서 전원 장치의 용량을 최대한 줄이면서 고전압 시험과 대전류 시험이 가능하도록 하는 합성시험회로가 필요하다^[1-3].

전 세계 HVDC 시장을 장악하고 있는 ABB^[4], Siemens^[5], Alstom^[6]은 각자 고유의 합성시험회로를 보유하고 있다. 최근 국내에서도 LS산전이 독자적인 합성시험회로를 개발한 바 있다^[7-8]. LS산전이 개발한 방식은 대전류인 전류원을 2상 초과 방식으로 구현함으로써 기존 방식에 비해 회로 구성 및 제어가 간단하여 신뢰성과 경제성이 높다는 장점이 있다.

본 논문에서는 기존의 2상 초과 방식에서 보조 사이리스터의 턴-오프를 위해 추가된 3상 변압기와 3상 다이오드 및 IGBT를 모두 없애고 하나의 다이오드와 하나의 저항으로 대체하여 보다 간단한 합성시험회로의 구현이 가능하도록 하였다. 제안한 방식에 대한 동작 원리와 설계 방법을 설명하였으며 200 [V], 30 [A] 급의 축소모형에 대한 시뮬레이션과 실험을 통해 제안한 방식의 유용성을 입증하였다.

2. 제안하는 합성시험회로와 동작 원리

2.1 제안하는 합성시험회로

그림 1은 본 논문에서 제안하는 합성시험회로이다. 기존의 2상 초과 방식의 합성시험회로^[7]에서 보조 사이리스터 T_{Aux} 의 턴-오프를 위해 구성되었던 3상 변압기, 3상 다이오드 정류기, IGBT를 모두 제거하고 간단히 다이오드(D_s)와 저항(R_s)을 추가하였다. D_s 와 R_s 는 병렬

Paper number: TKPE-2014-19-5-12

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: nhoec@pknu.ac.kr, Dept. of Electrical Eng., Pukyong National University

Tel: +82-51-629-6317 Fax: +82-51-629-6305

¹ Dept. of Electrical Eng., Pukyong National University

² Dept. of Electrical Eng., Myongji University

³ HVDC Research Group, LS Industrial Systems

Manuscript received Aug. 17, 2014; accepted Aug. 28, 2014

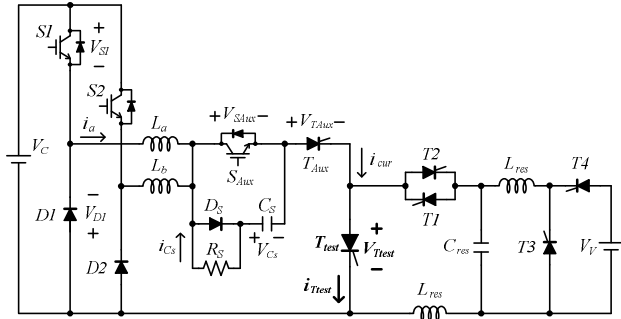


Fig. 1. Proposed synthetic test circuit.

연결되어 C_s 와 직렬 연결되며 이 회로는 보조 IGBT(S_{Aux})에 병렬 접속된다. 시험 사이리스터 밸브는 T_{Test} 이다.

2.2 합성시험회로의 동작 원리

그림 2에 제안하는 합성시험회로를 이용하여 생성된 전류(i_{test})와 전압(V_{Test}) 파형을 나타내었다.

1주기 동안의 동작은 6개 구간(Mode I ~ Mode VI)으로 이루어지는데 처음의 5개 구간(Mode I ~ Mode V)은 시험 사이리스터 밸브(T_{Test})에 정격 전류를 흘리기 위한 전류원 회로에 관한 것이며 마지막 구간(Mode VI)은 정격 전압을 인가하기 위한 고전압 회로에 관한 것이다. 고전압 회로에 대한 동작은 [7]과 동일하므로 여기서는 전류원 회로에 대하여 살펴보기로 한다.

(a) Mode I($t_0 \sim t_1$)

그림 3-(a)에서 굵은 실선은 Mode I에서의 전류가 흐르는 경로를 나타낸다. S_1 , S_2 , S_{Aux} , T_{Aux} , 그리고 T_{Test} 를 동시에 턴-온하면 L_a 와 L_b 의 값이 같은 경우 i_{cur} 는 다음 식 (1)과 같이 거의 선형적으로 증가한다.

$$i_{cur} = \frac{2 \times \{V_C - (V_{S1} + V_{SAux} + V_{TAux} + V_{Ttest})\}}{L_a} \times t \quad (1)$$

이 전류는 시험 사이리스터 밸브(T_{Test})의 정격 전류까지 상승한다.

(b) Mode II($t_1 \sim t_2$)

Mode II는 i_{cur} 를 일정한 값으로 유지하는 구간이다. i_{cur} 을 일정하게 유지하기 위하여 S_1 과 S_2 는 180° 의 위상차를 가지면서 스위칭 한다. 그림 3-(b)에 Mode II의 전류 흐름경로를 나타내었으며 이 구간에서 회로는 2상 벽컨버터로 동작한다.

(c) Mode III($t_2 \sim t_3$)

그림 3-(c)에 Mode III의 전류 흐름경로를 나타내었다. Mode III가 시작될 때 S_1 과 S_2 를 모두 턴-오프하면 i_{cur}

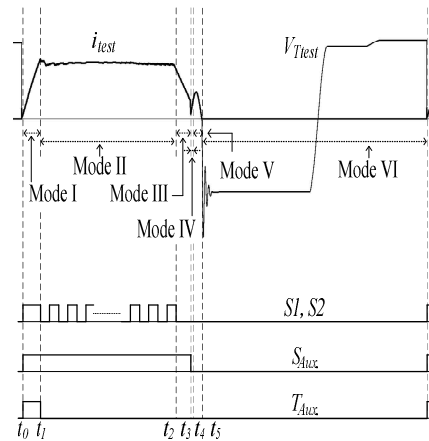
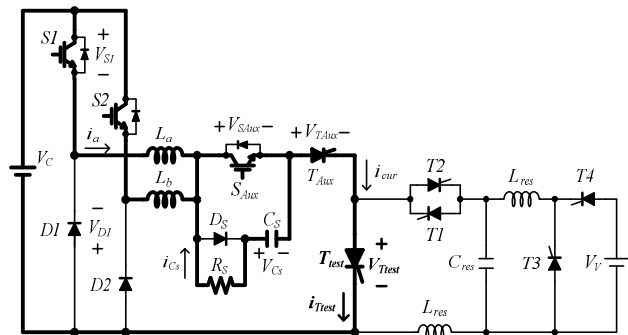
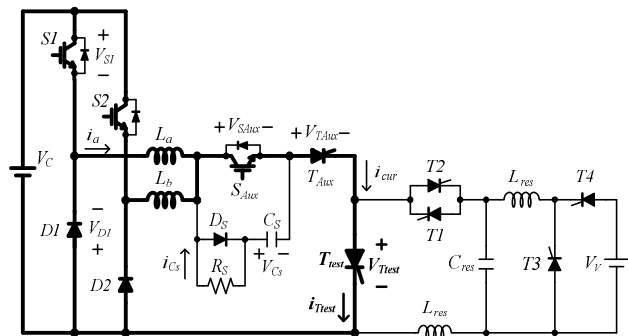


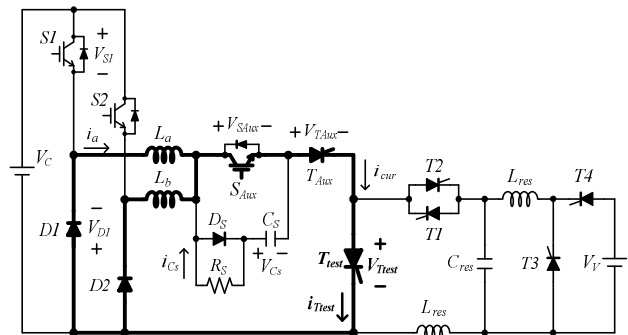
Fig. 2. Current and voltage waveforms of the STC.



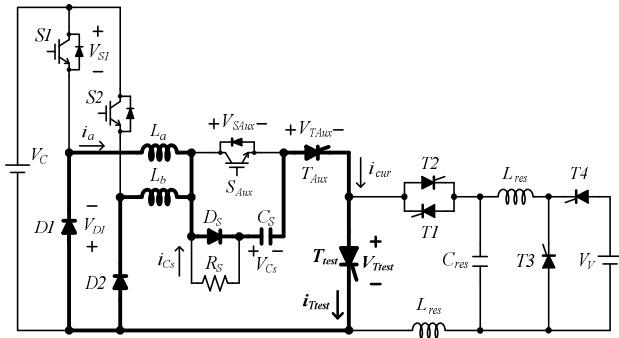
(a) Mode I



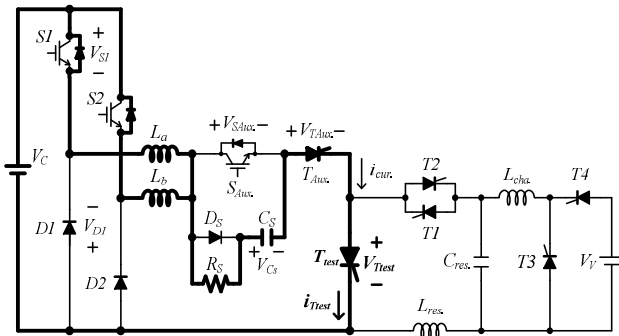
(b) Mode II



(c) Mode III



(d) Mode IV



(e) Mode V

Fig. 3. Current path in each Mode.

는 $D1$, $D2$, S_{Aux} , T_{Aux} , T_{test} 의 순방향 전압강하와 저항 성분에 의한 전압강하에 의해 식 (2)와 같이 감소한다.

$$i_{cur} = i_{cur}(t_2) - \frac{2 \times \{V_{D1} + V_{SAux} + V_{TAux} + V_{Ttest}\}}{L_a} \times (t - t_2) \quad (2)$$

(d) Mode IV ($t_3 \sim t_4$)

Mode IV는 S_{Aux} 를 턴-오프하여 i_{cur} 를 영(Zero)전류로 감소시키는 구간이며 S_{Aux} 가 턴-오프 하는 시점에서 L_a 와 L_b 에 저장된 에너지를 이용하여 C_S 를 충전한다.

(e) Mode V ($t_4 \sim t_5$)

Mode V는 T_{aux} 의 턴-오프가 신속하게 되도록 T_{Aux} 에 V_{Cs} 를 역으로 인가하는 구간이다. 그림 3-(e)에서 알 수 있듯이 V_{Cs} 가 V_C 보다 높아야 T_{Aux} 에 역전압을 인가할 수 있다. Mode V가 종료되는 시점에서 전류원 발생회로의 동작은 완료되며 이후 그림 3의 Mode VI인 고전압 인가회로의 동작을 마치면 합성시뮬회로의 한 주기 동작이 종료된다.

3. 보조 사이리스터 턴-오프 회로 설계

보조 사이리스터(T_{Aux})의 턴-오프 시 역전압을 인가하

기 위한 전원은 C_S 의 전압 V_{Cs} 이다. V_{Cs} 가 보조 사이리스터를 충분히 턴-오프 할 수 있기 위한 C_S 와 R_S 의 설계 과정을 살펴보면 다음과 같다.

Mode IV의 t_3 에서 S_{Aux} 가 턴-오프하면 C_S 는 L_a , L_b 에 저장된 에너지를 흡수하여 커패시터 전압 V_{Cs} 가 상승한다. 선로와 인덕터의 저항이 영이고 반도체 소자가 이상적이라고 가정하면 인덕터에 저장된 모든 에너지는 커패시터를 충전하는데 사용되며 식 (3)으로 나타낼 수 있다.

$$L_a \times (i_{a(t_3)})^2 = \frac{1}{2} C_S \times \{(V_{Cs(t_4)})^2 - (V_{Cs(t_3)})^2\} \quad (3)$$

T_{Aux} 에 인가되는 역전압의 크기는 그림 4-(e)에 나타난 Mode V에서 알 수 있듯이 V_{Cs} 와 V_C 의 차이와 동일하다. 따라서 입력전압의 크기를 알면 스너버 커패시터 C_S 의 용량은 다음 식(4)로 결정 할 수 있다.

$$C_S \leq \frac{2 \times L_a \times (i_{a(t_3)})^2}{(V_{Cs(t_4)} - V_C)^2 - (V_{Cs(t_3)})^2} \quad (4)$$

Mode I에서 S_{Aux} 가 턴-온하면 C_S 에 저장된 에너지가 R_S 를 통해 방전된다. R_S 는 C_S 의 방전 전류의 크기를 제한한다. 초기 방전 전류의 최대치 $i_{Cs(max)}$ 는 다음 식 (5)으로 나타낼 수 있으며 R_S 의 값이 클수록 최대치는 작아진다.

$$i_{Cs(MAX)} \geq \frac{V_{Cs(t_0)}}{R_S} \quad (5)$$

이 방전 전류는 Mode I~ Mode III 구간 동안 계속해서 흐르게 할 수 있으나 여기서는 Mode I에서 모두 방전 하도록 하였다. 따라서 R_S 와 C_S 로 이루어지는 시정수를 다음 식 (6)과 같이 설정한다.

$$R_S C_S \leq \frac{T_{01}}{5} \quad (6)$$

여기서 T_{01} 은 t_0 에서 t_1 까지의 시간을 의미한다.

4. 시뮬레이션

본 논문에서 제안하는 합성시뮬회로를 시뮬레이션하기 위한 주요 사양은 다음과 같다.

- 1) 시험 사이리스터 밸브(T_{test}) 턴-온 시 정격 전류까지 도달하는 시간 : 약 1 [mS]
- 2) 시험 사이리스터 밸브 정격 전류 크기 : 30 [A]
- 3) 정격 전류가 유지되는 시간 : 약 5 [mS]

TABLE I
SIMULATION PARAMETERS

Parameters	Value
L_{cb}, L_b	300 [uH]
V_C	11 [V]
V_V	200 [V]
R_S	200 [Ω]
C_S	2 [uF]
L_{res}	2 [mH]
C_{res}	10 [uF]
L_{cha}	5 [mH]

- 4) 시험 사이리스터 밸브의 중복각 구간에서 전류 하강 시간: 약 1 [mS]
- 5) 보조 IGBT(S_{Aux}) 턴-오프 시 i_{cur} 의 크기 : 10 [A]
- 6) 보조 사이리스터에 인가하는 역전압 크기 : 최저 70 [V]
- 7) 커패시터 전압(V_C)이 최대전압에서 영전압까지 방전하는데 걸리는 시간 : $5 \cdot \tau (\tau = R_S \cdot C_S) \approx 0.7$ [mS]

표 1은 2절과 3절의 내용을 토대로 결정한 시뮬레이션 파라미터이다.

시뮬레이션 결과 파형을 그림 4와 그림 5에 나타내었다. 그림 4는 i_{test} 와 V_{Test} 파형이다. 앞서 설명한 전류원과 전압원의 특성을 잘 모의하는 것을 알 수 있다. 전압과 비교하여 전류의 크기가 작기 때문에 전류의 스케일을 10배로 나타내었다. 그림 5는 V_C 와 V_{TAux} 의 시뮬레이션 파형이다. C_S 가 예측한 바와 같이 충·방전 하는 것과 V_{TAux} 에 역으로 인가되는 전압이 V_C 와 V_C 의 차이인 것을 확인 할 수 있다.

5. 실험 결과

그림 6은 본 연구에서 제안하는 합성시험회로의 시험 세트이며 축소 모형에 사용한 전력 반도체 소자는 다음과 같다. $S1, S2, S_{Aux}$ 는 두개의 IGBT가 한개의 모듈에 들어있는 Fairchild사의 FM2G100US60 소자를 이용하였으며 하나의 모듈을 한쌍의 초퍼로 사용하였다. T_{Aux}, T_{Test} 는 SEMIKRON사의 35 [A], 1600 [V]정격을 가진 SKKT 57/16을 사용하였다. 또한 제어보드의 MCU는 Texas Instruments사의 TMS320F28335를 사용하였다. 초퍼회로의 스위칭 주파수는 실제 사이리스터 밸브를 시험할 합성시험회로의 대전류원의 특성과 스위칭 소자의 방열을 고려하여 3 [kHz]로 결정하였다.

그림 7과 그림 8은 제안한 합성시험회로의 실험 파형이다.

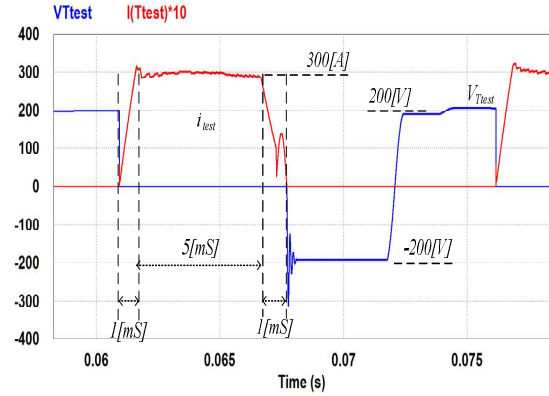


Fig. 4. Simulation waveforms of i_{test} and V_{Test} .

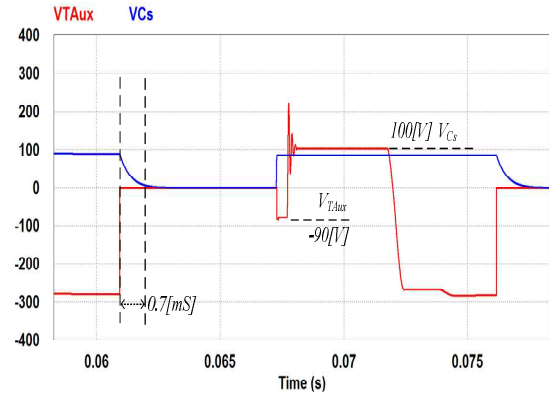


Fig. 5. Simulation waveforms of V_{Cs} and V_{TAux} .

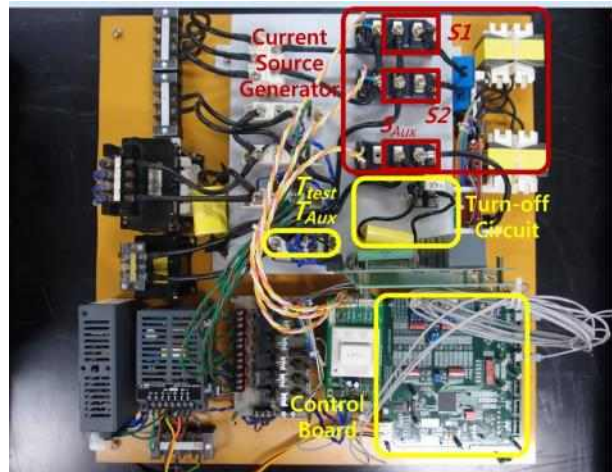


Fig. 6. Experimental set-up for proposed synthetic test circuit.

그림 7은 T_{Test} 에 흐르는 전류와 인가되는 전압 파형이다. 시뮬레이션 결과와 유사하며 축소모형의 전류원 파형 특성과 유사한 전류 파형을 생성한다. 전류 스케일은 10 [A/DIV], 전압 스케일은 100 [V/DIV], 그리고 시간 축 스케일은 2 [mS/DIV]이다.

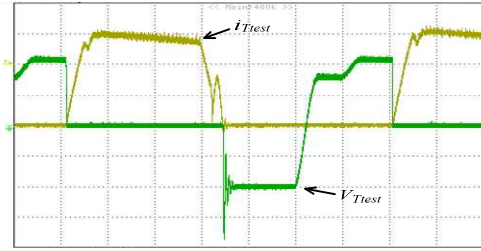


Fig. 7. Experimental waveforms of i_{test} and V_{Test} : 100 [V/DIV], 10 [A/DIV], 2 [mS/DIV].

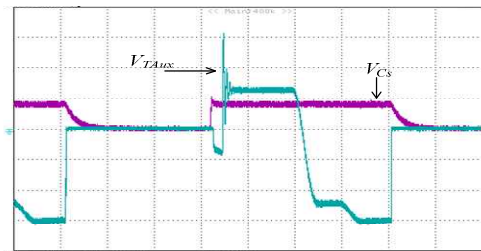


Fig. 8. Experimental waveforms of V_{Cs} and V_{TAux} : 100 [V/DIV], 10 [A/DIV], 2 [mS/DIV].

그림 8은 V_{Cs} 와 V_{TAux} 파형이며 시뮬레이션 결과와 유사한 것을 알 수 있다. V_{Cs} 의 충·방전 특성이 제대로 나타나고 있음을 알 수 있다. 전압과 시간축 스케일은 각각 100 [V/DIV], 2 [mS]이다.

6. 결 론

본 논문에서는 새로운 방식의 전류원 HVDC 사이리스터 밸브 시험용 합성시험회로를 제안하였다. 2상 초과를 사용한 기존의 방식에서 보조 사이리스터의 턴-오프를 위해 필요로 하는 3상 변압기와 3상 다이오드 정류기 및 IGBT를 모두 없애고 하나의 다이오드와 하나의 저항만 추가하여 동일한 효과를 얻을 수 있도록 하였다.

제안한 방식에 대한 동작과 보조 사이리스터 턴-오프 회로 설계에 대한 설명을 하였으며 200 [V], 30 [A]급의 축소모형에 대한 시뮬레이션과 실험을 통해 제안한 방식의 타당성을 입증하였다.

본 연구의 결과는 전 세계적으로 수요가 급증하고 있는 HVDC의 사이리스터 밸브 시험 장치의 소형화 및 제작비용 절감에 크게 기여할 것으로 기대 된다.

이 논문은 부경대학교 자율창의학술연구비 (2013년)에 의하여 연구되었음

References

- [1] Power electronic for electrical transmission and distribution systems - Testing of thyristor valves for static VAR compensators. (IEC 61954, 1999)
- [2] Test circuits for HVDC thyristor valves. (Cigre Task Force 03 of Working Group 14.01, Technical Brochure 113, Apr. 1997)
- [3] J. L. Wne, G. F. Tang, Y. F. Qiu, J. L. Zhu, K. P. 쿼, G. ZH. Xu, "Research and Development of Synthetic Test Equipement for High Voltage Thyristor Valves," *International Conference on Power System Technology*, pp. 1-8, Oct. 2006.
- [4] B. L. Sheng, E. Jansson, A. Blomberg, H. O. Bjarme, and D. Windmar, "A new synthetic test circuit for the operational tests of HVDC thyristor modules," *APEC(Applied Power Electronics Conference and Exposition, 2001)*, Vol. 2, pp. 1242-1246, Sep. 2001.
- [5] T. Bauer, H. P. Lips, G. Thiele, T. Tylutki, and M. Uder, "Operational tests on HVDC thyristor modules in a synthetic test circuit for the sylmar east restoration project," *IEEE Transactions on Power Delivery*, Vol. 12, No. 3, pp. 1151-1158, Jul. 1997.
- [6] M. L. Woodhouse and T. Simanwe, "A new facility for testing HVDC and SVC thyristor valves," B4-309, CIGRE 2006.
- [7] K. T. Kim, B. M. Han, J. H. Jung, E. C. Nho, Y. H. Chung, and S. T. Baek, "A new synthetic test circuit for testing thyristor valve in HVDC converter," *Transactions of the Korean Institute of Power Electronics*, Vol. 17, No. 3, pp. 191-197 Jun. 2012.
- [8] E. C. Nho, B. M. Han, Y. H. Chung, S. T. Baek, and J. H. Jung, "Synthetic test circuit for thyristor valve in HVDC converter with new high-current source," *IEEE Transactions on Power Electronics*, Vol. 29, No. 7, pp. 3290-3296, Jul. 2014.



정재헌(鄭在憲)

1981년 10월 19일생. 2007년 부경대 공대 전기제어공학부 졸업. 2009년 부경대 대학원 전기공학과 졸업(석사). 2009년~현재 동 대학원 박사과정.



구법진(具法陳)

1988년 7월 11일생. 2013년 부경대 공대 전기공학과 졸업. 2013년~현재 동 대학원 석사과정.



조한제(趙韓濟)

1980년 11월 19일생. 2007년 동의대 공대 전기제어공학부 졸업. 2008년~2011년 (주)효성 근무. 2011년~현재 LS산전 근무. 2013년~현재 부경대 대학원 전기공학과 석사과정.



노의철(魯義哲)

1960년 8월 2일생. 1984년 서울대 공대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공박). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문교수. 2005년~2006년 미국 University of California-Irvine 방문교수. 1995년~현재 부경대 전기공학과 교수. 당 학회 부회장.



한병문(韓炳文)

1976년 서울대 전기공학과 졸업. 1988년 미 아리조나 주립대 대학원 전기공학과 졸업(석사). 1992년 동 대학원 전기공학과 졸업(공박). Westinghouse 중앙연구소 선임연구원. 인천대 전기공학과 조교수. 현재 명지대 부총장 및 전기공학과 교수. 2011년 당 학회 회장 역임.



정용호(鄭容昊)

1960년 5월 29일생. 1983년 한양대 공대 전자공학과 졸업. 1985년 KAIST 공대 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공박). 1994년~1995년 미국 Wisconsin-Madison대 방문연구원. 1985년~현재 LS산전 연구위원, Power Conversion 연구단장.



백승택(白承澤)

1971년 11월 24일생. 1997년 명지대 공대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2004년 동 대학원 전기공학과 졸업(공박). 2006년~2010년 (주)효성 중공연구소 연구원. 2010년~현재 LS산전 책임연구원.