

3레벨 NPC인버터의 소신호 모델링과 중성점 전압 진동 저감

조자휘¹, 구남준², 정석언², 현동석[†]

A Small Signal Modeling of Three-level Neutral-Point-Clamped Inverter and Neutral-Point Voltage Oscillation Reduction

Ja-Hwi Cho¹, Nam-Joon Ku², Seok-Eon Joung², and Dong-Seok Hyun[†]

Abstract

This study proposes a control design for the grid output current and for reducing the neutral-point voltage oscillation through the small-signal modeling of the three-phase grid connected with a three-level neutral-point-clamped (NPC) inverter with LCL filter. The three-level NPC inverter presents an inherent problem: the neutral-point voltage fluctuation caused by the neutral-point current flowing in or out from the neutral point. The small signal modeling consists of averaging, dq0 transformation, perturbing, and linearizing steps performed on a three-phase grid connected to a three-level NPC inverter with LCL filter. The proposed method controls both the grid output and neutral-point currents at every switching period and reduces the neutral-point voltage oscillation. The validity of the proposed method is verified through simulation and experiment.

Key words: Grid connected inverter system, Small signal modeling, Neutral point current, Neutral point voltage

1. 서 론

최근 신 재생 에너지 변환 시스템의 성장 속에 산업계의 고 전압, 고 전력 시스템의 수요가 늘고 있다. 이런 경향 속에, 신 재생 에너지를 소스로 두는 계통 인터페이스에서 멀티레벨 컨버터가 매력적인 토폴로지로서 각광 받고 있다^[1]. 기존의 2-레벨 컨버터와 비교하면, 멀티레벨 컨버터는 더 적은 스위칭 손실과 스위치 정격을 가진다. 그리고 고조파 손실이 적어진 출력 파형의 질면에서 장점을 가지고 있다^{[2][3]}.

여러가지 멀티레벨 토폴로지가 있지만 NPC 인버터가 가장 널리 사용된다^[4]. 하지만 3-레벨 NPC 인버터에는 중성점 전압 불균형과 진동이라는 태생적 단점이 있다. NPC 인버터 시스템이 좋은 동작특성을 가지려면 중성점 전압의 제어가 필요하다. 많은 논문에서 중성점 전압

의 제어에 관한 방법들을 제시 하였지만 계산이 복잡하고 추가적인 제어 루프가 있어야 한다^[5-10]. 불균형의 문제를 해결하여도 중성점 전압의 저주파 진동의 문제가 남는다. DC 링크 캐패시터의 캐패시턴스가 작은 응용 분야에서는 그 진동의 진폭이 커져 문제가 될 수 있다. 스위칭 주파수 부근의 고조파를 줄이기 위해서, 저역 통과 필터가 사용되어야 한다. L 또는 LC 필터가 주로 사용 되는데, 좋은 성능을 내기 위해서는 큰 용량의 L 값을 사용해야 한다. 하지만 큰 용량의 L값은 값이 비싸고, 그 물리적 크기가 매우 크며 무게 또한 많이 나간다. 그래서 대안의 방법으로 나온 것이 LCL 필터 이다. LCL 필터는 L 또는 LC 필터보다 더 적은 용량을 사용해도 비슷한 감쇄효과를 얻을 수 있다.

다양한 변동에 대한 인버터시스템의 제어 성능과 동특성을 분석하기 위해서, 시스템의 정확한 모델링은 필수적이다^[11]. 하지만 LCL 필터를 사용한 계통연계 3상 3-레벨 NPC 인버터 시스템의 세부적인 분석은 완전히 수행되지 않았다. 스위칭 모델과 스위칭 함수 모델을 통해서 세부적인 과도응답과 시스템의 정확한 동작을 예측한다^[12]. 하지만 이런 모델은 매우 복잡하고, 모델을 설정하는데 있어 많은 시간이 걸린다. 스위칭 모델과 스위칭 함수 모델에 비해 소신호 모델은 실제 스위칭 모

Paper number: TKPE-2014-19-5-3

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: dshyun@hanyang.ac.kr, Dept. of Electrical Eng., Hanyang University
Tel: +82-2-2220-0345 Fax: +82-2-2220-0532

¹ Dept. of Advanced Power Conversion System Eng., Hanyang University

² Dept. of Electrical Eng., Hanyang University

Manuscript received May. 7, 2014; accepted Jul. 13, 2014

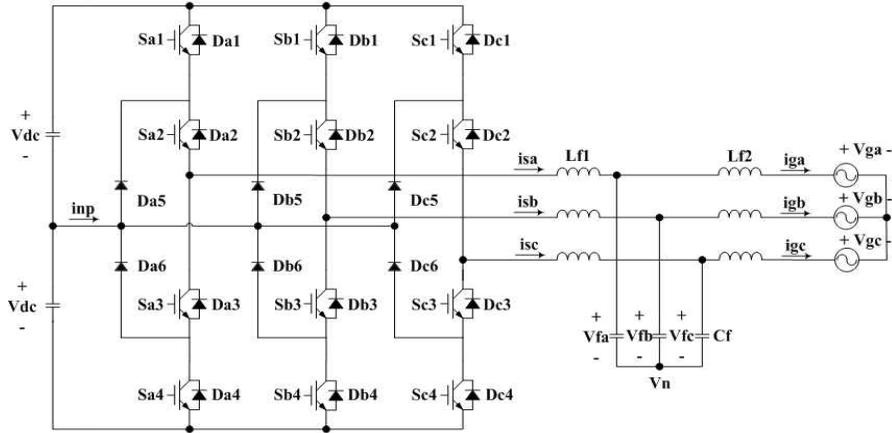


Fig. 1. The grid-connected three-level NPC inverter with a LCL filter.

델의 축약으로 인해 더 간단하다. 분석의 정확성과 복잡성 사이에 균형을 맞춰 소신호 모델링이 널리 사용된다. 소신호 모델은 시스템 회로 방정식의 평균화(averaging), 미소변동(perturbation), 선형화(linearization)를 통해 얻을 수 있다. 얻어진 모델로 입력과 출력 사이의 전달함수와 제어신호와 출력 사이의 전달함수를 얻고, 제어시스템을 디자인한다.

이 논문에서, 인버터시스템의 분석과 전류제어기를 설계하기 위해서 3-레벨 NPC 인버터의 소신호 모델링을 수행 하였다. 주파수 영역에서의 제어기 설계와 시스템의 안정도 해석에 대해 나타내었다. 또한 소신호 모델에 기초한 주파수 영역 분석을 통해 계통 전류의 제어시스템을 설계 하였다. 중성점 전압의 진동을 저감하는 제어 기법을 제안 하였고, 제안된 방법으로 중성점 전압의 진동의 진폭이 거의 0으로 줄어 들었다. 그래서 제안한 방법은 아주 작은 용량과 사이즈의 DC-link 캐패시터의 응용분야에서 사용 될 수 있다. 제안한 방법의 유효성을 검증하기 위해 시뮬레이션과 실험을 통해 각 결과를 비교해 보았다.

2. 소신호 모델링

소신호 모델을 얻기 위해 회로 방정식에 대한 평균화(averaging), 미소변동(perturbation), 선형화(linearization)의 과정을 거친다. 이 섹션에서는 균형(balanced)의 3상 계통 연계 3레벨 NPC 인버터의 소신호 모델을 얻는 과정을 상세하게 나타낸다.

2.1 스위칭 함수 정의

3-레벨 NPC 인버터의 스위칭 상태에 따라 스위칭 함수가 다음과 같이 정의 된다.

$$s_p = \{0,1\}, s_o = \{0,1\}, s_n = \{0,1\} \quad (1)$$

$$s_p + s_o + s_n = 1$$

2.2 회로방정식

Fig. 1 은 LCL필터를 사용한 계통 연계 3상 3-레벨 NPC 인버터의 배선도 이다. 회로방정식은 다음과 같이 나타낼 수 있다.

$$v_{ph} = Lf_1 \frac{di_{sph}}{dt} + R_{Lf_1} i_{sph} + v_{fph} + v_N$$

$$v_{fph} + v_N = Lf_2 \frac{di_{gph}}{dt} + R_{Lf_2} i_{gph} + v_{gph} \quad (2)$$

$$Cf \frac{dv_{fph}}{dt} = i_{sph} - i_{gph}$$

중성점 전류는 상전류와 스위칭 함수를 사용하여 다음과 같이 표현된다.

$$i_{np} = s_{oph}^T \cdot i_{sph} \quad (3)$$

이 때 각 벡터 표현은 다음과 같다.

$$v_{ph} = \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix}, v_{fph} = \begin{bmatrix} v_{fa} \\ v_{fb} \\ v_{fc} \end{bmatrix}, v_{gph} = \begin{bmatrix} v_{ga} \\ v_{gb} \\ v_{gc} \end{bmatrix} \quad (4)$$

$$i_{sph} = \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix}, i_{gph} = \begin{bmatrix} i_{ga} \\ i_{gb} \\ i_{gc} \end{bmatrix}$$

$$v_N = \frac{1}{3} U \cdot v_{ph} = \frac{1}{3} U \cdot (s_{pph} - s_{nph}) v_{dc} \quad (5)$$

$$s_{pph} = \begin{bmatrix} s_{pa} \\ s_{pb} \\ s_{pc} \end{bmatrix}, s_{oph} = \begin{bmatrix} s_{oa} \\ s_{ob} \\ s_{oc} \end{bmatrix}, s_{nph} = \begin{bmatrix} s_{na} \\ s_{nb} \\ s_{nc} \end{bmatrix} \quad (6)$$

$$U = \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \quad (7)$$

2.3 평균화(Averaging)

평균화(Averaging)단계에서는 시스템의 주요 동특성의 해석에서 복잡성(2 차 이상의 고차 성분 제거)을 덜기 위해 스위칭 고조파 같은 작고 중요하지않은 현상을 생략한다. 한 스위칭 주기를 평균화(averaging) 근사시키면 다음과 같은 평균화(averaged)된 모델이 얻어진다.

$$\begin{aligned} \frac{d\overline{i_{sph}}}{dt} = & -\frac{R_{Lf_1}}{Lf_1}\overline{i_{sph}} - \frac{1}{Lf_1}\overline{v_{fph}} \\ & + \frac{1}{Lf_1}(\overline{d_{pph}} - \overline{d_{nph}})\overline{v_{dc}} \\ & - \frac{1}{Lf_1}\frac{1}{3}U(\overline{d_{pph}} - \overline{d_{nph}})\overline{v_{dc}} \end{aligned}$$

$$\begin{aligned} \frac{d\overline{i_{gph}}}{dt} = & -\frac{R_{Lf_2}}{Lf_2}\overline{i_{gph}} - \frac{1}{Lf_2}\overline{v_{gph}} - \frac{1}{Lf_2}\overline{v_{fph}} \\ & + \frac{1}{Lf_2}\frac{1}{3}U(\overline{d_{pph}} - \overline{d_{nph}})\overline{v_{dc}} \end{aligned} \quad (8)$$

$$\begin{aligned} \frac{d\overline{v_{fph}}}{dt} = & \frac{1}{C_f}\overline{i_{sph}} - \frac{1}{C_f}\overline{i_{gph}} \\ \overline{i_{np}} = & \overline{d_{oph}}^T \cdot \overline{i_{sph}} \end{aligned} \quad (9)$$

$$\overline{d_{pph}} + \overline{d_{oph}} + \overline{d_{nph}} = [1 \ 1 \ 1]^T \quad (10)$$

이때 각 벡터 표현은 다음과 같다.

$$\overline{d_{pph}} = \begin{bmatrix} d_{pa} \\ d_{pb} \\ d_{pc} \end{bmatrix}, \overline{d_{oph}} = \begin{bmatrix} d_{oa} \\ d_{ob} \\ d_{oc} \end{bmatrix}, \overline{d_{nph}} = \begin{bmatrix} d_{na} \\ d_{nb} \\ d_{nc} \end{bmatrix} \quad (11)$$

2.4 Dq0 변환

Dq0 좌표 변환은 abc 좌표축에서의 평균화(averaged)된 모델을 간소화 시키기 위해 사용된다. dq0 좌표변환을 한 평균화(averaged)된 모델은 다음과 같이 변환된다.

$$\begin{aligned} \frac{d\overline{i_{sdq}}}{dt} = & -\frac{R_{Lf_1}}{Lf_1}\overline{i_{sdq}} - \frac{1}{Lf_1}\overline{v_{fph}} \\ & + \frac{1}{Lf_1}(\overline{d_{pph}} - \overline{d_{nph}})\overline{v_{dc}} - \begin{bmatrix} 0 & -\omega \\ \omega & 0 \end{bmatrix}\overline{i_{sdq}} \\ \frac{d\overline{i_{gdq}}}{dt} = & -\frac{R_{Lf_2}}{Lf_2}\overline{i_{gdq}} - \frac{1}{Lf_2}\overline{v_{gdq}} + \frac{1}{Lf_2}\overline{v_{fdq}} \\ & - \begin{bmatrix} 0 & -\omega \\ \omega & 0 \end{bmatrix}\overline{i_{gdq}} \\ \frac{d\overline{v_{fdq}}}{dt} = & \frac{1}{C_f}\overline{i_{sdq}} - \frac{1}{C_f}\overline{i_{gdq}} - \begin{bmatrix} 0 & -\omega \\ \omega & 0 \end{bmatrix}\overline{v_{fdq}} \end{aligned} \quad (12)$$

$$\overline{i_{np}} = \overline{d_{odq}}^T \cdot \overline{i_{sdq}} \quad (13)$$

$$\overline{d_{pdq0}} + \overline{d_{odq0}} + \overline{d_{ndq0}} = \begin{bmatrix} 0 \\ 0 \\ \sqrt{3} \end{bmatrix} \quad (14)$$

이 때 각 벡터 표현은 다음과 같다.

$$\begin{aligned} \overline{i_{gdq}} = & \begin{bmatrix} i_{gd} \\ i_{gq} \end{bmatrix}, \overline{i_{sdq}} = \begin{bmatrix} i_{sd} \\ i_{sq} \end{bmatrix}, \overline{v_{fdq}} = \begin{bmatrix} v_{fd} \\ v_{fq} \end{bmatrix} \\ \overline{d_{pdq0}} = & \begin{bmatrix} d_{pd} \\ d_{pq} \\ d_{p0} \end{bmatrix}, \overline{d_{odq0}} = \begin{bmatrix} d_{od} \\ d_{oq} \\ d_{o0} \end{bmatrix}, \overline{d_{ndq0}} = \begin{bmatrix} d_{nd} \\ d_{nq} \\ d_{n0} \end{bmatrix} \end{aligned} \quad (15)$$

여기서 $\overline{d_{pdq}} - \overline{d_{ndq}}$ 는 $\overline{d_{mdq}}$ 로 치환 시킨다.

$$\overline{d_{pdq}} - \overline{d_{ndq}} = \overline{d_{mdq}} \quad (16)$$

2.5 미소변동 및 선형화(Perturbation and linearization)

평균화(averaged)된 방정식은 비선형 방정식이다. 하지만 이런 비선형 방정식은 동작점 부근에 선형화 될 수 있다.

DC 동작점 부근의 미소 ac 변동($\hat{\cdot}$)이 추가된 perturbation값들은 다음과 같이 나타낸다.

$$\begin{aligned} \overline{i_{sdq}} = & I_{sdq} + \hat{i}_{sdq}, \overline{i_{gdq}} = I_{gdq} + \hat{i}_{gdq} \\ \overline{v_{fdq}} = & V_{fdq} + \hat{v}_{fdq}, \overline{v_{gdq}} = V_{gdq} + \hat{v}_{gdq} \\ \overline{d_{mdq}} = & D_{mdq} + \hat{d}_{mdq}, \overline{d_{odq}} = D_{odq} + \hat{d}_{odq} \\ \overline{i_{np}} = & I_{np} + \hat{i}_{np}, \overline{v_{dc}} = V_{dc} + \hat{v}_{dc} \end{aligned} \quad (17)$$

비선형 고차 ac 값을 제거하는 linearization 단계 후에, 마침내 다음과 같은 소신호 방정식을 얻는다.

$$\begin{aligned} \frac{d\hat{i}_{sdq}}{dt} = & -\frac{R_{Lf_1}}{Lf_1}\hat{i}_{sdq} - \frac{1}{Lf_1}\hat{v}_{fph} + \frac{1}{Lf_1}(D_{mdq})\hat{v}_{dc} \\ & + \frac{1}{Lf_1}(\hat{d}_{mdq})V_{dc} - \begin{bmatrix} 0 & -\omega \\ \omega & 0 \end{bmatrix}\hat{i}_{sdq} \\ \frac{d\hat{i}_{gdq}}{dt} = & -\frac{R_{Lf_2}}{Lf_2}\hat{i}_{gdq} - \frac{1}{Lf_2}\hat{v}_{gdq} + \frac{1}{Lf_2}\hat{v}_{fdq} \\ & - \begin{bmatrix} 0 & -\omega \\ \omega & 0 \end{bmatrix}\hat{i}_{gdq} \\ \frac{d\hat{v}_{fdq}}{dt} = & \frac{1}{C_f}\hat{i}_{sdq} - \frac{1}{C_f}\hat{i}_{gdq} \end{aligned} \quad (18)$$

소신호 모델 방정식은 다음과 같이 상태공간표현

(State Space representation)으로 나타낼 수 있다.

$$\dot{\mathbf{x}} = \mathbf{Ax} + \mathbf{Bu} \quad (19)$$

$$\mathbf{x} = [\hat{i}_{sd} \hat{i}_{sq} \hat{i}_{gd} \hat{i}_{gq} \hat{v}_{fd} \hat{v}_{fq}]^T \quad (20)$$

$$\mathbf{u} = [\hat{v}_{dc} \hat{d}_{md} \hat{d}_{mq} \hat{v}_{gd} \hat{v}_{gq}]^T \quad (21)$$

$$\mathbf{A} = \begin{bmatrix} \frac{-R_{Lf_1}}{Lf_1} & \omega & 0 & 0 & \frac{-1}{Lf_1} & 0 \\ -\omega & \frac{-R_{Lf_1}}{Lf_1} & 0 & 0 & 0 & \frac{-1}{Lf_1} \\ 0 & 0 & \frac{-R_{Lf_2}}{Lf_2} & \omega & \frac{1}{Lf_2} & 0 \\ 0 & 0 & -\omega & \frac{-R_{Lf_2}}{Lf_2} & 0 & \frac{1}{Lf_2} \\ \frac{1}{C_f} & 0 & \frac{-1}{C_f} & 0 & 0 & \omega \\ 0 & \frac{1}{C_f} & 0 & \frac{-1}{C_f} & -\omega & 0 \end{bmatrix} \quad (22)$$

$$\mathbf{B} = \begin{bmatrix} \frac{D_{md}}{Lf_1} & \frac{V_{dc}}{Lf_1} & 0 & 0 & 0 \\ \frac{D_{mq}}{Lf_1} & 0 & \frac{V_{dc}}{Lf_1} & 0 & 0 \\ 0 & 0 & 0 & \frac{-1}{Lf_2} & 0 \\ 0 & 0 & 0 & 0 & \frac{-1}{Lf_2} \\ 0 & 0 & 0 & 0 & 0 \end{bmatrix} \quad (23)$$

계통 전류의 제어 변수 방정식은 다음과 같이 나타낸다.

$$\hat{i}_{gd} = G_{i_{gd}d_{md}} \hat{d}_{md}, \quad \hat{i}_{gq} = G_{i_{gq}d_{mq}} \hat{d}_{mq} \quad (24)$$

여기서 $G_{i_{gd}d_{md}}$ 는 식 (16)의 두티 비 d_{md} 의 변동에 따른 계통의 d 축 전류 i_{gd} 의 특성을 나타낸 전달함수고, $G_{i_{gq}d_{mq}}$ 는 식 (16)의 두티 비 d_{mq} 의 변동에 따른 계통의 q 축 전류 i_{gq} 의 특성을 나타낸 전달함수다.

중성점 전류의 제어변수 방정식은 다음과 같이 나타낸다.

$$\begin{aligned} I_{np} &= D_{od} \cdot I_{sd} + D_{oq} \cdot I_{sd} \\ \hat{i}_{np} &= \mathbf{D}_{odq}^T \cdot \hat{i}_{sdq} + \mathbf{I}_{sdq}^T \cdot \hat{d}_{odq} \end{aligned} \quad (25)$$

3. 제안한 계통 출력 전류 제어 및 중성점 진동 저감 제어 방법

3.1 계통 출력 전류 제어

식 (24) 을 통해 계통 전류는 dq 좌표계에서

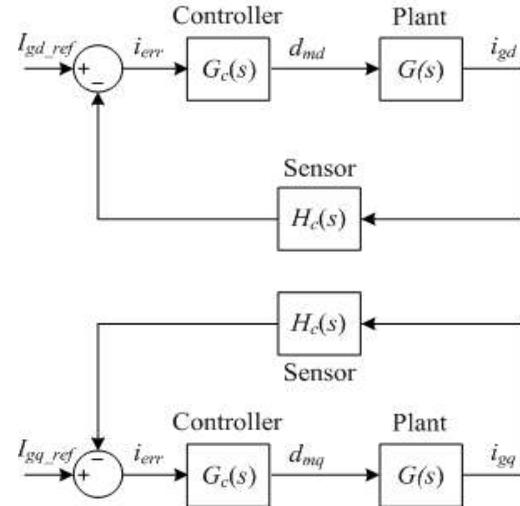


Fig. 2. The control Block of grid output current.

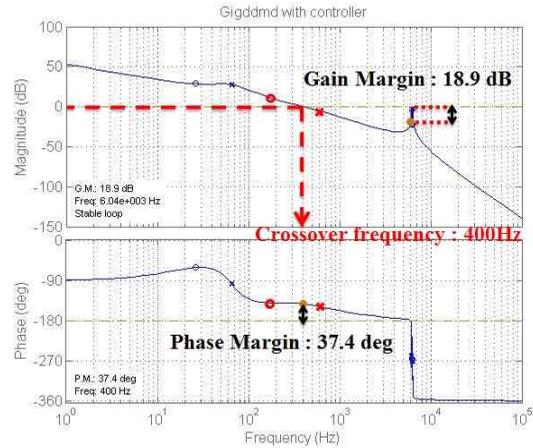


Fig. 3. The bode plot of loop gain of grid output current.

d_{md} 성분과 d_{mq} 성분과 관계있다는 것을 알 수 있다. 식 (24) 의 d축 전류와 d_{md} 사이의 전달 함수와 q축 전류와 d_{mq} 사이의 전달 함수를 통해서 제어기를 설계할 수 있고, 케환 회로를 통해 계통의 d축 성분의 전류와 q축 성분의 전류를 제어 할 수 있다. 다음 Fig. 2 는 계통 전류 제어 블록도다.

시스템이 올바르게 동작하기 위해서는 제어기를 적절하게 설계해야 한다. 제어기 설계는 식 (24) 를 전달 함수로 하여 매틀랩 시소 툴(Matlab Sisotool)을 이용하여 설계하였다. Fig. 3는 Fig. 2의 루프게인의 보드 선도(Bode plot)다.

Fig. 3 에서 제어기의 전달 함수는 다음과 같다.

$$G_c(s) = \frac{35.1(1 + 0.00092s)}{s(1 + 0.00026s)} \quad (26)$$

식 (26) 의 제어기로 루프 게인의 크로스오버 주파수(Crossover frequency) 는 400 Hz 를 가지고, 이득 여유

(Gain margin) 은 18.9 dB, 위상 여유(Phase margin) 37.4° 를 확보하였다. 통상적으로 크로스오버 주파수는 응답속도를 줄이고자 크게 가지고 위상여유는 안정도를 위해 45° 이상이 되게 설계를 하는데, 본 논문의 경우에는 LCL 필터의 공진점에서의 공진의 문제로 크로스오버 주파수와 위상여유를 확보하는데 어려움이 있었다. 그럼에도 불구하고 최적의 제어기 설계로 최선의 크로스오버 주파수와 위상여유를 얻어 비교적 안정적인 시스템을 구현하였다.

3.2 중성점 진동 저감 제어

중성점 진동 저감 제어를 하기 위해 이전 3장에서 유도한 식 (25) 을 이용 할 것 이다. 식 (25) 을 다시 한번 살펴 보면 다음과 같다.

$$I_{np} = D_{od} \cdot I_{sd} + D_{oq} \cdot I_{sq} \quad (27)$$

식 (27) 는 중성점 전류의 동작점 식 이다. 즉, D_{od} , D_{oq} , I_{sd} , I_{sq} 에 따라 중성점 전류 동작점 I_{np} 가 정해진다. 만약 중성점 전류 동작점 I_{np} 가 '0' 의 값을 갖는다면, 중성점에 흐르는 전류는 비교적 짧은 시간인 스위칭 주기동안 아주 작은 미소전류만이 흐르며 식 (13) 에 따라 그 평균값이 0이 되어, 중성점 진동을 억제한다.

I_{np} 를 '0' 이 되게 하려면 D_{od} , D_{oq} , I_{sd} , I_{sq} 에 적절한 값을 취해 줘야 한다. 하지만 I_{sd} , I_{sq} 는 사용자의 지령에 따라 변할 수 있는 값이다. 따라서 D_{od} , D_{oq} 를 조정하여 I_{np} 를 '0'으로 만들어야 한다. D_{od} , D_{oq} 를 모두 '0'으로 둔다면 I_{np} 는 항상 '0' 이 된다.

$$d_{od} \cong D_{od} = 0, \quad d_{oq} \cong D_{oq} = 0 \quad (28)$$

식 (14) 에 의해 d_{od} 는 $-(d_{pd} + d_{nd})$ 와 같고, d_{oq} 는 $-(d_{pq} + d_{nq})$ 와 같다.

$$d_{od} = -(d_{pd} + d_{nd}), \quad d_{oq} = -(d_{pq} + d_{nq}) \quad (29)$$

식 (16)를 다시 풀어서 쓰면 다음과 같다.

$$d_{md} = d_{pd} - d_{nd}, \quad d_{mq} = d_{pq} - d_{nq} \quad (30)$$

Fig. 2에서 제어 블록도의 귀환 회로에 의해 d_{md} 성분과 d_{mq} 성분은 스위칭 주기 마다 특정한 d_{md}^* , d_{mq}^* 값을 가진다. 식 (29)과 식 (30) 은 다음과 같이 된다.

$$d_{md}^* = d_{pd} - d_{nd}, \quad d_{mq}^* = d_{pq} - d_{nq} \quad (31)$$

$$0 = -(d_{pd} + d_{nd}), \quad 0 = -(d_{pq} + d_{nq}) \quad (32)$$

식 (31)과 식 (32)를 연립하여 풀면 다음의 결과가 나온다.

$$\begin{aligned} d_{pd} &= \frac{d_{md}^*}{2}, \quad d_{nd} = \frac{-d_{md}^*}{2}, \quad d_{pq} = \frac{d_{mq}^*}{2} \\ d_{nq} &= \frac{-d_{mq}^*}{2}, \quad d_{od} = 0, \quad d_{oq} = 0 \end{aligned} \quad (33)$$

앞서 정해진 d_{pd} , d_{nd} , d_{od} , d_{pq} , d_{nq} , d_{oq} 를 가지고 역 dq0 변환을 시행 하면 abc 좌표계에서의 두티비 d_{pa} , d_{oa} , d_{na} , d_{pb} , d_{ob} , d_{nb} , d_{pc} , d_{oc} , d_{nc} 를 얻을 수 있다.

$$\begin{aligned} d_{pa} &= \sqrt{\frac{2}{3}} \left(\cos(\omega t) \cdot d_{pd} - \sin(\omega t) \cdot d_{pq} \right. \\ &\quad \left. + 1/\sqrt{2} \cdot d_{p0} \right) \\ d_{pb} &= \sqrt{\frac{2}{3}} \left(\cos(\omega t - 2/3\pi) \cdot d_{pd} \right. \\ &\quad \left. - \sin(\omega t - 2/3\pi) \cdot d_{pq} \right. \\ &\quad \left. + 1/\sqrt{2} \cdot d_{p0} \right) \end{aligned} \quad (34)$$

$$d_{pc} = \sqrt{\frac{2}{3}} \left(\cos(\omega t + 2/3\pi) \cdot d_{pd} \right. \\ \left. - \sin(\omega t + 2/3\pi) \cdot d_{pq} \right. \\ \left. + 1/\sqrt{2} \cdot d_{p0} \right)$$

$$d_{oa} = \sqrt{\frac{2}{3}} \left(\cos(\omega t) \cdot d_{od} - \sin(\omega t) \cdot d_{oq} \right. \\ \left. + 1/\sqrt{2} \cdot d_{o0} \right)$$

$$d_{ob} = \sqrt{\frac{2}{3}} \left(\cos(\omega t - 2/3\pi) \cdot d_{od} \right. \\ \left. - \sin(\omega t - 2/3\pi) \cdot d_{oq} \right. \\ \left. + 1/\sqrt{2} \cdot d_{o0} \right) \quad (35)$$

$$d_{oc} = \sqrt{\frac{2}{3}} \left(\cos(\omega t + 2/3\pi) \cdot d_{od} \right. \\ \left. - \sin(\omega t + 2/3\pi) \cdot d_{oq} \right. \\ \left. + 1/\sqrt{2} \cdot d_{o0} \right)$$

$$d_{na} = \sqrt{\frac{2}{3}} \left(\cos(\omega t) \cdot d_{nd} - \sin(\omega t) \cdot d_{nq} \right. \\ \left. + 1/\sqrt{2} \cdot d_{n0} \right)$$

$$d_{nb} = \sqrt{\frac{2}{3}} \left(\cos(\omega t - 2/3\pi) \cdot d_{nd} \right. \\ \left. - \sin(\omega t - 2/3\pi) \cdot d_{nq} \right. \\ \left. + 1/\sqrt{2} \cdot d_{n0} \right) \quad (36)$$

$$d_{nc} = \sqrt{\frac{2}{3}} \left(\cos(\omega t + 2/3\pi) \cdot d_{nd} \right. \\ \left. - \sin(\omega t + 2/3\pi) \cdot d_{nq} \right. \\ \left. + 1/\sqrt{2} \cdot d_{n0} \right)$$

식 (32) 에서 d_{od} 와 d_{oq} 를 '0'으로 정해 놓았기 때문에 d_{o0} 항만이 남게 된다. 따라서 d_{oa} , d_{ob} , d_{oc} 는 d_{o0} 에 대한 항만 공통 적으로 남게 되어 그 값이 같다.

$$d_{oa} = d_{ob} = d_{oc} = d_{o0}/\sqrt{3} \quad (37)$$

또한 이를 식 (9) 에 대입 하고 계통 출력 3상 의 전류가 균형(balanced)이라 가정 하면 $\overline{i_{np}} = 0$ 이 된다.

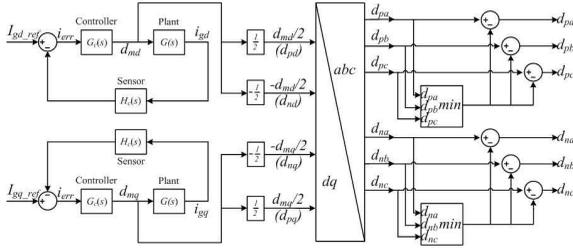


Fig. 4. The control Block of proposed method.

$$\begin{aligned} \bar{i}_{np} &= d_{oa} \cdot \bar{i}_a + d_{ob} \cdot \bar{i}_b + d_{oc} \cdot \bar{i}_c \\ &= d_{o0} / \sqrt{3} \cdot (\bar{i}_a + \bar{i}_b + \bar{i}_c) \\ &= 0 \end{aligned} \quad (38)$$

하지만 아직 d_{p0} , d_{n0} , d_{o0} 가 정해 지지 않았다. d_{p0} , d_{n0} , d_{o0} 는 다음의 제한 사항 내에서 정해 져야 한다.

$$\begin{aligned} 1. \quad & d_{p0} + d_{o0} + d_{n0} = \sqrt{3} \\ 2. \quad & 0 \leq \begin{pmatrix} d_{pa}, d_{oa}, d_{na} \\ d_{pb}, d_{ob}, d_{nb} \\ d_{pc}, d_{oc}, d_{nc} \end{pmatrix} \leq 1 \end{aligned}$$

위의 제한 사항을 만족하는 d_{p0} , d_{n0} , d_{o0} 의 조합은 무수히 많다. 그래서 그 중 다음의 한 가지 방법을 이 논문에서는 선택 하겠다. 먼저 d_{p0} , d_{n0} , d_{o0} 의 값을 모두 0 으로 두고 역 dq 변환을 실행해 얻은 d_{pa} , d_{na} , d_{pb} , d_{nb} , d_{pc} , d_{nc} 값을 이용해 d_{p0} , d_{n0} 의 값을 다음과 같이 선택 한다.

$$\begin{aligned} -\min(d_{pa}, d_{pb}, d_{pc}) &= d_{p0} / \sqrt{3} \\ -\min(d_{na}, d_{nb}, d_{nc}) &= d_{n0} / \sqrt{3} \end{aligned} \quad (39)$$

식 (39) 와 같이 d_{p0} , d_{n0} 을 선택하면 제한 사항 2. 를 만족 하게 되고 제한 사항 1. 에 의해서 자연스럽게 d_{o0} 값을 얻을 수 있다.

일련의 과정을 제어 블록도로 나타내면 그림 4와 같다.

4. 시뮬레이션 및 실험

제안한 방법의 유효성을 검증하기 위해서 시뮬레이션 과 실험을 수행 하였다. 시뮬레이션과 시험의 파라미터 는 Table 1 의 값을 사용 하였다. 시뮬레이션은 전력전자 시뮬레이션 프로그램인 PSIM을 사용 하였고, 실험은 6 kW 급의 프로토타입 실험 세트 로 진행 하였다.

TABLE I
SIMULATION AND EXPERIMENT PARAMETERS

Parameters	value
DC-link voltage	500 [V]
DC-link capacitance	3.3[mF]/ 25 [μ F]
Grid voltage	220 [Vrms]
Switching frequency	20 [Khz]
Grid frequency	60 [Hz]
Inductor L_{f1}	3.4 [mH]
Inductor L_{f2}	2.2 [mH]
Capacitor C_f	450 [nF]

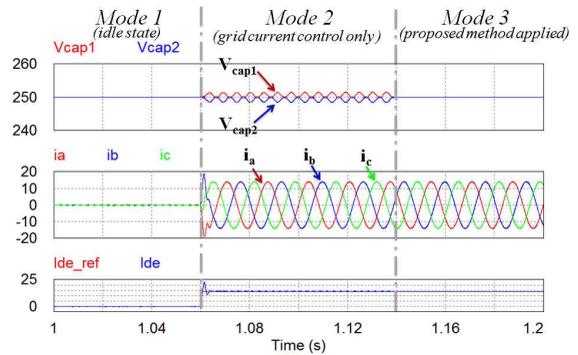


Fig. 5. DC-link capacitor(3.3 mF) voltage, phase current and d axis current waveform.

그림 5. 는 DC 링크 커패시터의 커패시턴스가 3.3mF 일 때 시뮬레이션을 한 파형이다. 가장 위쪽은 DC 링크 커패시터 양단의 전압을 나타내고, 가운데 파형은 계통 출력 상 전류를 나타낸다. 마지막 가장 아래 파형은 d축 상의 지령 전류값과 실제 d축 전류를 보여 준다. 전류제어기의 계단응답(step response)에 대한 정착시간(settling time)은 약 4.5 msec 로 측정 되었다. Mode 1 의 구간은 d축 전류의 지령이 0인 구간이고, Mode 2 의 구간은 중성점 진동 저감 기법 없이 전류의 제어만 적용한 구간이다. Mode 1에서 Mode 2로 변환 될 때 d축 14 A 의 전류 지령을 주어 계단응답(step response)을 확인했다. 중성점 진동 저감 기법이 적용 되지 않아 중성점 전압의 진동이 나타나는 것을 볼 수 있다. 이때, 중성점 전압진동의 진폭은 약 1 V 정도다. Mode 3의 구간에서는 계통 출력 전류의 제어와 중성점 진동 저감기법의 제어가 모두 적용된 구간이다. 이 구간에서는 계통의 전류제어가 잘 됨과 동시에 중성점 전압의 진동 또한 상당 부분 감소 한 것을 알 수 있다. 그림 6. 은 DC 링크 커패시터의 커패시턴스가 25 μ F 일 때 시뮬레이션을 한 파형이다. Mode 1, Mode 2, Mode 3 의 조건은 그림 5. 과 같다. Mode 2 의 중성점 전압의 진동의 진폭이 매우 큼을 알 수 있다. 또한 계통 출

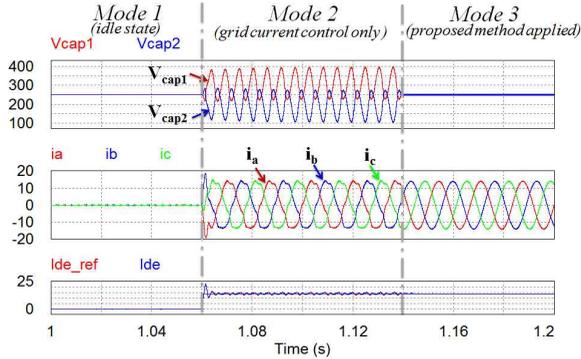


Fig. 6. DC-link capacitor(25 μF) voltage, phase current and d axis current waveform.

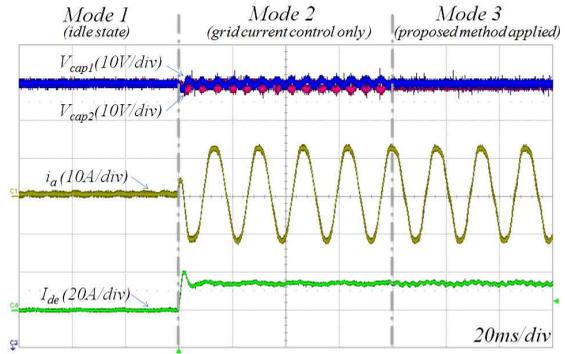


Fig. 8. DC-link capacitor(3.3 mF) voltage, grid output currents of 'a' and d axis current experiment waveform.

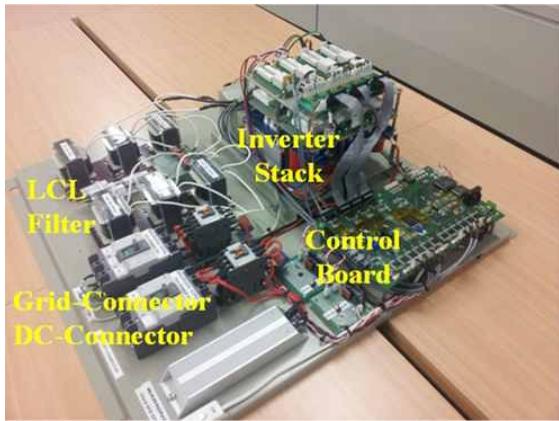


Fig. 7. Experimental setup of three level neutral point clamped inverter with a LCL filter.

력 전류의 왜곡 또한 심한 것을 확인 할 수 있다. 하지만 중성점 진동 저감기법이 적용된 Mode 3 에서는 중성점 전압의 진동의 진폭이 매우 감소 된 것을 확인 할 수 있으며, 계통 출력 전류의 왜곡도 거의 사라진 것을 확인 할 수 있다.

그림 7. 은 실험이 수행된 6kW 급 NPC 인버터 프로토타입 실험 세트다. 계통 연계형이며, 제어부와 인버터 스택 부분으로 구성 되어있다. 제어부의 DSP 는 TI 사의 28335 시리즈를 사용 하였다.

그림 8. 은 그림 5.와 같은 조건으로 실험을 수행한 실험 파형이다. d축 전류제어기의 계단응답(step response)에 대한 정착시간(settling time)을 살펴보면 약 5 msec 로 시뮬레이션과 큰 차이는 없었다. Mode 2에서 중성점 전압의 진동이 나타나는 것을 확인 할 수 있었다. 이때 진동의 진폭은 약 1.5 V 로 그림 5 시뮬레이션과 약 0.5 V 차이가 난다. 이는 실험 시스템의 비선형적인 요소(온도에 따른 필터의 인덕턴스 변화 등)로 인해 발생한다. 하지만 그 크기가 무시할만한 크기이다. 제안한 방법이 적용된 Mode3에서 중성점 전압의 진동

이 저감 된 것을 확인 할 수 있다.

6. 결 론

이 논문에서는 LCL 필터를 사용한 계통연계 3상 3-레벨 NPC 인버터의 소신호 모델링과 계통 출력 전류 제어 및 중성점 전압 진동 저감에 관해 나타내었다. 소신호 모델링을 통하여 불연속 비선형 시변 시스템을 연속 선형 시불변 시스템화 하였다. 소신호 모델로부터 계통 전류 제어와 중성점 진동 저감 제어방법을 찾아 합성하여 출력 계통 전류와 중성점 전류를 동시에 제어하여 중성점 전압의 진동을 거의 제어하였다. 제안된 방법은 시뮬레이션과 실험을 통해 그 유효성을 검증하였다. 시뮬레이션과 실험으로부터 제안한 방법을 적용한 경우 중성점의 진동이 저감된 것을 확인할 수 있었다. 또한 시뮬레이션에서 DC-링크 커패시터가 3.3 mF 일 때, 계통 출력전류만 제어한 경우 계통 출력전류파형의 THD는 3.41%로 측정됐고, 제안한 방법이 적용됐을 때 계통 출력전류파형의 THD가 3.53%로 측정됐다. DC-링크 커패시터의 커패시턴스가 비교적 큰 경우에는 중성점 전압의 저주파 진동의 진폭이 작아 THD의 차이가 적은 것을 확인할 수 있었다. 제안한 방법에서는 한 주기동안 P, O, N 상태가 모두 존재하기 때문에 THD가 소폭 높아지는 것을 확인할 수 있었다. 하지만 DC-링크 커패시터를 25 uF 로 두고, 계통 출력전류만 제어한 경우 계통 출력전류파형의 THD는 11.5% 의 값을 가지고, 제안한 방법이 적용됐을 때 계통 출력전류파형의 THD는 3.53% 를 나타냈다. 이로써 제안한 방법은 DC-링크 커패시터 커패시턴스가 작을 때 더 효과가 있음을 알 수 있었다. 결과적으로 제안된 방법은 중성점 전압의 진동을 제어하는데 있어서 효과적이었다. 또한 제안된 방법은 DC-링크 커패시터의 캐패시턴스가 작은 경우에도 그 효과가 있음을 보여 줬다. 따라서 DC-링크 커패시터의 부피가 작아야 하는 응용 분야에서 이 제어 방법이 사용 될 수 있다는 가능성을 보여 줬다.

References

- [1] F. Blaabjerg, R. Teodorescu, and Z. Chen, "Power electronics in renewable energy systems," *EPE-PEMC 2006. 12th International*, pp. 1-17, 2006.
- [2] J. Rodriguez, J. S. Lai, and F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," *IEEE Transactions on Industrial Electronics*, Vol. 49, No. 4, pp. 724-738, Aug. 2002.
- [3] L. M. Tolbert, F. Z. Peng, and T. G. Habetler, "Multilevel converters for large electric drives," *IEEE Transactions on Industry Applications*, Vol. 5, No. 1, pp. 36-44, 1999.
- [4] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point-clamped PWM inverter," *IEEE Transactions on Industry Applications*, Vol. 17, No. 1, pp. 518-523, Sep. 1981.
- [5] Y. H. Lee, R. Y. Kim, and D. S. Hyum, "A novel SVPWM strategy considering dc-link balancing for a multi-level voltage source inverter," in *Proc. IEEE APEC'99*, pp. 509-514, 1999.
- [6] S. Ogasawara and H. Akagi, "Analysis of variation of neutral point potential in neutral-point-clamped voltage source PWM inverters," in *Conf. Rec. IEEE-IAS Annu. Meeting*, pp. 965-970, 1993.
- [7] X. Yuan and I. Barbi, "Soft-switched three level capacitor clamping inverter with clamping voltage stabilization," in *Conf. Rec. IEEE IAS Annu. Meeting*, pp. 502-508, 1999.
- [8] K. Yamanaka, A. M. Hava, H. Kirino, Y. Tanaka, N. Koga, and T. Kume, "A novel neutral point potential stabilization technique using the information of output current polarities and voltage vector," *IEEE Transactions on Industrial Applications*, Vol. 38, No. 6, pp. 1572-1580, Nov/Dec. 2002.
- [9] N. Celanovic and D. Voroyevich, "A comprehensive study of neutralpoint voltage balancing problem in three-level neutral-point-clamped voltage source PWM inverters," *IEEE Transactions on Power Electronics*, Vol. 15, No. 2, pp. 242-249, Mar. 2000.
- [10] J. Pou, J. Zaragoza, P. Rodriguez, S. Ceballos, V. Sala, R. Burgos, and D. Boroyevich, "Fast-processing modulation strategy for the neutralpointclamped converter with total elimination of the low-frequency voltage oscillations in the neutral point," *IEEE Trans. Ind. Electron*, Vol. 54, No. 4, pp. 2288-2294, Aug. 2007.
- [11] S. Hiti, D. Boroyevich, and C. Cuadros, "Small-signal modeling and control of three-phase PWM converters," *IEEE Industry Applications Society Annual Meeting*, pp. 1143-1150, Oct. 1994.
- [12] P. Duijsen, "Multilevel modeling and simulation of power electronics system," *Fifth European Conference on Power Electronics and Applications*, Vol. 4, pp. 347-352, Sep. 1993.

**조자휘(趙滋暉)**

1986년 9월 11일생. 2012년 한양대 전자 및 통신공학과 졸업. 2014년 동 대학원 차세대 전력변환시스템공학과 졸업(석사).

**구남준(具楠逵)**

1987년 8월 10일생. 2010년 한양대 전기제어공학부 졸업. 2012년 동 대학원 전기공학과 졸업(석사). 2012년~현재 동 대학원 전기공학과 박사과정.

**정석연(鄭錫彦)**

1960년 10월 30일생. 1983년 숭실대 전기공학과 졸업. 2002년 한양대 전기공학과 졸업(석사). 2005년~현재 동 대학원 전기공학과 박사과정. 1982년~1990년 이화전기공업 연구소 대리. 1993년~1999년 수영전기공업 연구소장. 2003년~현재 이화전기공업 기술본부장, 기술연구소장.

**현동석(玄東石)**

1950년 4월 8일생. 1973년 한양대 전기공학과 졸업. 1978년 동 대학원 전기공학과 졸업(석사). 1986년 서울대 대학원 전기공학과 졸업(공학박사). 1984년~1985년 미국 토레도 대학 교환교수. 1988년~1986년 원한공과대학 교환교수. 2003년 IEEE, Fellow member. 1979년~현재 한양대 전기생체공학부 교수, 2000년 당 학회 회장 역임.