

http://dx.doi.org/10.7236/IIBC.2014.14.4.219

IIBC 2014-4-31

## 지연고장 검출을 위한 LOS/LOC 스캔 테스트 기술

### LOS/LOC Scan Test Techniques for Detection of Delay Faults

허용민\*, 최영철\*\*

Yongmin Hur\*, Youngcheol Choe\*\*

**요약** 본 논문에서는 디지털 논리회로의 스캔(scan) 방식에 기초한 효율적인 테스터블(testable) 스캔 셀(cell)을 제안하며 타이밍과 관련된 지연고장(delay fault)을 검출하기 위한 Mux-based 스캔 셀 설계와 테스트방식을 제안한다. 이로 인해 설계와 검증 시 소요되는 테스트 시간과 비용을 단축하고, LOC(Launch-off-Capture)와 LOS(Launch-off-Shift)방식의 지연고장 테스트 방안도 제안한다. 제안된 테스트방식은 스캔 입력에서 거리가 먼 마지막 스캔 셀까지의 전역 제어신호(global control signal)가 늦게 도달하는 문제점을 클럭(clock) 신호를 이용하여 동기화시킴으로써 보다 빠르게 구동시켜 고속의 테스트가 가능하다. 또한, 테스트 벡터 입력 시 대상회로의 논리 값 인가를 차단하여 테스트 벡터 입력동안의 스캔 전력소모를 효과적으로 줄이도록 한다. 스캔 셀 설계의 논리 동작과 타이밍 시뮬레이션을 통해 제안된 방식의 동작을 증명 한다.

**Abstract** The New efficient Mux-based scan latch cell design and scan test of LOS/LOC modes are proposed for detection of delay faults in digital logic circuits. The proposed scan cell design can support LOS(Launch-off-Shift) and LOC(Launch-off-Capture) tests with high fault coverage and low scan power and it can alleviate the problem of the slow selector enable signal and hold signal by supporting the logic capable of switching at the operational clock speeds. Also, it efficiently controls the power dissipation of the scan cell design during scan testing. Functional operation and timing simulation waveform for proposed scan hold cell design shows improvement in at-speed test timing in both test modes.

**Key Words** : Digital logic circuit, Scan test, Scan cell design, Power dissipation

## 1. 서 론

스캔(scan)을 기초로 하는 테스트방법은 순서회로(sequential circuits)의 지연고장(delay fault) 검출에 사용될 수 있으며 그 주된 방법으로는 LOC(Launch-off-Capture)방법과 LOS(Launch-off-Shift)방법이 사용된다. 검출하고자 하는 고장모델로서 지연고장은 회로의 타이밍(timing)과 관련된 결함의 주요원인이 된다. 이 지

연고장은 나노미터(nanometer) 반도체 공정시대의 주요한 이슈(issue)로 떠오르고 있으며 타이밍 결함의 원인으로 회로내의 단락(short), 개방(open), 비아 공백(via voids), 게이트 옥사이드 문제(gate oxide failure)등으로 설명할 수 있다.

기존의 stuck-at 테스트방법으로는 회로의 타이밍 고장을 검출하는 제약을 갖고 있기 때문에 IC 제품의 성능을 완벽하게 검증할 수 없다. 그리고 스캔 셀(scan cell)

\*정회원, 동서울대학교 디지털전자과

\*\*정회원, 동서울대학교 컴퓨터소프트웨어과

접수일자 : 2014년 7월 20일, 수정완료 : 2014년 8월 7일

게재확정일자 : 2014년 8월 8일

Received: 20 July, 2014 / Revised: 7 August, 2014

Accepted: 8 August, 2014

\*Corresponding Author: ymhur@dsc.ac.kr

Dept. of Digital Electronics, Dong Seoul College, Korea

이 적용된 순서회로의 지연고장 테스트는 두 개의 테스트벡터(test vectors)인 V1, V2를 사용하며, 첫 번째 테스트벡터인 V1은 검사하고자 하는 대상인 회로(CUT: Circuit Under Test)의 내부 논리 값을 초기화시키는 데 사용되며, 두 번째 테스트벡터인 V2는 내부의 논리 값을 천이(transition)시켜 그 천이된 값을 회로의 출력값 또는 스캔 셀(scan cell)에 도착하게 하는 역할을 한다.

여기서 스캔 셀이 적용된 대상회로는 순서회로가 조합회로(combinational circuits)화 되어 회로의 주입력 PI(Primary Inputs)외에도 PPI(Pseudo Primary Input)가 그리고 주출력 PO(Primary Output)외에도 PPO(Pseudo Primary Output)가 생기게 된다. 따라서 이 PI, PO와 PPI와 PPO를 이용하여 테스트 벡터를 입력시키고 출력값을 관측하게 된다. 일반적으로 스캔화된 순서회로의 테스트 시 스캔 셀로 이어진 스캔체인(scan chain)을 통해 테스트 벡터(V1 또는 V2)를 느린 스캔 클럭(slow scan clock)으로 전달시키며(scan in) 최종적으로 관측되는 출력값은 빠른 캡처 클럭(fast capture clock)으로 스캔체인에 저장되어 스캔 셀을 통해 출력(scan out)된다.

순서회로를 조합회로화 시키는 역할을 하는 스캔체인의 역할은 회로의 테스트시간과 비용을 크게 개선시키지만, 또한 제한적인 구조적 문제를 안고 있어 다양한 V1, V2의 테스트벡터를 자유롭게 인가하고 출력시키는데 한계를 갖고 있다. 그러므로 어떻게 테스트 벡터 V2를 생성시키느냐에 따라 스캔 지연 테스트는 LOC 와 LOS 로 나누게 된다. LOC는 broadside test 라고도 불리우며 이 방식으로 생성되는 V2는 첫 번째 V1 테스트벡터에 의해 응답되는 V1의 출력값이 V2가 된다. 반면, LOS는 첫 번째 테스트 벡터인 V1이 인가되고 난 후 그 출력값을 캡처하지 않으며, 스캔체인에 있는 V1의 테스트벡터를 1비트 시프트(shift) 시킨 값으로 V2를 만드는 방식으로 skewed-load test 라고도 불린다. 본 논문에서는 기존의 scan test 방법을 개선하여 LOS 및 LOC에 적합한 스캔 셀과 테스트 방법을 제안한다.

## II. 스캔 테스트방법

### 1. 스캔구조에 기반한 지연고장 테스트

그림 1에서 나타남과 같이 LOC 와 LOS 의 방법중의 큰 차이는 SE(Scan Enable)신호가 테스트 벡터 V2와

최종 출력신호 캡처 사이에 빠르게 전환(HIGH -> LOW)될 수 있는지가 관건이다. 테스트벡터 V2가 인가되고 나서 실제 회로동작 클럭으로 그 결과를 빠르게 캡처하는 것이 At-speed testing 의 중요한 포인트가 되는데 위의 두 가지 LOC 방법과 LOS 방법이 이 사이클을 지킨다. 그러나 LOC 방법은 V1의 결과값을 그대로 V2로 간주하여 인가하기 때문에 고장검출율에 있어서 LOS 방법보다 떨어진다. 그러므로 전형적인 스캔 셀 방식을 적용한 회로에 있어서는 LOC 방법을 사용하고 있는 실정이다. 만약에 LOS 방법이 적용가능한 회로구조라면 고장검출율과 테스트시간 단축을 가져올 수 있다.

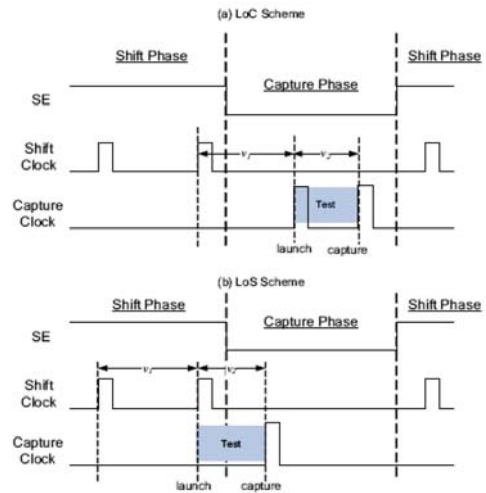


그림 1. At-speed 스캔 테스트 방법(LOS 와 LOC)<sup>[4]</sup>  
Fig. 1. At-Speed scan testing schemes(LOC & LOC)<sup>[4]</sup>

표 1에서 알 수 있는바와 같이 지연고장을 위해 특별히 설계된 enhanced-scan 테스트방법은 고장검출율(fault coverage), 테스트셋 크기(test set size) 즉, ATPG(Automatic Test Pattern Generator) 복잡도 및 생성시간에 있어 가장 우수하지만, 하드웨어 오버헤드(overhead)면에서 가장 큰 핸디캡(handicap) 을 갖는다. LOS 즉, skewed-load 방식은 LOC(Broadside)방법보다 대체로 우수하며 하드웨어 오버헤드량이 보다 크다는 것을 알 수 있다. 반면, LOC 방법은 하드웨어 오버헤드면에서 가장 큰 장점을 갖고 있지만 다른 두 방법보다 성능이 떨어진다.

표 1. Enhanced-scan, Skewed-load, Broadside 간 비교

Table 1. Enhanced-scan vs. Skewed-load vs. Broadside

Comparison Item	Enhanced-scan	Skewed-load (LOS)	Broadside (LOC)
Fault Coverage	Highest	Higher	Lowest
Test Set Size	Smallest	Smaller	Largest
ATPG Complexity	Lowest	Higher	Highest
ATPG Time	Shortest	Shorter	Longest
Scan-cell Type	Hold-scan	Standard	Standard
Hardware Overhead	Highest	Higher	Lowest

지연고장을 검출하기 위한 일반적이면서도 오래된 스캔구조는 그림 2와 같다. 스캔 셀들은 2개이며 그 중 하나는 테스트벡터 V2를 위한 것이며, V1과 V2가 교대로 시프트되어 차례로 인가된다. 이는 LOS 방식에 적합하지만 다른 어떤 형태의 지연고장 테스트 인가방식도 가능한 방식이다. 이 스캔구조는 스캔 셀의 이중화에 따른 하드웨어 오버헤드량이 크다는 것을 알 수 있다. 이러한 하드웨어 오버헤드량을 감소시킨 구조가 그림 3이다. 이 스캔구조는 부가적인 제어 신호를 가지며 이 제어신호는 래치의 동작을 제어한다. 테스트 방식으로 V1을 래치에 저장시켜 놓고 V2 벡터를 시프트시켜 SFF에 저장시키도록 하는 방식이다. 한 번 V1과 V2가 위치해 있게 되면 V1과 V2를 각각 HOLD 래치의 제어신호를 동작시켜 회로에 인가함으로써 지연고장 테스트를 수행할 수 있다.<sup>[6]</sup>

## 2. 스캔-홀드 플립플롭(Scan-Hold Flip-Flop)

부가적인 홀드래치(Hold Latch)를 갖고있는 스캔 플립플롭으로 그 구조는 그림 4와 같다. SFF(Scan Flip-Flop)에 홀드기능을 가진 소자를 추가 한 아이디어는 Das Gupta et al. <sup>[2]</sup> 에 의해 제안되었다. 그림 3은 그림 2의 단일 클럭을 가진 SFF 다음에 연이어서 홀드래치를 포함하고 있으며, HOLD 신호값이 LOW일때 자신의 상태가 유지된다. 만약에 HOLD 값이 HIGH가 되면 앞단의 SFF의 출력값이 그대로 전달되는 상태가 된다. 그림 4에서 보통의 정상모드 일 때는 TC(Test Control)와 HOLD 신호값이 1이 되며, 스캔 모드일때는 TC = 0, HOLD = 0 이며, 이러한 상황은 CUT로의 스캔입력의 신호를 분리하는 결과를 가져온다. 스캔 셀에 저장된 신호값을 회로에 인가하기 위해서는 HOLD 신호값이 0에서

1로 변경되어야 하며 이때 셀이 저장된 논리값이 비로서 전달된다.

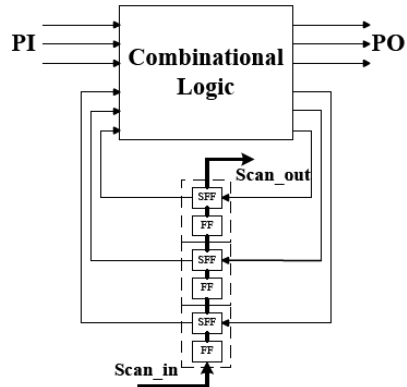


그림 2. 고전적인 enhanced 스캔구조  
 Fig. 2. Classical enhanced scan structure

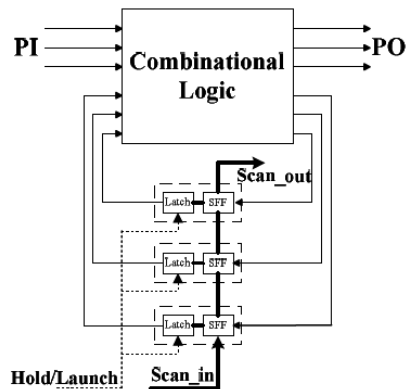


그림 3. HOLD 래치를 가진 Enhanced scan 구조  
 Fig. 3. Enhanced scan structure with hold latches

SHFF는 원래 스캔부분과 비스캔(non scan)부분으로 구분하기 위해 설계되었는데 이를 지연고장 테스트에 적용할 수 있으며 테스트 벡터쌍(V1, V2)을 인가하여 지연고장 테스트를 수행 할 수 있다.<sup>[2]</sup>

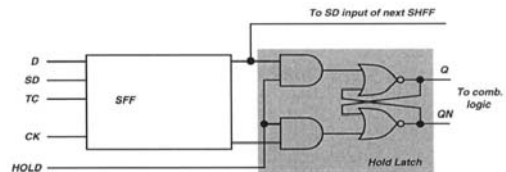


그림 4. 스캔-홀드 플립플롭<sup>[2]</sup>  
 Fig. 4. SHFF(Scan-Hold Flip-Flop)<sup>[2]</sup>

### III. 지연고장 테스트 방법

#### 1. 느린 클럭을 사용하는 조합회로 테스트

이 경우에는 PI(Primary Input)와 PO(Primary Output)에서 내부적으로 플립플롭만을 가진 순서회로나 조합회로인 경우에 해당한다. 그림 5는 이러한 아키텍처를 나타낸다. 입력과 출력래치는 회로의 일부분이거나 또는 ATE(Automatic Test Equipment)에 의해 제공되는 부분이다, 입력과 출력 테스트 클럭은 각각 테스트 벡터의 인가와 조합회로의 출력의 데이터저장을 제어한다. 이 둘 클럭은 독립적으로 지연(delay) 또는 스큐(skew)가 허용 되도록 제어가 가능해야 하며, 2-벡터 지연 테스트는 V2 벡터가 인가될 때, V1 테스트벡터에 의한 모든 신호가 정상 상태(steady state)에 이르러야 한다는 것을 가정한다. 만약 이러한 가정이 만족되지 못할 때는 V2 테스트 벡터가 인가될 때 실제 회로의 상태는 어떠한 과도기적(transient) 신호를 포함하게 될 수 있다. 따라서 이러한 과도기적 신호들은 테스트하고자 하는 경로의 테스트를 방해할 수 있게 된다. 이 문제를 해결하기 위해서는 정격의 클럭주파수(rated clock frequency) 보다 느리게 테스트 입력 벡터를 인가하는 것이다.

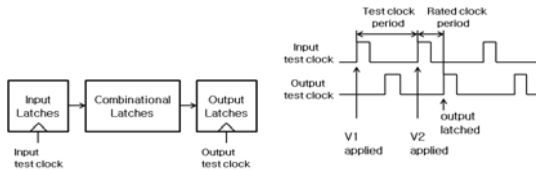


그림 5. Skewed slow-clock 테스트 적용  
Fig. 5. Skewed slow-clock test application to a combinational circuit

그림 5의 타이밍도를 보면, 출력 클럭은 정격클럭 주기와 같은 시간 만큼 편향(skewed)된 것을 알 수 있으며, 바로 이시간은 조합논리 회로를 거쳐 V1에서 V2 로의 천이가 되는 시간인 셈이다. 만약 활성화된 경로의 지연이 정격클럭 주기보다 길어지게 된다면 그때는 출력래치에서 출력값이 저장되고 이 값의 상태를 관찰하여 고장유무를 알게 된다.

#### 2. 개선된 스캔 테스트(Enhanced-scan test)

이 방법은 순서회로에 적용되며, 임의의 벡터쌍이 적용될 수 있는 많은 장점을 갖고 있다. 그래서 지연 테스트

벡터는 조합논리회로로 간주하여 만들어질 수 있어 테스트 생성이 쉽다. 그렇지만 보통의 스캔 회로는 홀드래치(hold latch)와 부가적인 홀드(HOLD)신호를 삽입하여야 테스트가 개선되게 된다. 개선된 플립플롭(enhanced flip-flop)의 설계와 동작은 scan-hold flip-flop로 알려져 있다.

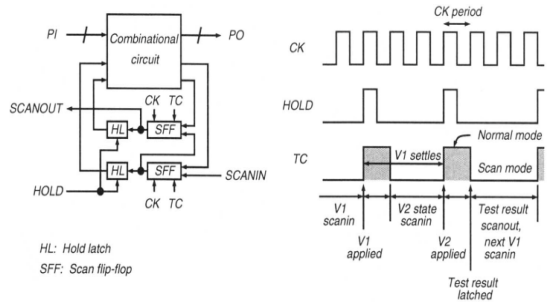


그림 6. 순서회로의 개선된 스캔 지연고장 적용<sup>[5]</sup>  
Fig. 6. Enhanced-scan delay test application to sequential circuit<sup>[5]</sup>

그림 6은 개선된 스캔 회로와 타이밍도를 나타낸다. 각각의 벡터는 두 개의 부분, 즉 PI에 해당되는 비트들과 내부 상태변수에 해당하는 비트들이다. V1은 테스트 제어 TC=0으로 하고 클럭을 인가하여 SCANIN을 통해 직렬로 스캔 레지스터로 시프트된다. 때때로 전력소비를 줄이기 위해 느린 클럭을 사용하는 때도 있다. 스캔된 V1 비트들은 HOLD 신호를 활성화함으로써 홀드래치(HL)로 전송되고 반면에 V1의 PI 비트들도 PO로 인가된다. V1에 의해 신호들이 안정화될 때, V2의 상태비트가 내부로 스캔된다. 다음으로, HOLD 신호와 V2의 PI에 대한 인가가 동시에 활성화되어 조합논리회로의 입력에 V1->V2의 천이를 일으키게 된다. 테스트제어 TC=1은 정격 클럭주기에서 정확하게 회로가 정상모드로 동작되게 만든다. 클럭 CK는 조합논리회로 출력값이 플립플롭에 저장되게 한다. 이러한 사이클의 클럭은 정격화된 주기를 가져야만 하며, PO 신호는 직접적으로 관측되고, 내부의 플립플롭상태는 밖으로 스캔된다. 대체로 스캔출력(scanout)은 다음의 스캔입력(scanin)동작과 겹친다. 테스트시간은 풀 스캔설계(full scan design)의 시간과 유사하다. 그러나 스캔 면적 오버헤드(scan area overhead)는 홀드래치로 인해 증가하며, 신호 경로상에 어느 정도 지연이 발생된다.

### 3. 개선된 스캔 셀 설계(Enhanced scan cell design)

그림 7의 Mux 스캔 플립플롭은 일반적인 스캔 설계에서 가장 많이 사용되는 형태의 플립플롭이다. 앞단의 Mux는 스캔테스트 데이터의 입력과 CUT의 출력을 선택하는 논리로서 정상동작과(SE=0) 스캔 테스트(SE=1)를 스캔 인에이블(SE : Scan Enable)의 제어신호로 동작 모드(Normal, Test)를 선택 하게 된다.

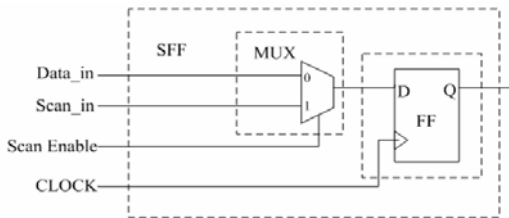


그림 7. MUX 스캔 플립플롭  
 Fig. 7. Multiplexed based scan Flip-Flop

전형적인 개선된 스캔 설계(enhanced scan design)는 두 비트를 대상회로의 입력쪽에 저장하고 있으며 D 플립플롭에 Muxed-D 스캔 셀을 덧붙인 구조로 되어 있다. 따라서 벡터 V2의 저장과 회로인가에 대하여 아무런 제약이 없으므로 높은 고장 검출율을 나타내게 된다. 단, 플립플롭의 증가와 여분의 논리로 인해 면적에서의 오버헤드는 피할 수 없다. 따라서 이러한 기본 구조에 테스트 시간과 테스트 논리면적과의 상관관계를 고려한 스캔 셀은 그림 8과 같다.

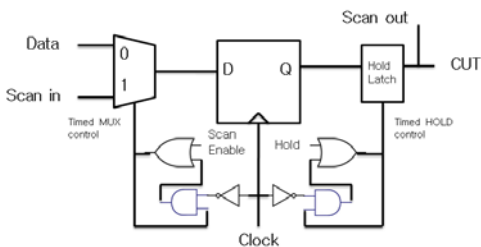


그림 8. 제안된 지연테스트 스캔 셀 설계  
 Fig. 8. Proposed scan cell design for delay test

그림 8에서 보여지는 AOI(AND/OR/Inverter)논리는 논문<sup>[7]</sup>에서 채택하여 사용된 논리로 본 논문에서도 이를 사용하도록 하며, 단 플립플롭 전단의 Mux의 SE 제어신호뿐만 아니라 홀드래치를 사용하는 스캔 셀의 Hold 신

호 앞단에도 동일하게 사용하도록 한다. 그러므로 전역 제어신호의 단점으로 부각되는 느린 신호전이를 바로 이 우타는 D 플립플롭의 클럭신호로서 제어하게 하므로써 실시시간의 테스트(At-speed test)를 보장한다.

### IV. 시뮬레이션 및 결과

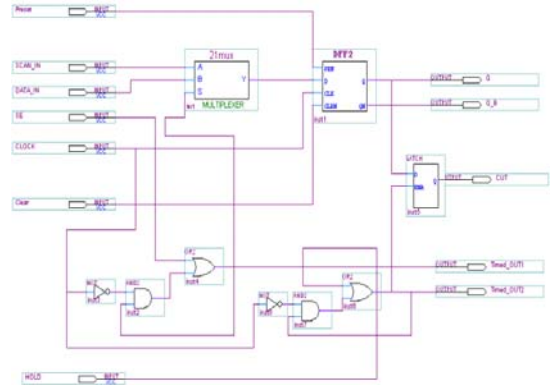


그림 9. CAD 도구에 의한 스캔 셀 설계  
 Fig. 9. Proposed scan cell design by CAD tool

그림 9는 제안된 스캔래치 셀로서 전역 제어신호선인 SE와 Hold 신호 앞에 간단한 AOI 논리를 추가하여 LOS 테스트에 필요한 테스트타이밍 확보가 가능하다.

그림 10은 그림 9의 타이밍도로서 Timed\_OUT1 신호가 SCAN\_IN의 하강신호와 이어지는 클럭 신호로 인해 1에서 0으로 떨어져 LOS 및 LOC 테스트를 타이밍에 맞게 수행됨을 알 수 있다. 또한, Hold 신호선도 AOI 논리를 통해 Timed\_OUT2 신호를 생성하므로 그림 10에서 보는바와 같이 적절하게 신호가 1에서 0으로 하강함을 볼 수 있다. 최종 신호 CUT는 latch의 입력인 Q값을 입력으로 만들어지게 된다. 따라서 제안된 스캔 셀로서 사용자는 테스트 벡터에 따라 사용하는데 아무런 지장도 받지 않고 LOS와 LOC 테스트 모두를 수행하게 된다. LOS와 LOC 테스트 시 V1 벡터의 인가는 Hold 신호를 0으로 하여 CUT에 초기화 벡터인 V1들이 인가되지 못하게 함으로서 테스트동안에 발생될 수 있는 대상회로의 전력소모를 효율적으로 줄이게 된다. 이것은 대상회로의 스캔 셀의 수가 증가 할수록 비례해서 스캔 전력소모(scan power dissipation) 감소량은 선형적으로 증가한다. 제안된 스캔 셀의 정상 및 테스트동작은 다음과 같다.

정상모드 : Hold = 1, SE(scan Enable) = 0  
 테스트모드 절차1) H=0, SE=1, 플립플롭 클럭인가,  
 V1 스캔 (No scan power)  
 테스트모드 절차2) SE=0, H=1(V1 인가), V2인가, 캡처

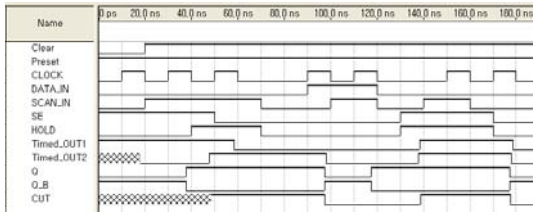


그림 10. 시뮬레이션 파형 1  
 Fig. 10. Simulation waveform 1

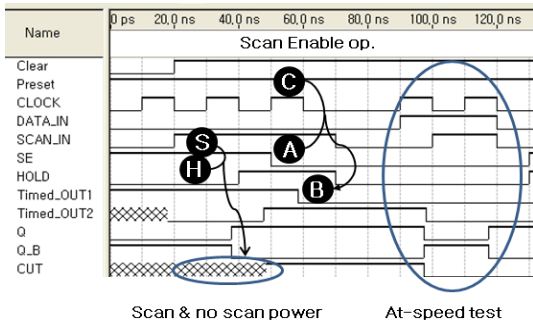


그림 11. 시뮬레이션 파형 2  
 Fig. 11. Simulation waveform 2

그림 11의 시뮬레이션 파형은 정상적인 고속의 테스트(at-speed test) 동작과 더불어 그림 10에서의 SE의 ① 신호변화가 클럭 ②에 동기 되어 신호(Timed\_OUT1) ③를 생성하는 것을 나타내고 있다. 따라서 빠른 클럭의 신호로 인해 주입력(primary input)에서 거리가 먼 곳에 위치한 스캔 셀의 제어신호를 빠르게 동작시킨다. 또한, 제안된 스캔 셀에 Hold 래치의 제어신호를 테스트시 적절하게 제어함으로써 그림 11의 SCAN\_IN ④ 신호를 1, HOLD 신호 ⑤는 0으로 하여 최종 출력 신호인 CUT에 영향을 주지 않게 된다. 스캔 하는 동안의 1에서 0, 또는 0에서 1의 테스트 벡터값이 대상회로에 인가되지 않아 이로 인한 전력소모도 감소되는 것을 알 수 있다.

## V. 결론

회로의 높은 고장 검출율을 위해 본 논문에서는 기본

적인 스캔 셀과 스캔 셀을 중심으로 느린 클럭을 사용하는 제어 신호를 보다 빠르게 구동시키는 방식을 적용하였으며 특히, 두 개의 테스트 패턴이 필요한 지연고장 테스트에 있어 V2의 백터에 대한 시프트입력과 인가 방식, 그리고 결과를 타이밍에 맞게 캡처하는 회로를 바탕으로 LOS 및 LOC 방식 모두를 사용할 수 있는 새로운 테스트 방식을 제안 하였다. 제안된 지연고장 테스트 방식은 기존의 개선된 스캔 셀을 사용하는 방식에 비하여 약간의 소수 하드웨어를 사용하지만, 위에서 언급한 백터인가의 유용성, 느린 제어 신호의 빠른 구동, 타이밍에 맞는 출력 결과의 캡처, 시프트동안의 낮은 전력 소모 등의 장점을 갖는다. 향후 레이아웃 상에서의 시뮬레이션과 LOS 방식에 효과적인 테스트 벡터의 생성에 관한 연구가 필요하다.

## References

- [1] Rajesh Kumar, et al., "A Robust Pulsed Flip-flop and its use in Enhanced Scan Design," ICCD 2009, pp.97-102
- [2] S. DasGupta, R. G. Walther, and T. W. Williams, "An Enhancement to LSSD and Some Applications of LSSD in Reliability," in Proc. of the International Fault-Tolerant Computing Symp., June 1981, pp. 32 - 34
- [3] Ashok Kumar Suhag and Vivek Shrivastava, "Delay Testable Enhanced Scan Flip-Flop: DFT for High Fault Coverage," International Symposium on Electronic system Design 2011, pp.129-133
- [4] P. Sindhuja, et al., "A Lphc X-Filling Framework For Capture power Reduction During Speed Scan Testing," Journal of Engineering, Computers & Applied Science, Vol.2, No.2 Feb., 2013, pp.13-19
- [5] Essentials of Electronic Testing for digital, memory and mixed-signal VLSI circuits, Michael L. Bushnell and V. D. Agrawal, 2002, Kluwer Academic Publishers
- [6] Gefu Xu and Adit D. Singh, "Flip-flop Selection to Maximize TDF Coverage with Partial Enhanced Scan," 16th Asian Test Symposium, pp.335-340

- [7] Gefu Xu and Adit D. Singh, "Low Cost Launch-on-Shift Delay Test with Slow Scan Enable," in Proc. European Test Symposium, 2006, pp. 9-14
- [8] Sang-Bong Park, "Design and Implementation of Low Power Touch Screen Controller for Mobile Devices," The Journal of The Institute of Internet, Broadcasting and Communication (JIIBC), VOL. 12 No. 6, December 2012, pp.279-283
- [9] Jun-Mo Jung, "Efficient Test Wrapper Design in SoC," Journal of the Korea Academia-Industrial cooperation Society (JKAIS), VOL. 10, No. 6, 2009, pp.1191-1195

#### 저자 소개

##### 허 용 민(정회원)



- '96 한양대학교 공학박사
  - '99 LG 정보통신 중앙연구소 이동통신 연구단
  - '99 ~ 동서울대학교 디지털전자과 부교수
- <주관심분야>: VLSI Design & Test, Data Compression, Embedded System

##### 최 영 철(정회원)



- '80 한양대학교 공학석사
  - '81 ~ '88 육군사관학교 전임강사
  - '88 ~ 동서울대학교 컴퓨터소프트웨어과 부교수
- <주관심분야>: Software Metrics, Cognitive Radio, Computer Architecture

※ 2013년도 동서울대학교 산학협력단 부설 연구지원센터의 지원에 의하여 연구되었음.