

시스템 LSI 반도체 FAB의 납기만족을 위한 예약 기반의 디스패칭 룰

서정철¹ · 정용호² · 박상철^{2†}

¹삼성전자, ²아주대학교 산업공학과

Reservation based Dispatching Rule for On-Time Delivery in System LSI Semiconductor FAB

Jeongchul Seo¹, Yongho Chung², and Sangchul Park^{2†}

¹Samsung Electronics Co., Ltd

²Department of Industrial Engineering, Ajou University

Received 8 April 2014; received in revised form 23 May 2014; accepted 24 May 2014

ABSTRACT

Presented in the paper is a reservation based dispatching rule to achieve the on-time delivery in system LSI (large scale integrated circuit) semiconductor fabrication (FAB) with urgent orders. Using the proposed reservation based dispatching rule, urgent lots can be processed without waiting in a queue. It is possible to achieve the on-time delivery of urgent orders by reserving a proper tool for the next step in advance while urgent lots are being processed at the previous step. It can cause, however, tardiness of normal lots, because the proposed rule assign urgent lots first. To solve this problem, the proposed rule tries to find the best tool for the reservation in the tool group, which can minimize idle time, and the reservation rule is applied at all tools except for photolithography tools (bottleneck). MOZART[®] which is developed by VMS solutions are used for simulation experiments. The experimentation results show that the reservation based dispatching rule can achieve the on-time delivery of normal lots as well as urgent lots.

Key Words: dispatching, reservation, system LSI, semiconductor, urgent order

1. 서 론

2011년 세계 시스템반도체 시장은 스마트폰, 태블릿 PC, 스마트 TV, 자동차 등의 차세대 모바일 기기 확산 및 자동차, 조선 산업과 같은 전통적인 기계 산업에서 나타나고 있는 IT 융복합 등에 힘입어 전년 대비 3.3% 증가한 1,863억 달러 규모의

시장을 형성하였다. 또한 World Semiconductor Trade Statistics(WSTS)은 홈 네트워크, 보안 등의 신규 비즈니스 확대를 통한 성장성이 매우 높음에 따라 2015년까지 연평균 4.7%의 성장률을 이룰 것으로 전망하였으며, 국내 시스템 반도체 시장 또한 2015년까지 연평균 3.8%의 성장률을 기록하며 545억 달러의 규모에 이를 것으로 전망하였다^[1-3]. 점차 증가하는 고객 요구를 만족시키고 시장점유율을 높이기 위해 설비 기술 및 생산 기술 분야에서 많은 투자와 활발한 연구 활동을 수행하였으

[†]Corresponding Author, scpark@ajou.ac.kr
©2014 Society of CAD/CAM Engineers

Table 1 Global and domestic semiconductor sales

		2011	2012	2013	2014
세계	시장 규모	186,324	187,064	200,788	209,927
	성장률	3.3%	0.4%	7.3%	4.6%
국내	시장 규모	11,018	11,888	13,012	14,019
	성장률	15.4%	7.9%	9.5%	7.7%

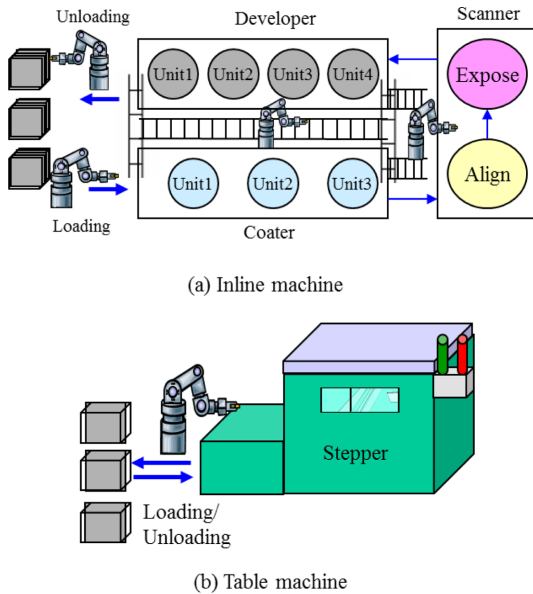


Fig. 1 Machine types

며, 반도체 산업에서의 생산계획 및 스케줄링 문제는 신기술 개발과 더불어 국제 경쟁력에서의 우위를 점할 수 있는 중요한 요소가 되었다.

반도체 공정은 Reentrant 구조, 랜덤 수율, 혼류 생산, batch 가공, 긴 cycle time, sequence based setup 등의 특징을 가지며, 수백 개의 공정으로 이루어진 매우 복잡한 공정이다^[4-6]. 또한 Fig. 1과 같이 Table type, Inline type, Chamber type, Batch type 등의 다양한 장비가 존재한다. 이러한 특징으로 인해 반도체 공정 스케줄링을 위한 의사결정에는 어려움이 수반된다. 반도체 공정 문제를 해결하기 위해서는 수리계획법(mathematical programming), 분기한정법(branch-and-bound), 디스패칭 룰(dispatching rule)과 같은 다양한 접근 방법들이 있다^[7]. 특히, 디스패칭은 구현의 용이성과, 디스패칭 룰에 의한 공정의 결과를 빠르게 확인할 수 있고, 전문가의 노하우를 쉽게 적용할 수 있다는 점 때문에, 많은 연구에서 스케줄링 문제를 해결하기 위한 수단으로써 이용되고 있다. 기존의 디스패칭

룰은 Operation Due Date(ODD), Earliest Due Date(EDD), First In First Out(FIFO), Critical Ratio(CR) 등이 있으며, 그 외의 많은 규칙들이 있으며 대부분의 규칙들이 이들을 기반으로 변형된 규칙들이다^[8]. 이러한 규칙들은 대부분이 납기 만족(on-time delivery)을 목적으로 하지만, FAB은 여전히 납기 만족에 어려움을 가진다. 특히 주문 생산 방식을 따르는 비메모리 반도체 공정의 경우에는 납기 만족을 보장하기 위한 디스패칭 룰을 필요로 한다.

비메모리 반도체 공정의 주문은 크게 일반 주문(normal order)과 긴급 주문(urgent order)으로 나눌 수 있다. 긴급 주문은 일반 주문에 비해 주문량이 적으며, tight due-date를 가지며, 그로 인해 상대적으로 짧은 cycle time이 요구된다. 하지만 상대적으로 더 높은 이윤을 남긴다. 긴급 주문에 대한 고객 요구사항을 만족시키기 위해 이들에 대한 연구가 진행되었다. Ehteshami *et al.*은 hot lot이 시스템에서 그 외의 다른 lot들의 cycle time에 미치는 영향에 대해 연구하였다. 그 결과 hot lot의 비율이 증가할수록, 다른 lot들의 cycle time의 평균과 분산이 증가한다는 것을 알 수 있었다^[9]. Trybula 또한 hot lot이 일반 lot들에 미치는 영향에 대해서 연구하였으며, 위 연구와 같은 결과를 도출하였다^[10]. 비록 위의 연구들이 메모리 반도체를 기반으로 수행되었지만, 긴급 주문과 같은 높은 우선순위를 가지는 lot의 존재는 비메모리 반도체와 크게 다르지 않기 때문에, 이들의 연구는 비메모리 반도체에서도 큰 의미를 가진다. 이들의 연구를 통해 우리는 긴급 주문이 일반 주문의 납기 만족에 중대한 영향을 미친다는 것을 알 수 있다. 이러한 사실을 기반으로, Rose는 제품을 sample, new product, test 와 같은 소량 생산 제품(low volume product)과 주 생산 제품인 다량 생산 제품(high volume product)으로 나누었으며, 소량 생산 제품의 납기 만족을 달성하고, 다량 생산 제품의 재공 밸런스를 이루기 위한 디스패칭 룰을 제안하였다^[8]. Narahari *et*

al.은 hot lot이 존재하는 반도체 생산 라인의 성능을 예측하기 위한 분석 모델을 제안하였다^[11]. 위의 연구들이 hot lot과 같은 짧은 cycle time을 필요로 하는 제품들을 고려하고 있지만, 일반 주문에 대한 납기 만족을 고려하지 않고 있다. 이와는 달리 Zhongjie *et al.*은 hot lot과 일반 lot의 납기만족을 모두 고려하였으며, 새로운 release control 방법을 제안하였다^[12].

본 연구에서는 긴급 주문뿐 아니라 일반 주문의 납기 만족을 최대화 하기 위한 예약기반의 디스패칭 룰을 제안한다. 제안하는 예약기반 디스패칭 룰은 설비별 디스패칭 상황에서 긴급 lot의 대기를 최소화하는 예약(reservation) 룰을 이용한다. 예약은 긴급 lot의 대기를 최소화 하기 위해서 다음 공정 도착 전에 해당 긴급 lot이 도착하면 바로 진행할 수 있도록, 가능한 장비를 idle로 유지하는 정책이다. 해당 긴급 lot이 예약된 장비는 다른 lot에 의해 사용될 수 없다. Fig. 2에서 볼 수 있듯이, 전통적인 디스패칭 룰은 장비 queue에서 대기하는 lot들의 우선순위를 결정한다. 하지만 제안되는 방법은 이전 장비에서 가공되고 있는 긴급 lot들을 고려하여 장비를 특정 긴급 lot을 위해 임시적으로 할당하여, 장비를 idle 상태로 유지시킨다. 이러한 방식으로 긴급 lot은 모든 step에서 높은 우선순위를 가지게 되며, 납기 만족을 달성하게 된다. 하지만 긴급 주문의 중요성에도 불구하고 일반 주문에 대한 납기 만족을 무시할 수 없다. 따라서 병목공정인 포토 장비의 가동률을 최대화 하여 긴급 주문에 의한 일반 주문의 납기 지연을 최소화 시키

고자 포토 장비의 경우에는 예약 기능을 적용하지 않고 긴급 lot이 대기재공에 있을 경우 최우선 진행하는 룰을 제안하여 긴급 주문의 납기를 만족하고 일반 주문의 납기 또한 최소화하는 결과를 얻었다.

본 논문에서는 시뮬레이션을 수행하기 위해 (주)VMS solutions에서 개발한 상업 소프트웨어 MOZART[®]를 이용하였다^[13]. 본 논문의 구성은 다음과 같다. 2장에서는 제안하는 예약기반 디스패칭 룰을 설명하고, 3장에서는 실험 결과를 설명하고 분석을 수행한다. 마지막으로 4장에서는 결론을 맺도록 한다.

2. 예약 기반의 디스패칭 룰

본 논문의 핵심 제안은 동적인 설비별 디스패칭 상황에서 긴급 lot의 대기를 최소화하고 설비의 가동률을 최대화 할 수 있는 예약룰이다. 장비는 이전 공정의 장비들에 있는 긴급 lot을 예약하여 일반 lot에 의해 긴급 lot이 대기하는 것을 방지한다. 장비는 다음과 같은 규칙에 따라 긴급 lot을 예약한다.

- 장비는 queue에 긴급 lot이 없을 때 예약을 수행한다.
- 장비는 한 번에 하나의 긴급 lot을 예약할 수 있다.
- 장비는 이전 장비에서 가공되고 있는 긴급 lot을 대상으로 예약한다.
- 장비는 예약된 긴급 lot을 가공하기 전에 다른 lot을 가공할 수 없다.
- 장비는 동일 장비 그룹내의 다른 장비에 긴급 lot을 예약할 수 있다.
- 장비가 batch 장비인 경우, 동일 장비 그룹내의 다른 장비에 의해서 예약이 취소될 수 있다.

위의 첫번째 규칙에서 알 수 있듯이, 장비는 idle 상태가 되었을 때 장비 queue에 있는 lot들에 대해서 우선순위를 판별한다. 우선순위는 다음과 같이 결정된다.

- 우선순위 1 : 장비에 예약된 긴급 lot.
- 우선순위 2 : 긴급 lot 중에 ODD를 통해 결정된 lot.
- 우선순위 3 : 일반 lot중에 ODD를 통해 결정된 lot.

우선순위 2와 3에 속하는 lot들 중에 동물이발생

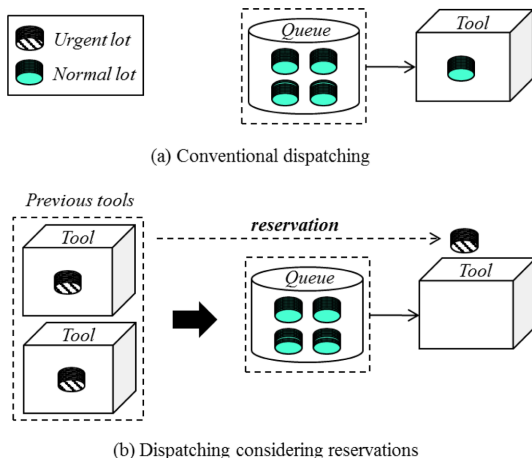


Fig. 2 Conventional dispatching and dispatching with reservation

한 경우에는 FIFO를 적용한다. 우선순위 3에서 결정된 일반 lot을 우리는 N-lot이라 부른다. 만약 장비 queue에 긴급 lot이 없다면 디스패칭 룰에 따라 N-lot이 가장 높은 우선순위를 가질 것이다. 하지만 제안되는 규칙은 긴급 lot의 납기 만족을 위해 N-lot을 가공하기에 앞서 이전 단계의 장비에서 가공되고 있는 긴급 lot들의 예약을 고려한다. 만약 장비에 예약할 수 있는 긴급 lot이 있다면 장비는 N-lot을 가공하지 않고 다른 긴급 lot을 예약하게 된다. 예약 대상이 되는 긴급 lot은 다음과 같은 알고리즘을 통해 결정된다.

- Idle_Tool : 디스패칭을 수행하는 장비.
- FinishTime(lot k) : lot k의 가공이 끝나는 시간.
- ArrivalTime(lot k, step n) : lot k가 step n에 도착하는 시간.
- ArrangedSteps(tool m) : tool m이 가공할 수 있는 process-steps.
- MinAT : 긴급 lot들의 도착시간 중에서 가장 빠른 시간.
- U-lot : 예약 되어야 하는 긴급 lot.

```

FT = FinishTime(N-lot);
For (i=0; i<ArrangedSteps(Idle_Tool).Count; i++)
{
    FinalStep = ArrangedSteps[i];
    PrevStep = Previous step of FinalStep;
    PrevLots = Lots at PrevStep;

    For (j=0; j<PrevLots.Count; j++ )
    {
        Lot = PrevLots[j];
        If(Lot is not urgent lot)
            Continue;

        AT = ArrivalTime(Lot, FinalStep);
        If(AT < MinAT && AT < FT)
        {
            MinAT = AT;
            U-lot = Lot;
        }
    }
}

```

Return U-lot;

만약 U-lot이 null이라면 장비는 이전에 결정된 N-lot을 가공하게 된다. U-lot이 null이 아닌 경우에는 U-lot은 장비에 예약된다. 예약 규칙에서도 언급했듯이, 현재 idle 상태가 되어 디스패칭을 시도한 장비 이외에 동일 그룹 내의 다른 장비에 의해서도 U-lot은 예약될 수 있다. U-lot을 예약하는 것은 긴급 주문의 납기 만족을 달성하는데 있어서는 큰 효과를 볼 수 있지만, 반대로 일반 주문의 납기 만족에는 악영향을 미친다. 비메모리 반도체 공정의 특성상 일반 주문에 대한 납기 만족을 무시할 수는 없다. 따라서 일반 주문의 납기 지연을 최소화 할 수 있는 방법을 필요로 한다. 따라서 제안하는 규칙은 U-lot을 예약하는 장비를 선택하는데 있어서 장비의 가동률을 고려한다. U-lot의 예약을 위한 장비 선택 기준은 다음과 같다.

Fig. 3은 Tool 1이 디스패칭을 수행하는 상황이며, Tool 2, 3, 4는 모두 다른 lot을 가공하고 있다. U-lot의 대기 시간을 제거하기 위해 U-lot의 Arrival time 이전에 idle이 되는 장비를 선택한다. 이러한 장비가 하나 이상일 경우에는 그 중 가장 늦게 끝나는 장비를 선택한다. 이는 장비의 가동률을 최대한으로 높이기 위한 것이다. Fig. 4는 제안되는 룰에 의한 네 가지 경우를 보여준다. Fig. 4(a)는 Tool_1이 예약된 U-lot의 프로세싱을 시작하는 경우이다. Fig. 4(b)는 Tool_1이 N-lot의 프로세싱을 시작하는 경우이며, Fig. 4(c)는 Tool_1이 N-lot을 프로세싱하고, U-lot은 Tool_2에 예약하는 경우이다. 마지막으로 Fig. 4(d)는 U-lot을 Tool_1에 예약하는 경우이다.

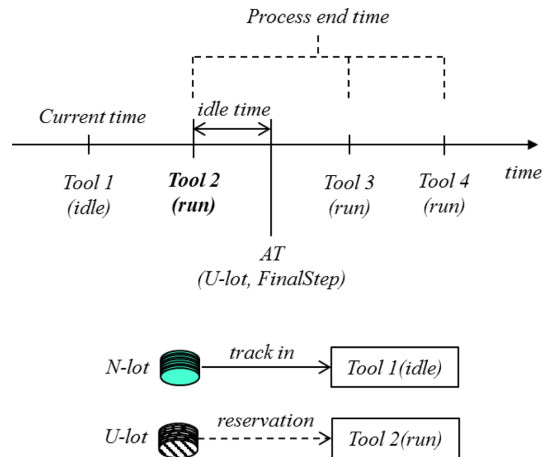


Fig. 3 Determination of tool to reserve U-lot

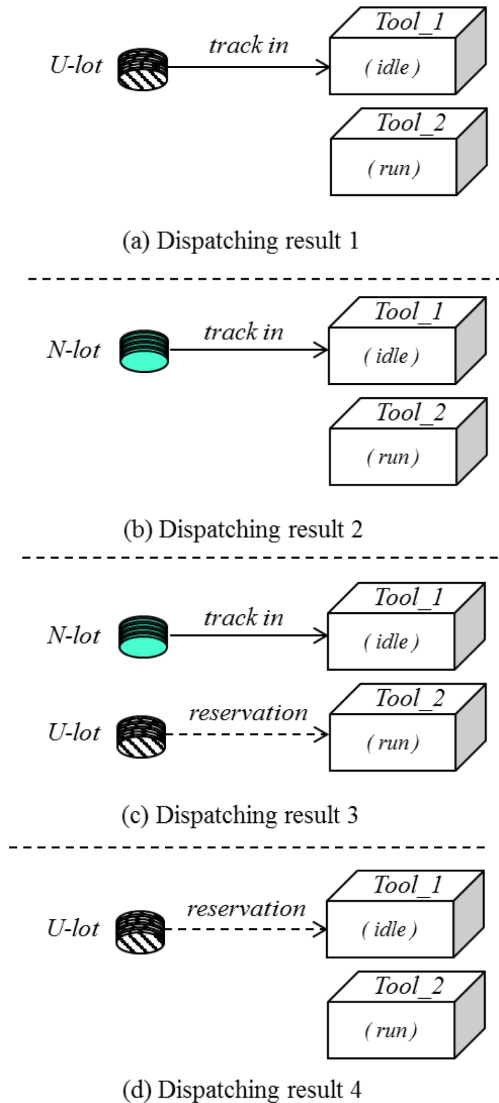


Fig. 4 Four cases resulting from the proposed dispatching rule

지금까지 설명한 예약 기반의 디스패칭 룰은 긴급 주문의 납기 만족을 달성하는데 큰 영향을 주며, 이는 일반 주문의 납기 지연을 발생시키는 요인이 된다. 앞에서 언급하였듯이, 공정마다 특징이 다르기 때문에 공정의 특성을 반영하여 적절한 디스패칭 룰을 적용하는 것이 합리적이다. 일반적으로 포토 장비는 병목 공정으로 인식되며, 높은 가동률을 유지해야 하기 때문에 예약 기반의 디스패칭은 적절하지 않다. 따라서 포토 장비에는 본 논문에서 제안하는 규칙을 적용하지 않았다.

3. 실험 결과 및 분석

본 논문은 시뮬레이션을 수행하기 위해, (주)VMS solutions에서 개발한 MOZART[®]를 이용하였다. MOZART[®]는 세 가지 데이터를 기반으로 시뮬레이션을 수행한다 : bill of process(BOP) 모델, resource 모델, dispatching rule. BOP 모델은 BOM(bill of material)과 process routing이 결합된 네트워크 모델이며, 프로세스의 step sequence, 할당된 resource 정보, 그리고 프로세스 시간 등의 정보를 가진다. Resource 모델은 장비의 타입(table, inline, chamber, batch), 장비에 적용되는 디스패칭 룰 등의 정보를 가진다. 위 세가지 데이터를 기반으로 수행한 시뮬레이션을 통해 장비 가동률, WIP 정보, Lot history 등의 결과 정보를 얻을 수 있다. 실험은 전체 주문량에서 긴급 주문이 차지하는 양이 10%, 20%, 30%일 때, 총 네 가지 디스패칭 룰에 대해서 수행하였다: ODD, Urgent Lot First, proposed rule. ODD를 계산하는 방법은 다음과 같다.

$$ODD = Due\ Date - Remaining\ RPT * FF$$

- RPT : Raw processing time
- FF(Flow factor) = target cycle time / RPT

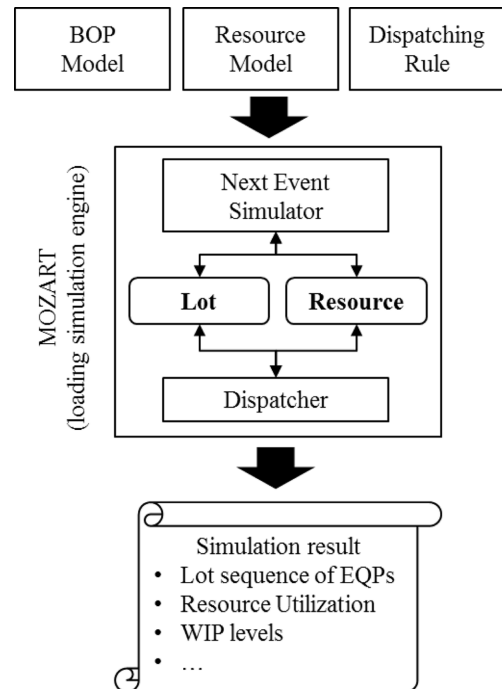


Fig. 5 Overview of loading simulation engine in MOZART

Urgent lot first 규칙은 본 논문에서 제안하는 디스패칭 룰의 기반이 된다. 이 규칙의 목적은 장비의 queue에 있는 lot들에 대해서 긴급 lot을 우선으로 처리하여 긴급 주문의 납기 만족을 달성하는 것이다.

제안되는 디스패칭 룰의 실험을 위해, Measurement and Improvement of Manufacturing Capacities (MIMAC) 6 DataSet을 기반으로 하여 FAB 모델을 구축하였다^[4]. 일반적으로 포토 장비가 병목 공정이기 때문에, 포토 장비의 가동률을 높이기 위해 장비 수와 batch size, raw processing time 등을 수정하였다. 시뮬레이션은 총 9개월 동안 수행되며, 처음 6개월은 warm-up 기간으로 간주하여, 데이터를 집계하지 않았다. 시뮬레이션 결과는 납기 지연 비율, 납기 지연된 lot들의 납기 일수, Fab out된 lot들의 평균 cycle time 그리고 설비 가동률을 이용하여 나타내었다. 시뮬레이션을 위해 일반 주문의 FF는 2.6(2.4, 2.8), 긴급 주문의 FF는 1.15로 정하였으며, 이는 현장 전문가의 경

험을 통해서 결정되었다.

실험 결과는 Table 2와 같다. Urgent lot first 규칙으로 시뮬레이션을 수행하였을 때, FIFO와 ODD에 비해 긴급 주문의 납기 지연이 줄었다. 하지만 모든 긴급 주문의 납기를 만족시키기에는 한계가 있었다. 본 논문에서 제안하는 규칙을 적용하였을 때, 긴급 주문에 대한 납기 만족을 달성할 수 있었다. All Step Reservation 룰과 비교하여 포토 장비의 가동률(Tool Utilization)을 최대화하여 일반 주문의 납기 지연 또한 최소화 됨을 확인할 수 있다. Table 3은 다른 FF에서 수행된 실험이며 Table 2와 동일하게 제안하는 규칙의 경우 긴급 주문의 납기를 모두 만족함을 확인할 수 있으며, FF 2.8의 Urgent Orders' rate : 10%의 경우 ODD, Urgent lot first룰과 달리 일반 주문의 납기도 만족시키고 긴급 주문의 납기도 만족시켜 제안하는 룰의 우수함을 확인할 수 있다. 즉, Urgent Orders' rate에 따라 가능한 범위에서 FF를 조정해서 긴급 주문과 일반 주문 납기를 모두 만족시킬 수 있음을 확인하였다.

Table 2 Performance measures of each dispatching rules

FF : 2.6(Regular), 1.15(Urgent)							
Urgent Orders' rate : 10%							
	Tardy (%)		Tardiness (day)		Cycle time (day)		Tool Utilization (%)
	Normal	Urgent	Normal	Urgent	Normal	Urgent	
ODD	1.04	29.03	0.27	0.25	24.89	11.82	97.55
Urgent lot first	1.91	21.54	0.33	0.14	24.90	11.82	97.55
All step reservation	8.08	0	0.39	0	25.27	11.15	96.47
Proposed rule	5.44	0	0.38	0	25.23	11.21	97.25
Urgent Orders' rate : 20%							
	Tardy (%)		Tardiness (day)		Cycle time (day)		Tool Utilization (%)
	Normal	Urgent	Normal	Urgent	Normal	Urgent	
ODD	0.98	14.17	0.18	0.32	24.57	11.69	98
Urgent lot first	1.98	5.34	0.3	0.07	24.59	11.66	98
All step reservation	12.28	0	1.01	0	25.63	11.12	95.75
Proposed rule	10.12	0	0.67	0	25.3	11.23	97.45
Urgent Orders' rate : 30%							
	Tardy (%)		Tardiness (day)		Cycle time (day)		Tool Utilization (%)
	Normal	Urgent	Normal	Urgent	Normal	Urgent	
ODD	0	26.67	0	0.11	22.64	11.79	98.1
Urgent lot first	1.16	25.13	0.29	0.07	22.62	11.78	98.1
All step reservation	15.55	0	1.73	0	24.81	11.21	93.87
Proposed rule	5.91	0	0.82	0	23.72	11.32	97.27

Table 3 Performance measures of each dispatching rules with different FFs

FF : 2.4(Regular), 1.15(Urgent)							
Urgent Orders' rate : 10%							
	Tardy (%)		Tardiness (day)		Cycle time (day)		Tool Utilization (%)
	Normal	Urgent	Normal	Urgent	Normal	Urgent	
ODD	30.22	80.33	0.76	0.89	24.99	12.6	97.47
Urgent lot first	39.13	25.76	0.72	0.15	25.1	11.81	97.47
All step reservation	50.62	0	1.08	0	25.53	11.17	96.27
Proposed rule	47.64	0	0.98	0	25.40	11.25	97.12
Urgent Orders' rate : 30%							
	Tardy (%)		Tardiness (day)		Cycle time (day)		Tool Utilization (%)
	Normal	Urgent	Normal	Urgent	Normal	Urgent	
ODD	8.56	30.89	0.68	0.57	23.69	11.93	97.88
Urgent lot first	10.5	18.09	0.9	0.09	23.75	11.78	97.83
All step reservation	48.01	0	1.8	0	25.53	11.2	93.83
Proposed rule	32.26	0	1.21	0	24.82	11.31	97.1
FF : 2.8(Regular), 1.15(Urgent)							
Urgent Orders' rate : 10%							
	Tardy (%)		Tardiness (day)		Cycle time (day)		Tool Utilization (%)
	Normal	Urgent	Normal	Urgent	Normal	Urgent	
ODD	0	7.69	0	0.11	25	11.71	97.83
Urgent lot first	0	7.69	0	0.11	25	11.71	97.83
All step reservation	0	0	0	0	25.48	11.12	96.73
Proposed rule	0	0	0	0	25.32	11.23	97.52
Urgent Orders' rate : 30%							
	Tardy (%)		Tardiness (day)		Cycle time (day)		Tool Utilization (%)
	Normal	Urgent	Normal	Urgent	Normal	Urgent	
ODD	0	20.71	0	0.11	22.15	11.77	98.22
Urgent lot first	0	20.71	0	0.11	22.15	11.77	98.22
All step reservation	10.24	0	1.4	0	25.06	11.2	93.77
Proposed rule	1.19	0	0.2	0	23.31	11.34	97.42

4. 결 론

본 논문의 목적은 비메모리 반도체 공정에서의 긴급 주문의 납기 만족을 달성하고 일반 주문의 납기를 만족 시키기 위한 예약기반 디스패칭 룰을 제안하는 것이다. 제안하는 디스패칭 룰의 핵심 기술은 동적인 설비별 디스패칭 상황에서 긴급 lot의 대기 시간을 최소화하고 설비의 가동률을 최대화 할 수 있는 예약률이다. 예약은 긴급 lot의 대기 시간을 최소화 하기 위해서 다음공정 도착 전에 해당 긴급 lot 이 도착하면 바로 진행 할 수 있도록 가능한 장비

를 idle로 유지하는 정책이다. 이를 통해 긴급 주문의 납기 만족을 달성할 수 있다. 하지만 이러한 방법은 장비의 가동률을 낮추며 일반 주문의 납기 지연을 야기시킨다. 비메모리 반도체 공정의 특성 상 일반 주문의 납기 만족 또한 매우 중요하기 때문에 긴급 주문에 의한 일반 주문의 납기 지연을 최소화시켜야 한다. 이를 위해 디스패칭을 수행하는 장비 외에 같은 장비 그룹내의 다른 장비까지 고려하여 장비 idle를 최소화하고 긴급 lot의 대기가 발생하지 않는 장비를 예약할 수 있도록 하였다. 또한 병목 공정인 포토 장비에는 Urgent lot

first 규칙을 적용하여 장비 가동률을 높였다. (주)VMS solutions에서 개발한 MOZART[®]를 이용하여 시뮬레이션을 수행하였으며, FAB모델은 MIMAC6 DataSet을 기반으로 구축하였다. 시뮬레이션 수행 결과, 제안되는 디스패칭 룰이 일반 주문의 납기 지연을 최소화하면서 긴급 주문의 납기 만족을 달성할 수 있다는 것을 알 수 있다. 또한 FF에 따라 일반 주문의 납기 만족 또한 달성할 수 있다는 것을 보여준다.

감사의 글

본 연구는 국방과학연구소(UD120035JD), 산학연 공동기술 개발 전국사업(C0003579), 한국연구재단(2010-0021040)의 지원으로 수행되었습니다.

References

1. <http://www.semiconductors.org>
2. Wu, M.-C., Chiou, S.-J. and Chen, C.-F., 2008, Dispatching for Make-to-order Wafer Fabs with Machine-dedication and Mask Set-up Characteristics, *International Journal of Production Research*, 46(14), pp.3993-4009.
3. Kang, K.H. and Lee, Y.H., 2006, Make-to-order Scheduling in Foundry Semiconductor Fabrication, *International Journal of Production Research*, 45(3), pp.615-630.
4. Park, S.C., Ahn, E.K., Chung, Y.H., Yang, K.R., Kim, B.H. and Seo, J.C., 2013, Fab Simulation with Recipe Arrangement of Tools, *In Proceeding of the 2013 Winter Simulation Conference*, pp.3840-3849.
5. Uzsoy, R., Church, L.K. and Ovacik, I.M., 1992, Dispatching Rules for Semiconductor Testing Operations: A Computational Study, *In Proceedings of the Thirteenth IEEE/CHMT International Electronics Manufacturing Technology Symposium*, pp.272-276.
6. Johri, P.K., 1993, Practical Issues in Scheduling and Dispatching in Semiconductor Wafer Fabrication, *Journal of Manufacturing Systems*, 12(6), pp.474-483.
7. Chiang, T.C. and Fu, L.C., 2007, "Using Dispatching Rules for Job Shop Scheduling with Due Date-based Objectives, *International Journal of Production Research* 45, pp.3245-3262.
8. Zhou, Z. and Rose, O., 2012, WIP Balance and Due Date Control in a Wafer Fab with Low and High Volume Products, *In Proceedings of the 2012 Winter Simulation Conference*, pp.2019-2026.
9. Walter J. Trybula, 1993, Hot Jobs, Bane or Boon, *In Proceeding of Electronics Manufacturing Technology Symposium*, pp.317-322.
10. Ehteshami, B., Petrakian, R.G. and Shabe, P.M., 1992, Trade-offs in Cycle Time Management: Hot Lots, *IEEE Transactions on Semiconductor Manufacturing*, 5(2) pp.101-105.
11. Narahari, Y. and Khan, L.M., 1997, Modeling the Effect of Hot Lots in Semiconductor Manufacturing Systems, *IEEE Transactions of semiconductor manufacturing*, 10(1), pp.185-188.
12. Wang, Z. and Chen, J., 2009, Release Control for Hot orders based on TOC Theory for Semiconductor Manufacturing Line, *In Proceeding of the 7th Asian Control Conference*, pp.1554-1557.
13. Ko, K., Kim, B.H. and Yoo, S.K., 2013, Simulation Based Planning & Scheduling System: MOZART[®], *In Proceedings of the 2013 Winter Simulation Conference*, pp.4103-4104.
14. Fowler, J. and Robinson, J., 1995, Measurement and Improvement of Manufacturing Capacities (MIMAC): Final Report. Technical Report 95062861A-TR, SEMATECH, Austin, TX.



서 정 철

1997년 전남대학교 산업정보시스템
공학부 학사
1999년 한국과학기술원 산업공학과
석사
2008년 한국과학기술원 산업공학과
박사
2008년~ 삼성전자
관심분야: Simulation-based schedul-
ing and planning, Finite capacity
planning, Lot pegging system,
collaborative planning forecasting
and replenishment system



정 용 호

2011년 아주대학교 산업정보시스템
공학부 학사
2013년 아주대학교 산업공학과 석사
2013년~ 현재 아주대학교 산업공학
과 박사과정
관심분야: Modeling & Simulation,
CAD/CAM, Semiconductor
scheduling



박 상 철

1994년 한국과학기술원 산업공학과
학사
1996년 한국과학기술원 산업공학과
석사
2000년 한국과학기술원 산업공학과
박사
2004년~현재 아주대학교 산업정보
시스템공학부 교수
관심분야: Digital Manufacturing
System, CAD/CAM, CAPP,
Manufacturing System Modeling
& Simulation