

## 시뮬레이션을 이용한 웨이퍼 FAB 공정에서의 병목 공정 탐지 프레임워크

양가람<sup>1</sup> · 정용호<sup>1</sup> · 김대환<sup>2</sup> · 박상철<sup>1†</sup>

<sup>1</sup>아주대학교 산업공학과, <sup>2</sup>국방기술품질원

### Bottleneck Detection Framework Using Simulation in a Wafer FAB

Karam Yang<sup>1</sup>, Yongho Chung<sup>1</sup>, Daewhan Kim<sup>2</sup>, and Sang Chul Park<sup>1†</sup>

<sup>1</sup>Department of Industrial Engineering, Ajou University

<sup>2</sup>Defense Agency for Technology and Quality

Received 7 May 2014; received in revised form 15 July 2014; accepted 18 July 2014

#### ABSTRACT

This paper presents a bottleneck detection framework using simulation approach in a wafer FAB (Fabrication). In a semiconductor manufacturing industry, wafer FAB facility contains various equipment and dozens kinds of wafer products. The wafer FAB has many characteristics, such as re-entrant processing flow, batch tools. The performance of a complex manufacturing system (i.e. semiconductor wafer FAB) is mainly decided by a bottleneck. This paper defines the problem of a bottleneck process and propose a simulation based framework for bottleneck detection. The bottleneck is not the viewpoint of a machine, but the viewpoint of a step with the highest WIP in its upstream buffer and severe fluctuation. In this paper, focus on the classification of bottleneck steps and then verify the steps are not in a starvation state in last, regardless of dispatching rules. By the proposed framework of this paper, the performance of a wafer FAB is improved in on-time delivery and the mean of minimum of cycle time.

**Key Words:** Bottleneck detection, Semiconductor, Simulation, Wafer FAB

## 1. 서 론

정보통신산업이 발전함에 따라 반도체 산업은 고부가가치 산업으로 발전하고 있다. 또한 최첨단의 기술을 필요로 하므로 기술적 측면과 관리적 측면 모두 관심이 증대되고 있다. 반도체 제조의 생산과정은 복잡한 Re-entrant 흐름을 특징으로 갖고 있으며, 웨이퍼가 투입되어 완제품이 되기까지

소요되는 시간 또한 수일에서 수 십일이 걸리기 때문에 제조사이클타임도 상당히 긴 편에 속한다. 반도체 제조공정은 Fig. 1과 같이 웨이퍼 제조, 회로 설계, 마스크 제작, 웨이퍼 가공(Wafer Fabrication, Wafer FAB), 조립 및 검사로 이루어

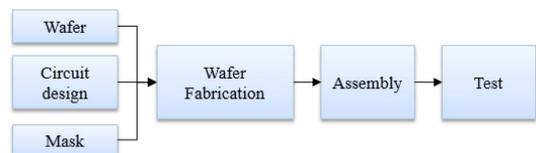


Fig. 1 A semiconductor manufacturing process

<sup>†</sup>Corresponding Author, scpark@ajou.ac.kr  
©2014 Society of CAD/CAM Engineers

져 있다. 웨이퍼는 ingot을 얇게 절단하여 제작하고, 회로 설계(Circuit Design)는 주어진 공정조건에 맞추어 제품의 특성을 구체화하여 회로를 설계하는 단계를 의미한다. 마스크 제작은 반도체를 개발 및 생산하기 위한 일종의 원판필름을 만드는 과정이다. 도면 검사까지 마친 회로패턴은 E-Beam이라 일컫는 설비를 통해 순도가 높은 석영을 가공해서 만든 유리판 위에 그려져 MASK(Reticle)로 제작된다.

웨이퍼 제작 후, 주어진 공정 조건에 맞추어 제품의 특징을 구체화 하여 회로를 설계한다. 반도체 제조 공정 중 웨이퍼 가공은 반도체 전체 공정 중에서 가장 공정주기가 길어서 공정주기를 줄여 시장 주문에 탄력적으로 대처하여 적기에 출하될 수 있도록 하는데 관심이 집중되고 있다. 반도체 공정 생산단위는 20~25개의 웨이퍼로 구성된 Lot들이 각각의 작업장에서 작업된다. 각 작업장 안에서 수십 개의 공정(Step)을 반복적으로 거치고, 전체적으로 수백 개의 가공과정을 거치게 된다<sup>[1]</sup>. Lot의 Wait time, Process time, Process sequence, 각 Step의 상태 그리고 현 Step의 위치 등의 많은 데이터가 생성 및 업데이트된다. 이 데이터를 이용하여 공정의 상태를 예측하고, 적기에 맞춰 출하하는데 있어서 많은 어려움이 따른다. 또한 장비는 Recipe에 따라 작업하는 Lot의 가공단위를 다르게 한다. Lot 한 개씩 작업하는 장비가 있는 반면 장비의 특성에 따라 Lot을 그룹화하여 Batch라는 단위로 묶어 동시에 가공하는 장비가 존재한다. 그리고 반도체 생산 공정에서는 Re-entrant 생산 방식이란 특징을 갖고 있다. Re-entrant 방식이란 일정한 공정이 반복되는 형태를 취하는 생산 방식이다. Fig. 2에서와 같이 하나의 웨이퍼 완제품을 생산해 내기 위해서는 약 20개 이상의 레이어가 쌓여야 한다. 레이어는 특별한 회로 패턴을 형성한 다음 Lithography 등의 공정을 거쳐 웨이퍼에 회로를 새기는 것을 의미한다. 그러므로 하나의 완제품인 웨이퍼가 생산되기까지는 레이어

가 쌓이게 되고, 레이어를 쌓는 과정에서 일정 공정이 반복적으로 작업이 되는 방식을 Re-entrant 방식이라고 한다.

반도체 생산 공정 중 가장 중요한 웨이퍼 FAB은 Mask(Reticle), Cleaning, Lithography(Photo), Etch, Diffusion, Implantation, Thin Film(CVD: Chemical Vapor Deposition), CMP(Cheical Mechanical Polishing) 등의 주요 공정과 수십 개의 세부 공정(Step)들이 반복진행 되는데 반복횟수가 많으면 많을수록 집적도가 높아진다. Fig. 2와 같이 하나의 layer를 작업하는데 이와 같은 중요 8대 주요 공정을 작업하고, layer를 여러 층 쌓아 완제품이 나오게 된다.

또한 반도체는 혼류 생산 방식을 사용하고, 생산하는 제품의 종류와 생산량은 최소 10개 이상으로 구성되어있다. 이 때문에 대부분 계획 생산방식을 사용하고, 최소 10개 이상의 Process plan이 존재하여 물류가 매우 복잡하다. 그리고 대부분의 제품들이 고객 주문 생산방식<sup>[2]</sup>을 반영하므로 고객이 요구하는 납기가 존재한다. 즉 고객 주문 생산방식(make-to-order)이므로 일정계획 역시 납기 지연 최소화가 무엇보다도 중요하기 때문에 생산성과 재고관리에 초점이 맞춰진다.

## 2. 연구 배경 및 필요성

반도체 공정 개선을 위한 방법들의 기존의 연구들은 크게 3가지로 구분할 수 있다. 첫 번째로는 Scheduling에 관한 연구이다. Scheduling을 이용하여 FAB의 생산성을 높이거나 납기를 만족시키고, Cycle time을 줄이는 데에 목적을 둔 연구가 진행되어 왔다. 박경민<sup>[3]</sup>의 반도체 생산 공정으로 Lot이 투입되는 시점을 Scheduling하는 연구와 Gurnani *et al.*<sup>[4]</sup>의 장비 특성이 Batch인 장비의 Size를 고려한 Scheduling에 관한 연구가 있다. 그리고 다양한 Dispatching rule을 적용하여 생산성을 높이고, 새로운 Dispatching rule을 개발하거나, 기존의 Dispatching rule의 조합으로 목적함수를 달성하는 연구가 있다<sup>[5]</sup>. 두 번째로는 WIP Balancing에 관한 연구이다. WIP은 FAB의 생산성에 가장 큰 영향을 미치는 요인 중 하나이다. 공장 내 너무 많은 수위의 WIP이 존재한다면 병목 공정(Step)이 발생하게 되고 제품의 납기지연이 계속되며 Cycle time이 길게 될 것이다. 반대로 WIP이 너무

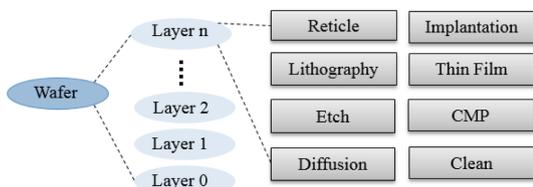


Fig. 2 A wafer Fab manufacturing process

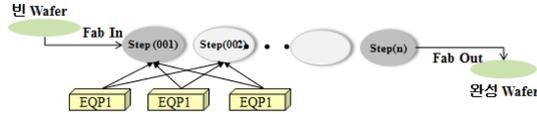


Fig. 3 Arrange of the Step

적어지면 Starvation이 발생하여 생산효율이 낮아진다. 이러한 WIP의 Balance란 일정수준을 유지해야 하므로, Zhou *et al.*<sup>[6]</sup> WIP의 Balance를 맞추기 위해 엔지니어의 견해로 적정 WIP의 Level을 정의하는 연구가 있고, Rosenberg *et al.*<sup>[7]</sup> Heuristic 방법을 이용하여 적당한 WIP의 Level을 정의하는 연구가 있다. 마지막으로 병목 탐지에 관한 연구가 있다. 병목이란 FAB의 납기 지연의 문제와 생산성의 문제에서 핵심적인 부분이다. Zhou *et al.*<sup>[8]</sup>은 병목 장비를 정의하고 탐색하는 방법을 제안하였다.

본 연구에서는 제품이 생산되는 과정(Process)을 구성하는 공정관점에서 실질적인 병목 공정을 탐색하고, 분류하여 생산성을 극대화하는 병목 공정을 탐지하는 것이 목적이다. 여기서 실질적인 병목 공정이란 단순히 WIP이 많이 쌓여 있거나 생산량이 적은 공정이 아니라, 목표생산량 달성의 가능성이 있었음에도 불구하고, 그 해당 목표를 달성하지 못한 공정을 의미한다. 또한 해당 병목공정을 실질적으로 개선하였을 때 다른 병목공정들보다 전체 생산률이 높은 병목 공정을 의미한다. 기존의 연구에서와 다른 점은 병목 장비를 탐지하는 것이 아니라 병목 공정을 탐지한다는 것이다. 그 이유는 장비와 공정의 n:n 매칭에 있다. 장비와 공정이 Fig. 3과 같이 n:n으로 할당되어 있는데, 여기서 장비의 Capacity는 고정되어 있다. 장비의 capacity 만큼 생산하여 장비입장에서는 목표 생산량을 달성하였지만, 공정입장에서는 dispatching 될 때 여러 가지 이유로 목표 생산량을 달성 못한 상황이 발생될 수 있다. 이와 같은 이유로 본 연구에서는 병목 장비가 아닌 병목 공정을 탐색하는 프레임워크를 제안하는 연구를 진행한다.

### 3. 연구 내용

본 연구는 Pegging 알고리즘과 Simulation을 이용하여 납기 지연이 발생한 제품을 대상으로 병목 공정의 특성을 규명하여 실질적인 병목 공정을 찾아내는 프레임워크를 제안한다.

#### 3.1 Pegging과 Simulation

본 연구에서 제안하는 병목 공정 탐지 프레임워크는 우선 Pegging으로 제품(Product)과 공정(Step) 별 TAT(Turn Around time)와 WIP을 고려하여 Target이 되는 생산량(Target Move)을 결정한다. 하나의 제품을 생산하는데 하나의 프로세스를 진행한다고 가정하면, 이 하나의 프로세스는 수백 개의 공정으로 이루어져 있다. Pegging에 의해 In/Out Target 수량을 결정하는 방법이다.

각 공정의 Run TAT와 Wait TAT가 결정되어 있고, 각 공정에서 작업을 하고 있거나, 작업을 대기하고 있는 WIP으로 제품 생산 프로세스가 구성되어 있다. 여기에 납기일과 최종 제품 생산량이 결정되면 Pegging을 이용하여 프로세스의 마지막 Fab Out 공정(Step)으로부터 Fab in 공정까지 각 공정의 In/Out Target 수량이 결정된다.

Fab Out 공정이란 Fab 공정이 완전히 완료되는 마지막 공정이고 Fab In 공정이란 Fab 공정이 시작되는 첫 번째 공정을 의미한다. Fig. 4를 보면 납기일이 4월 30일이고, 최종 생산량이 1000개의 제품이라면 Fab Out 공정인 Step 5에서 4월 30일까지 1000개의 제품이 Out되어야 한다. Step 5에서 WIP이 100개가 있고, Step 5의 Run TAT는 1일이 걸린다면 Out 시점에서 Run TAT만큼 앞선 4월 29일에 900개의 량을 Step 5에서 In 해야 한다는 계산을 유추할 수 있다. Step 5의 Wait TAT가 1일이라면 이전 공정 Step 4에서 4월 28일까지 Step 5가 In으로 받아야 하는 수량인 900개를 Out 해야 한다는 수량과 시점을 계산 할 수 있다. 이와 같은 방법으로 각 공정의 In/Out의 Target 량과 시점을 결정지을 수 있다. Pegging과 Simulation을 통해서 목표 생산량(Target Move)과 생산량(Move)은 Fig. 6과 같이 갱신된다. Pegging은 각 공정마다 검증 기간의 각 Shift(06시, 14시, 22시)별 목표 생산량을 모두 합한 량을 공정의 목표 생산량(Target Move)으로 한다. 공정의 생산량은 검증 기간 동안 해당 공정에서 Dispatching이 발생 될 때 마다 갱신되며, 이들의 합계를 생산량(Move)라고 한다.

생산 제품과 BOP(Bill of process), 장비 정보, Dispatching rule, WIP을 Input data로 반영하여 시뮬레이션을 실행한다. 시뮬레이션의 Output data로 공정 별 작업 이력 정보(Move) 및 Lot 별 생산 시점, 설비 가동률과 WIP의 trend 및 fluctuation의 정보를 얻을 수 있다. 이와 같은 정보 들로 병목

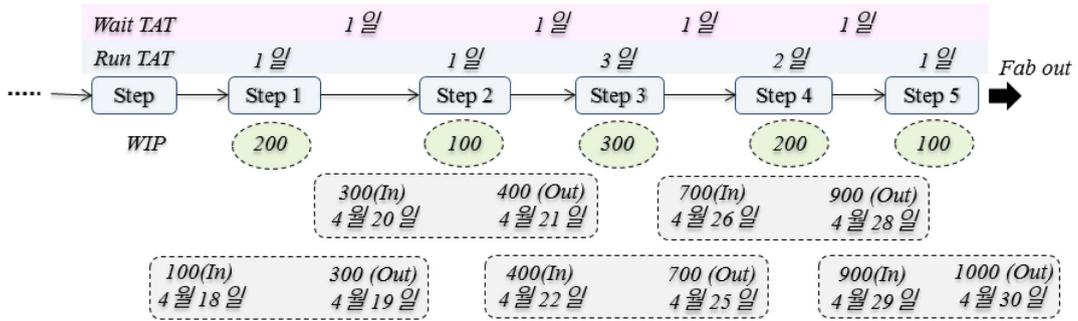


Fig. 4 Determine the Target Move of each Step using Pegging



Fig. 5 The In/Out data of SEEPLAN®

공정도 탐색하거나 예측할 수 있다(Fig. 5). 시뮬레이션은 VMS-SOLUTIONS에서 개발한 시뮬레이터 SEEPLAN®을 이용하였다

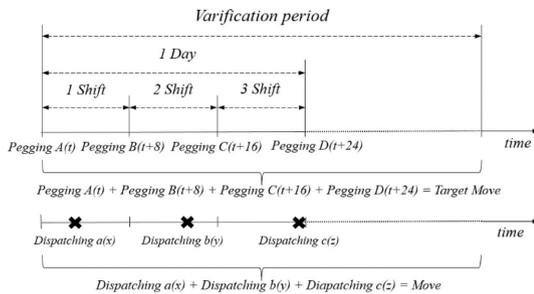


Fig. 6 The Pegging and the Simulation

### 3.2 병목 공정 탐지 프레임워크

병목 공정 탐지 프레임워크를 설명하기 전에 용어 몇 가지를 정의한다.

- Product  $i$ : data set에서 정의된 제품  $i$
- Step  $j$ : Product  $i$ 를 생산하기 위한 Process를 구성하는 공정  $j$
- Inflow: Step  $j$ 의 이전 공정인 Step  $j-1$ 로부터 유입된 wafer의 수
- Move: 검증 기간 동안 Step  $j$ 에서 생산된 wafer 수
- Target Move: 검증 기간 동안 Step  $j$ 에서 생산

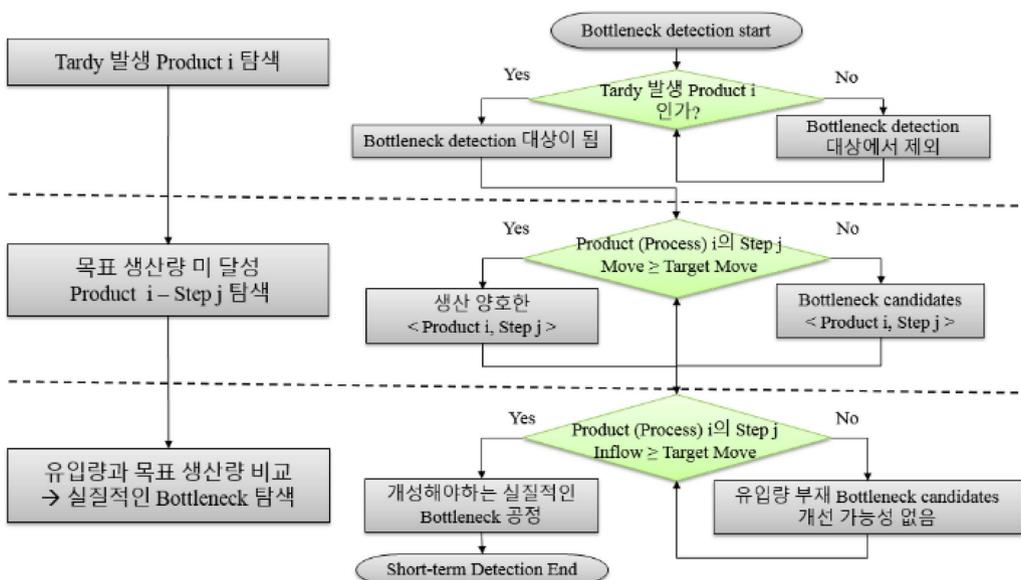


Fig. 7 Bottleneck detection framework

해야 하는 목표 생산 wafer 수

• Target Achievement Ratio = Move / Target Move

병목 공정 탐지 프레임워크는 다음과 같이 진행된다.

Step 1. 납기 지연 제품 탐색

Step 2. 목표 생산량 미 달성 공정 탐색

Step 3. 실질적인 병목 공정 탐색: 유입량과 목표 생산량 비교

Fig. 7은 프레임워크를 flow chart로 표현한 것이다. 병목 공정 탐지 프레임워크는 Step 1에서 납기 지연을 발생시킨 제품(Product i)을 탐색한다. 해당 제품을 생산하는 프로세스는 병목 공정 탐지의 대상 프로세스(Process i)가 된다.

Step 2에서 대상 프로세스를 구성하는 공정(Step j)을 대상으로 공정의 생산량과 목표 생산량을 비교하여 생산량이 목표 생산량을 달성하지 못한 공정을 병목 공정으로 정의한다. 목표생산량 대비 생산량은 목표 달성률(Target Achievement Ratio)이라고 나타낼 수 있으며, 즉 목표 달성률이 1보다 같거나 작은 경우를 탐색하는 것이다. 병목 공정으로 탐색된 공정은 병목 공정 후보 군으로 정한다. 반면에 생산량이 목표 생산량보다 큰 경우는 생산이 양호한 공정이기 때문에 병목 공정에서 제외된다.

병목 공정 후보 군으로 지정된 공정을 대상(Bottleneck candidates)으로 Step 3에서 실질적인 병목 공정을 탐색한다. 실질적인 병목 공정을 구분하기 위해서는 공정의 유입량(Inflow)과 목표 생산량(Target Move)을 비교하게 된다. 공정의 유입량은 검증 기간 동안 해당 공정의 전 공정으로부터 유입된 wafer의 수와 해당 공정의 WIP의 합을 의미한다. 전체 생산 공정의 검증 기간은 검증자의 의도에 따라 1 shift부터 길게는 몇 달까지 달리 조정 할 수 있다. 그리고 전 공정으로부터 유입된 유입량에 대한 wafer를 집계 할 때, Fig. 8과 같

이 검증 기간은 검증 대상이 되는 공정의 Processing time만큼 앞선 시간이 되어야 한다.

그 이유는 유입된 wafer가 해당 공정을 거쳐 검증기간 내에 나올 수 있는 wafer를 의미하기 때문이다. 해당 공정의 목표 생산량은 Pegging 알고리즘으로부터 계산된 검증 기간 동안의 목표생산 wafer 수를 의미한다. 집계된 해당 공정의 유입량과 목표 생산량을 비교하여 실질적인 병목 공정을 결정하게 된다. 유입량이 목표 생산량 보다 적은 공정은 당연히 생산량 또한 목표량보다 적게 되어 목표 달성률이 낮아 병목 공정 후보 군으로 결정된 것이다. 반면에 생산량이 목표 생산량보다 낮아 병목 공정 후보 군으로 결정된 공정 중에서, 유입량이 목표 생산량보다 많다면, 이 공정이야말로 실질적인 병목 공정인 것이다. 그 이유는 충분한 유입량으로 인한 목표 생산량을 달성 할 가능성이 있었음에도 불구하고, 해당 공정이 목표 생산량을 달성하지 못하였기 때문이다. 이와 같은 현상이 발생된 이유에는 여러 가지가 있을 수 있다. 해당 공정의 Capacity보다 목표량이 높게 책정이 되었거나, 해당 공정이 할당되어있는 장비의 Dispatching rule로 인해 우선순위가 밀린 경우가 될 수 있다. 그리고 장비의 관점에서 보았을 때, 작업 제품이 달라지면 프로세스가 달라져 Recipe에 따라 Setup time이 발생할 수 있고, 많은 Setup이 발생 함에 따라 생산성이 저하될 수도 있는데, 이와 같은 문제도 Dispatching의 문제로 정의될 수 있다. 상황에 따라 병목 공정을 발생 시키는 원인은 다양하게 존재하고, 이러한 원인들이 다발적으로 발생될 수 있기 때문에 병목 공정의 원인을 뚜렷이 규정하기에는 어려움이 있다. 또한 수학적 공식을 적용하여 계산하는 MIP 방법<sup>[9]</sup> 보다는 신속하고, 휴리스틱 알고리즘을 적용하는 방법보다는 분명하게 탐지할 수 있다.

3.3 실험 모델

본 연구에서 실험에 사용한 모델은 MIMAC (Measurement and Improvement of MANufacturing Capacity) 6이다. MIMAC은 data set으로 1995년 Fowler et al.<sup>[10]</sup>에 의해 발표된 data set이다. Table 1은 MIMAC data set의 특성을 나타낸다. MIMAC data set은 총 7개의 set으로 구성되어 있으며 각 set 별로 특성이 다르다. MIMAC 7 같은 경우는 단일 제품을 생산하는 모델로 해당 프로세스는 137

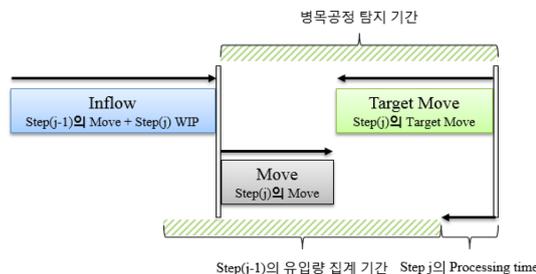


Fig. 8 The Inflow and the Move rate

**Table 1** Features of the MIMAC data sets

MIMAC	Products	Tool Groups	Tools	Process Flows	Max. Steps
1	2	83	265	2	261
2	7	97	274	7	412
3	11	73	354	11	547
4	7	35	69	7	92
5	21	85	176	21	259
6	9	9	228	9	355
7	1	1	38	1	137

개의 세부공정(Step)으로 구성되어 있다. 가장 다양한 제품을 생산하는 data set은 MIMAC 5이고 21개의 제품 군을 생산하는 모델로 최대 세부공정이 많은 프로세스는 259개의 공정으로 이루어져 있다. Zhou *et al.*<sup>[11]</sup>에 의하면 data set 중 가장 실제 200 mm 웨이퍼 Fab에 가까운 것은 MIMAC 6라고 언급하고 있다. 그와 같은 이유는 다양한 생산 시설 및 프로세스와 수백 개의 공정 등이 전형적인 복잡한 웨이퍼 Fab 모델이기 때문이다.

MIMAC 6는 제품 9가지를 생산하는 모델로 각 제품 하나당 프로세스는 1:1로 매칭되어 있다. 9개의 프로세스 중 가장 많은 공정수를 갖고 있는 프로세스는 355개의 세부 공정으로 이루어져 있다. 장비의 그룹은 104개로 구성되어 있고, 이 그룹에 속하는 총 장비의 수는 228개로 구성되어 있다. Table 2는 MIMAC 6를 제품 및 프로세스 별로 특징을 나타낸 것이다. Step은 해당 프로세스의 세부 공정 수를 나타낸 것이고, Tool groups은 해당 프로세스를 구성하는 장비의 그룹 수이고, 그룹을 이루고 있는 전체 장비의 수는 Tools이다. Raw Processing Time은 전체 세부 공정의 Processing time을 모두 합한 시간이다. Raw Processing time은 대략 12일에서 17일 가량 걸린다.

#### 4. 실험 결과

본 연구의 실험은 앞서 언급하였듯이 VMS-SOLUTIONS에서 개발한 시뮬레이터 SEEPLAN<sup>®</sup>을 이용하였고, Fab 모델은 MIMAC 6 data set을 적용하였다.

실험에 사용된 모델의 장비의 Dispatching rule은 모두 FIFO(First In First Out)을 사용하였고, FF(Flow Factor)<sup>[11]</sup>는 2.0, 1.8인 상황으로 실험하

**Table 2** Detailed contents of the MIMAC 6

Product	Step	Tool Groups	Tools	Raw Processing Time
1	331	67	1190	about 17 days
2	355	68	1164	about 16 days
3	234	56	850	about 10 days
4	322	62	1167	about 14 days
5	247	61	899	about 11 days
6	266	62	967	about 13 days
7	287	60	973	about 14 days
8	252	60	859	about 13 days
9	247	67	886	about 12 days

였다. 실험(Top Ex(experiment))은 병목 공정 탐지 프레임워크를 적용하여 가장 병목이 심한 공정에 우선순위를 높게 부여하고, 우선순위가 높은 병목 공정들 순서로 개선과 시뮬레이션을 반복하여 5차까지 탐지하는 방법으로 진행한다. 탐지된 병목 공정들의 타당성을 입증하기 위하여 해당 공정들의 capacity를 임의로 늘려 실험 결과를 비교하였다. 이에 반해 우선순위가 가장 낮은 공정들을 개선하고 시뮬레이션을 반복하는 방법으로 진행(Comparative Ex)한다.

실험의 결과 비교는 Tardy (%)와 TAT의 지표를 가지고 Fab의 생산성 향상여부를 파악할 것이다. Tardy(%)는 전체 Fab out된 웨이퍼 중에서 납기일 보다 지연되어 Fab out된 웨이퍼의 비율을 집계하여 수치화 하였다. 납기 지연 현상이 발생하였다는 것은 목표 생산량 대비 생산량의 저하가 발생하였다는 의미로 재해석 할 수 있다. 그리고 이러한 현상이 유입량의 부재인 상황을 배제한다면 본 연구에서 정의한 병목 공정의 영향으로 인해 발생된 납기 지연인 상황이기 때문이다. 또한 TAT의 수치를 검증 결과 지표로 사용한 이유는 생산성 향상 및 cycle time의 개선에 있다.

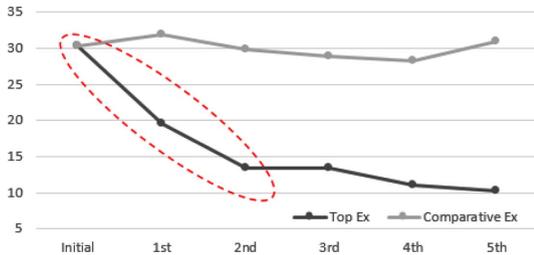
##### 4.1 Case 1

Case 1은 MIMAC 6 data set으로 구성한 모델에서, FF는 2.0이고, Dispatching rule은 FIFO를 적용한 모델이다.

Table 3은 Case 1의 모델에서 2주(14일)간의 기간을 선택하여 병목 공정 탐색 프레임워크를 적용하여 Top Ex 실험 결과와 Comparative Ex 실험의 결과를 비교한 결과이다.

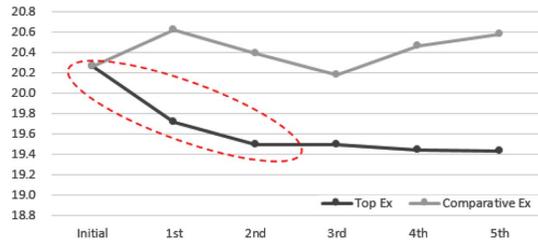
**Table 3** Tardy (%) : FF 2.0, Dispatching rule FIFO

Tardy (%)	Initial value	1st	2nd	3rd	4th	5th
Top Ex	30.3	19.6	13.4	13.4	11.1	10.2
Comparative Ex	30.3	32.0	29.9	28.87	28.3	31.0



**Chart 1.** Tardy (%) : FF 2.0, Dispatching rule FIFO

Chart 1과 Chart 2는 Table 3과 Table 4를 그래프로 나타낸 것이다. Table 3과 Chart 1은 Tardy(%)의 수치이다. 우선순위가 높은 공정들을 개선한 Top Ex 방식으로 진행된 실험의 결과는 초기 값보다 검증이 거듭됨에 따라 계속적으로 Tardy(%)가 줄어드는 것을 볼 수 있다. Initial value의 Tardy(%)는 30.3%에서 1차 검증 후 19.6%로 줄어든 것을 볼 수 있다. 또한 차수를 거듭하여 검증 할수록 Tardy(%)는 점차 줄어드는 것으로 보여진다. 즉 lot의 생산이 delay되는 비율이 줄어들고, on time delivery의 성향을 띄는 것으로 분석할 수 있다. 그러나 우선순위가 가장 낮은 공정들을 개선한 Comparative Ex 방식으로 진행된 실험 결과는 오히려 초기값 보다 좋지 못하거나 일정하지 못한 결과가 나온 것을 볼 수 있다. Chart 1에서 보면 1차 검증시의 기울기가 가장 큰 것으로 보여지며, 점차 검증의 차수가 늘어나면서 기울기는 완만해 지는 것을 볼 수 있다. 즉 본 연구에서 제안하는 병목 공정 탐지 프레임 워크를 적용함으로써 최소의 검증으로 극적인 개선 효과를 볼 수 있고,



**Chart 2.** TAT (Days): FF 2.0, Dispatching rule FIFO

검증의 차수를 늘리면서 신뢰할 수 있는 최적으로 병목 공정을 찾아 낼 수 있음을 보여준다. 본 연구에서 개선의 방법으로는 해당 공정(Step)의 Capacity를 늘려주는 방법을 선택하였지만, 연구 목적에 따라 다양한 개선의 방법을 적용 할 수 있다.

Table 4는 Case 1 모델의 Fab out된 웨이퍼들의 TAT를 집계하여 평균으로 나타낸 값이다. TAT의 검증 결과도 Tardy와 비슷한 성향으로 나타난 것을 볼 수 있다. Top Ex 실험 결과는 검증 TAT가 줄어드는 하향 곡선으로 나타난 것을 볼 수 있고, Comparative Ex 실험의 결과는 그에 반해 비정상적인 결과를 나타낸다. TAT 줄어든다는 것은 Cycle time이 줄어든다는 것을 의미한다. Chart 2에서 보여지는 것처럼 TAT도 Tardy와 같이 1st 검증시의 기울기가 가장 큰 것으로 보여지며, 점차 검증의 차수가 늘어나면서 기울기는 완만해 지는 것을 볼 수 있다. Case 1의 실험 결과를 통해 병목 공정 탐지 프레임워크를 적용하여 납기 지연의 문제를 해소하고, 웨이퍼의 cycle time을 줄임으로써 생산성을 향상시킨 결과를 도출하였다.

**Table 4** TAT (Days): FF 2.0, Dispatching rule FIFO

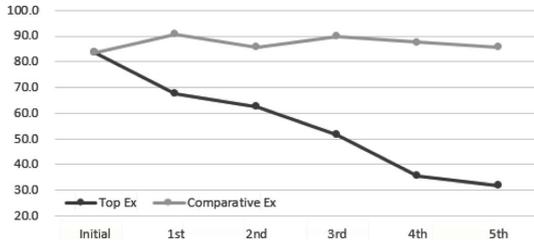
TAT (Days)	Initial value	1st	2nd	3rd	4th	5th
Top Ex	20.3	19.7	19.5	19.5	19.5	19.4
Comparative Ex	20.27	20.6	20.4	20.18	20.5	20.6

**Table 5** Tardy (%) : FF 1.8, Dispatching rule : FIFO

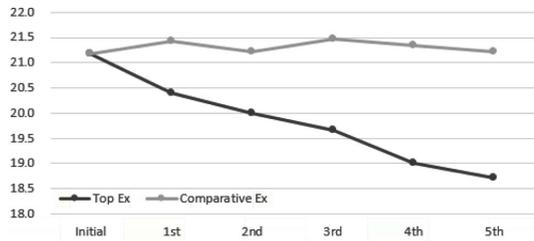
Tardy (%)	Initial value	1st	2nd	3rd	4th	5th
Top Ex	83.5	67.0	62.6	52.0	36.0	32
Comparative Ex	83.51	91.0	85.7	90.0	88.0	86.0

**Table 6** TAT (Days) : FF 1.8, Dispatching rule : FIFO

TAT (Days)	Initial value	1st	2nd	3rd	4th	5th
Top Ex	21.2	20.0	20.0	20.0	19.0	19.0
Comparative Ex	21.17	21.0	21.2	21.0	21.0	21.0



**Chart 3.** Tardy (%) : FF 1.8, Dispatching rule : FIFO



**Chart 4** TAT (Days) : FF 1.8, Dispatching rule : FIFO

**4.2 Case 2**

Case 2는 MIMAC 6 data set으로 구성된 모델에서, FF는 1.8로 Case 1보다 다소 run time과 wait time의 비율을 타이트하게 설정하고, Dispatching rule은 FIFO를 적용한 모델이다. Case 1과 같은 방식으로 Case 2의 모델에서 2주(14일)간의 기간을 선택하여 병목 공정 탐지 프레임워크를 적용하여 Top Ex 실험과 Comparative Ex 실험의 결과를 비교하였다. Table 5와 Chart 3은 Case 2의 모델 검증 및 개선의 Tardy(%) 결과 수치이다. Table 5에서 보이는 것과 같이 타이트한 FF의 영향으로 다소 초기의 상황에서 납기를 지연한 웨이퍼의 비율이 높은 상황의 결과를 보였다. Tardy의 수치가 높게 나타난 Case 2의 경우, 검증의 차수를 거듭할수록 결과적으로 효과적으로 개선된 결과를 볼 수 있다. 물론 앞선 Case 1과 같이 Top Ex는 Tardy가 현저하게 줄어 검증의 효과를 증명하는 결과를 보이지만, Comparative Ex는 오히려 더 나빠진 상황으로 진행된 결과를 나타낸다. TAT인 경우에도 비슷한 경향의 결과가 나왔다. 초기 상황이 납기 지연의 비중도 많은 상황이었고, TAT도 길다는 것

은 FF가 타이트 한 만큼 Case 1의 상황에서보다 Case 2의 상황에서 더 개선해야 할 병목 공정이 많았고, 검증의 차수가 높아질수록 더욱 좋은 결과를 볼 수 있었다.

**5. 결 론**

반도체 웨이퍼 Fab 공정은 고가의 장비와 혼류 생산 방식, Re-entrant 생산 방식 등의 특징을 갖고, 수백 대의 장비와 수백 개의 제조공정으로 이루어져 있기 때문에 매우 중요한 공정이다. 그러므로 웨이퍼 Fab 공정은 cycle time 감소, 병목 공정의 가동률, 생산량 최대화, 납기 만족 등이 중요하다.

본 연구는 반도체 웨이퍼 Fab 공정에서 병목 공정 탐지 프레임워크를 제안한다. 이 프레임워크를 이용하여 보다 신속하게 병목 공정을 탐지하고, 병목 공정 중에서도 개선을 하여 보다 높은 효율을 낼 수 있는 공정을 탐색하는데 도움을 줄 수 있다. 검증기간은 필요에 의해 달리함으로써, 상황에 맞게 달리하여 맞춤 검증을 할 수 있다. 또한 Dispatching rule이나 FF에도 구애받지 않고, 병목 공정을 탐지할 수 있다. 그리고 목표 생산량과 실제 생산량을 비교하여 일차적으로 병목 공정의 후보 군을 분류하고, 유입량과 목표 생산량을 비교하여 목표 생산량만큼의 생산 가능성을 비교하여 실질적인 병목 공정을 탐지한다.

본 연구에서 제안하는 병목 공정 탐지 프레임워크는 WIP의 trend나 적정 Level을 정의하는 데에 있어서, WIP의 fluctuation을 정량적으로 판단하기 어려운 기존의 연구를 보완하였다. 또한 엔지니어의 견해로만 판단하던 Bottleneck을 보다 객관적인 방법으로 탐지 함으로써, 엔지니어의 주관적인 평가로 인한 손실을 막을 수 있다.

시뮬레이션을 이용하여 보다 빠르고 현실과 유사한 반도체 생산 공정을 모델링 하여 예측할 수 있고, 병목 공정을 탐지 함으로써 Tardy와 TAT 등의 지표를 개선함으로써 생산성을 높일 수 있다.

## 감사의 글

본 연구는 한국연구재단(22A20130000089)의 지원으로 수행되었습니다.

## References

1. Park, S., Yim, H. and Jee, H., 2009, Digital Factory for Virtual Line Simulation and RFID, *Proceedings of the Society of CAD/CAM Engineers Conference*, pp.489-492.
2. Park, D., Yang, J., You, K. and Park, B., 2008, Implementation of an E-BOM Copy Method for an Order-specific Semiconductor Equipment, *Transactions of the Society of CAD/CAM Engineers*, 13(4), pp.273-285.
3. Park, G.M., 2008, Performance Evaluation of Scheduling Rules using Manufacturing Line Simulation, *Konkuk University*.
4. Gurnani, H., Anupindi, R. and Akella, R., 1992, Control of Batch Processing Systems in Semiconductor Wafer Fabrication Facilities, *IEEE Transactions on Semiconductor Manufacturing* (v5, 1992), pp.319-328.
5. Sarin, S.C., Varadarajan, A. and Wang, L., 2011, A Survey of Dispatching Rules for Operational Control in Wafer Fabrication, *Production Planning and Control*, 22(1), pp.4-24.
6. Zhou, Z. and Rose, O., 2010, A Pull/Push Concept for Tool Group Workload Balance in a Wafer Fab, *In Proceedings of the 2010 Winter Simulation Conference*, pp.2516-2512.
7. Rosenberg, O. and Ziegler, H., 1992, A Comparison of Heuristic Algorithms for Cost-oriented Assembly Line Balancing, *Zeitschrift für Operations Research* 36, pp.477-495.
8. Zhou, Z. and Rose, O., 2009, A Bottleneck Detection and Dynamic Dispatching Strategy for Semiconductor Wafer Fabrication Facilities, *Proc. of the Winter Simulation Conference*, December 13-16, Austin, TX, USA, pp.1646-1656.
9. Chung, J. and Jang, J., 2009, IEEE Transactions on Semiconductor Manufacturing, 22(3), pp.381-390.
10. Fowler, J. and Robinson, J., 1995, Measurement and Improvement of Manufacturing Capacities (MIMAC): Final Report, *Technical Report 95062861A-TR*, SEMATECH, Austin, TX.
11. Zhou, Z. and Rose, O., 2012, WIP Control and Calibration in a Wafer FAB, *In Proceedings of the 2012 Winter Simulation Conference*, Research 46, pp.5515-5529.
12. Kim, S., Yea, S. and Kim, B., 2000, Stepper Scheduling in Semiconductor Wafer Fabrication Process, *The Proceedings of International Conference on Modeling and Analysis of Semiconductor Manufacturing*, Arizona, pp.157-167.
13. Lee, B., Lee, Y.H., Yang, T. and Ignisio, J., 2008, A Due-date Based Production Control Policy using WIP Balance for Implementation in Semiconductor Fabrications, *International Journal of Production*.
14. Tanjong, Shirley J., 2011, Bottleneck Management Strategies in Semiconductor Wafer Fabrication Facilities, *Proceedings of the 2011 International Conference on Industrial Engineering and Operations Management Kuala Lumpur*, Malaysia, January 22-24.
15. Wein, L.M., 1988, Scheduling Semiconductor Wafer Fabrication, *IEEE Transactions on Semiconductor Manufacturing*, 1, 115-129.



**양 가 략**

2011년 동양대학교 철도차량학부  
(공학사)  
2012년~현재 아주대학교 대학원  
산업공학과(석사과정)  
관심분야: 반도체 시뮬레이션, 병목  
탐지, 국방 M&S, 합성전자장환경,  
PLC



**정 용 호**

2005년 아주대학교 산업정보시스템  
공학부(학사)  
2011년 아주대학교 대학원 산업공  
학과(석사)  
2013년~현재 아주대학교 대학원 산  
업공학과(박사과정)  
관심분야: 시뮬레이션, 제조 시스  
템, 이산사건 모델링, CAD/CAM



**김 대 환**

1986년 경북대학교 전자공학과(공  
학사)  
2012년 한성대학교 국방경영학과  
(경영석사)  
1986년~현재 국방기술품질원 근무  
관심분야: 시뮬레이션, 분산 시뮬레  
이션



**박 상 철**

Ph.D. (2000) in Industrial Engineer-  
ing, Dept of I.E., KAIST, Korea  
B.S. (1994) in Industrial Engineer-  
ing, Dept of I.E., KAIST, Korea  
M.S. (1996) in Industrial Engineer-  
ing, Dept of I.E., KAIST, Korea  
2000년 9월~2001년 12월 큐빅테크,  
선임연구원  
2002월 1년~2004년 2월  
DaimlerChrysler ITM Dept.  
Research Engineer  
2008년 2월~현재 아주대학교 산업  
정보시스템 공학부, 부교수  
관심분야: 시뮬레이션, 제조 시스템,  
이산사건 모델링, CAD/CAM,  
PLC