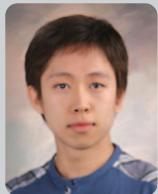


SSD를 위한 ECC와 Signal Processing 기법

I. 서론

최근 데이터 스토리지 시장에서 가격 하락과 성능 향상으로 hard disk drive (HDD)의 영역을 빠르게 잠식하며 날로 점유율을 높여가고 있는 solid-state drive (SSD)는 HDD에 비해 전력·소음·내충격성·데이터 처리속도·장치의 크기와 무게 등에서 장점을 갖는다. SSD는 크게 데이터를 저장하는 메모리와 이를 제어하는 컨트롤러, 그리고 호스트 장치와 연결하기 위한 인터페이스로 구성된다. 전원이 사라져도 데이터를 유지할 수 있는 비휘발성 NAND 플래시 메모리를 주로 사용하는데 메모리 내에서 물리적으로 쓰고, 읽고, 지우는 과정에서 의도치 않은 다양한 노이즈와 간섭신호가 발생하여 데이터의 신뢰도를 떨어뜨린다. 따라서 중간 매개 및 제어 역할을 하는 컨트롤러의 성능이 전체 SSD의 성능을 크게 좌우하며 플래시 메모리 미디어의 발달과 그 특성에 맞추어 컨트롤러의 성능을 향상시키기 위한 지속적인 연구·개발이 필요하다. 본 논문에서는 컨트롤러의 기능 가운데 중요한 부분으로서, NAND 플래시의 데이터 신뢰도를 향상시키기 위한 error correction code (ECC)와 signal processing (SP) 기법에 대해 다루기로 한다.



노재형
카이스트
전기·전자공학과



강순영
카이스트
전기·전자공학과



문재균
카이스트
전기·전자공학과

II. SSD에 쓰이는 NAND 플래시 메모리

NAND 플래시는 universal serial bus (USB) drive나 secure digital (SD) 카드와 같은 초소형 휴대용 메모리에도 많이 쓰이는데 다량의 데이터를 저장하고 빈번한 쓰기/읽기와 빠른 속도를 조건으로 하는 SSD에 쓰일 경우에는 보다 엄격한 제어를 필요로 한다. 속도면에서 SSD는 input/output operations per second (IOPS)를 기

준으로 현재 약 50,000+ IOPS를 나타내는데 일반적인 7200 RPM을 갖는 HDD의 약 100 IOPS에 비해 500배 가량 빠르다. 또한 데이터 신뢰도 면에서 SSD는 보통 개인용으로 10^{-15} , 기업용으로 10^{-16} 의 uncorrectable bit error rate (UBER)을 요구하며 이 수치는 raw BER (RBER)에 비해 현격히 낮다. 여기서 UBER은 데이터 오류 정정 과정을 거친 후, 전체 데이터 비트 가운데 더 이상 정정할 수 없는 데이터 비트의 비율이고 RBER은 오류 정정 절차를 거치지 않은 출력직후의 전체 데이터 가운데 오류가 발생한 비트의 비율을 말한다. 즉, SSD는 신속성과 정확성을 동시에 유지하면서 저장 용량을 늘리는 것이 관건이며 이를 위해 ECC와 SP에 의한 NAND 플래시의 효율적인 데이터 신뢰도 향상 과정이 필수적이다.

SSD는 신속성과 정확성을 동시에 유지하면서 저장 용량을 늘리는 것이 관건이며, ECC와 신호처리 기술을 활용한 효율적인 데이터 신뢰성 향상 과정이 필수적이다.

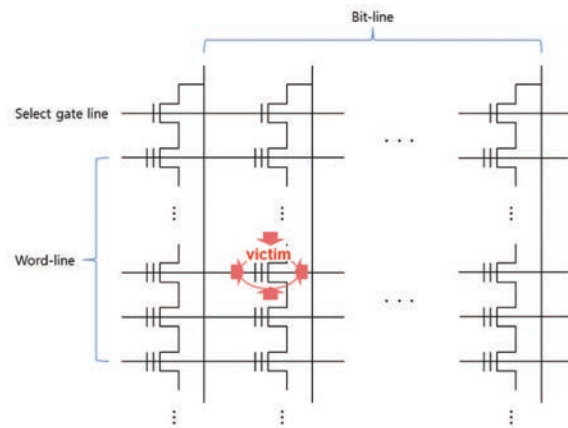
III. 플래시 메모리의 기본 구조

Cell이라 부르는 수많은 트랜지스터들의 배열로 구성되는 NAND 플래시는 가장 큰 단위의 array부터 block, 그리고 page의 구조를 이룬다. 데이터 기록은 page 단위로 이루어지고 기록 과정에 앞서 해당셀들의 입력 값들이 삭제되어야 하는데 이 때 동일 block 내의 셀들은 모두 한꺼번에 삭제된다. Block은 수평 방향으로의 word-line과 수직 방향으로의 bit-line으로 구성되는데 (<그림 1>), bit-line은 짝수/홀수번째 위치에 따라 even/odd bit-line으로 구분되거나 또는 all bit-line (ABL) 구조를 갖는다. ABL은 page 버퍼에 연결된 모든 bit-line들을 동시에 센싱함으로써 NAND 플래시 array의 성능을 향상시키기 위한 구조로 동일 word-line내의 모든 셀들이 한꺼번에 쓰이거나 읽히게 된다^[1]. 셀에 데이터를 기록할 때에는 문턱 전압 레벨 V_t 를 정하고 incremental step pulse program (ISPP)의 과정을 통해 program/verify 단계를 반복하면서 전압 레벨을 할당한다^[2]. ISPP는 program 과정에서 의

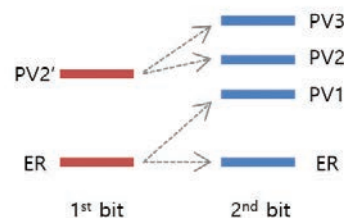
도한 전압 레벨보다 높게 할당되는 것을 방지하고자 하는 기술로 마치 컵에 물을 따를 때 일정량을 정확히 맞추기 위해 조금씩 나누어 따르는 것과 같다. Program 레벨이 의도한 전압 레벨보다 넘어가게 되면 해당 셀 입력 값을 지우고 처음부터 다시 program을 시작해야 하는데 지우는 과정이 block 단위로 이루어져야 하기 때문에 셀 전압값이 할당된 입력값을 넘는 상황을 피하고자 하는 것이다.

하나의 셀에 2개의 비트를 저장하는 multi level cell (MLC)의 경우, 셀이 네 가지의 V_t 레벨 가운데 하나를 가지며 가장 낮은 전압 레벨부터 erase (ER), PV1, PV2, PV3로 부른다. 2비트를 저장할 때는 두 단계로 나누어 기록

하는데 첫 번째 단계에서는 기록하고자 하는 데이터에 따라 ER 상태를 유지하거나 PV2` 상태로 ISPP를 통해 전압을 인가하고, 두 번째 단계에서 추가적인 전압 인가



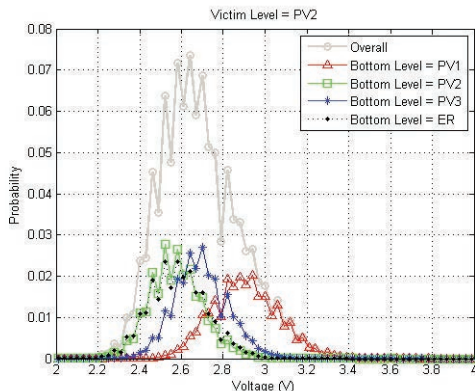
<그림 1> NAND 플래시 메모리 block의 구조 (victim: 인접한 셀들로부터 영향을 받는 셀)



<그림 2> MLC의 기록 과정

를 통해 최종 V_f 레벨을 할당하게 된다(그림 2)). 이 때 특정 셀에 대한 추가적인 전압량의 크기에 따라 기록하고자 하는 셀 외에 인접한 셀들에게도 원치 않는 영향을 미쳐 셀간 간섭을 유발한다. 이것은 셀 내의 floating gate 전압이 parasitic capacitor에 의해 인접 셀의 floating gate 전압 변화를 일으키기 때문이며 이 현상을 셀간 coupling 이라고 묘사한다^[3].

Single level cell (SLC)의 높은 안전성/신뢰성과 빠른 속도에도 불구하고 대용량화 추세에 따라 MLC 및 triple level cell (TLC)이 보편화되고 있는 상황에서 높아지는 RBER에 대응하기 위한 여러 기법들이 논의되고 있다. <그림 3>은 MLC NAND 플래시 메모리에 데이터를 기록한 후 V_f 를 읽어 그 확률 분포를 나타낸 것이다. 가장 바깥쪽의 회색 분포가 기록한 V_f 레벨이 PV2일 때의 읽은 V_f 분포이며 넓은 영역에 걸쳐 불규칙적인 값을 보인다. 바로 아래 위치한 셀의 네 가지 입력 레벨에 따라 해당 셀의 V_f 출력 분포를 분류하여 살펴보면 분포도의 중심 위치가 각기 다른 것을 알 수 있는데, 아래 셀의 입력 레벨에 의해 “victim 셀”이 민감한 변화를 받는다는 것을 유추할 수 있다. 즉, 전체 출력값의 분포는 간섭 및 다양한 노이즈의 영향을 받은 결과로서 이 분포가 다른 입력 레벨에 대한 출력 분포와 겹치게 되면 데이터에 오류가 발생한다.



<그림 3> MLC NAND 플래시에서 기록 레벨이 PV2일 때 V_f 의 출력 분포(1회 기록 후 read)^[9]

IV. 다양한 데이터 신뢰도 하락 요인

1. Program/Erase (P/E) Cycling

플래시 메모리에서 발생하는 주요 오류는 읽기/쓰기/삭제 프로세스와 관련되어 발생하고 모든 유형의 오류는 P/E (program/erase) 횟수와 밀접한 연관이 있다^[4-5]. 플래시 메모리 셀은 제한된 P/E 횟수를 갖는데 예를 들어 30 나노미터급 공정의 MLC NAND 플래시 셀은 대략 3천번 이내의 기록 능력을 가진다^[6]. 또한 각 셀당 기록하는 비트수가 증가할수록 기록 능력은 저하되며 기업용 스토리지 시스템과 같이 기록 위주의

입출력 데이터를 이용한 통계적 채널 분석 기법을 통해 NAND 플래시 메모리의 간섭 및 노이즈 채널 특성을 분석할 수 있다.

SSD에서는 이러한 내구성 문제가 더욱 심각하게 대두된다.

플래시 메모리를 지속적으로 사용하면서 P/E 횟수가 증가함에 따라 성능 및 수명이 감소되

는 원인은 셀 내의 floating gate에서 tunnel oxide의 의도치 않은 변화가 발생함에 있다. Erase 과정에서 전하가 빠지지 않고 남아 있는 charge trapping이 대표적인 변화 가운데 하나이고 이는 또한 문턱전압의 무작위적 흔들림을 초래하는 random telegraph signal (RTS) noise의 원인이 된다^[7]. 다시 말해, 기록/삭제가 반복될수록 floating gate의 오염이 누적되면서 오류율 증가 및 수명 감소로 이어진다고 할 수 있다.

2. Cell-to-cell Interference

앞서 언급한 cell-coupling 혹은 cell-to-cell interference는 RBER을 증가시키는 또 하나의 주요인이다. 통신 모델에서의 inter-symbol interference와 유사한 개념으로 NAND 플래시 메모리에서는 셀들의 배열 구조에 따른 2차원 간섭이 특징이다. Parasitic capacitance-coupling에 의해 특정 셀의 V_f 인가 과정에서 주위에 먼저 기록된 인접 셀들의 V_f 에 영향을 미치게 되며 하나의 셀에 저장하는 비트의 수가 증가할수록, 그리고 제조공정 스케일이 작아질수록 셀간 간섭의 영향력은 커진다.

입출력 데이터를 이용한 통계적 채널 분석 기법^[8]을

〈표 1〉 MLC NAND 플래시에서 victim 셀의 입력 레벨이 PV1인 경우에 bit-line 구분에 따른 coupling factor^[10]

0.00	0.00	0.00	0.01	0.00	0.01
0.01	PV1	0.01	0.05	PV1	0.06
0.02	0.11	0.02	0.03	0.11	0.04
victim on odd-bit line			victim on even-bit line		

통해 NAND 플래시 메모리의 간섭 및 노이즈 채널 특성을 분석할 수 있으며^[9], 또한 셀과 셀 사이의 coupling factor를 계산함으로써 셀간 간섭의 특징을 수치적으로 파악할 수 있다^[10]. 셀간 간섭에 의해 victim 셀이 받는 V_i 변화량은 간섭 셀의 V_j 인가량과 coupling factor의 곱의 총합으로 정의될 수 있다^[10]. 셀이 위치한 bit-line의 기록 순서에 따라 셀간 간섭 정도에 차이가 발생하는데, 예를 들어 even bit-line이 odd bit-line보다 늦게 기록이 완료되는 경우 even bit-line에 위치한 victim 셀은 좌우 셀들로부터의 간섭이 증가하고, 아울러 전체 간섭량도 증가한다 (〈표 1〉). 또한 두 개의 word-line에서 아래쪽 word-line이 위쪽 word-line보다 늦게 기록이 완료되기 때문에 victim 셀의 아래쪽 셀로부터의 간섭이 가장 크다.

3. Retention Error와 Read Disturbance

이미 기록된 플래시 셀의 전하가 조금씩 줄어들어 저장된 데이터의 오류를 유발하는 retention 에러 역시 대표적인 오류 요인이며 retention time에 따라 증가한다^[4-5]. Retention 에러는 V_i 의 상승을 유발하는 간섭과 달리 V_j 의 감소를 유발하며, 주기적인 전하 재충전을 통해 완화시킬 수 있다^[11]. Read disturbance는 플래시 메모리를 읽는 과정에서 읽고자 하는 셀과 동일 블록내에 위치한 인접 셀들이 전압의 영향을 받아 V_i 에 변화가 발생하는 것을 말한다. 따라서 반복된 읽기만으로도 오류 정정 장치의 능력을 넘어서는 오류가 발생할 수 있으며 일정 횟수의 읽기 이후에 블록을 삭제 상태의 새로운 블록으로 복사함으로써 read disturbance를

줄일 수 있다. P/E 횟수와 read disturbance의 증가는 retention 에러율 증가의 원인이 된다.

V. 플래시 메모리를 위한 ECC

ECC는 데이터에 발생한 오류를 검출 또는 정정하는 기술로써 통신 및 스토리지 어플리케이션에 널리 쓰이고 있다. ECC가 적용된 데이터의 한 단위를 코드워드라고 하며 길이 n 비트의 코드워드는 k 비트의 유저데이터와 $(n-k)$ 비트의 패리티로 이루어져 있다. 부호율은 (k/n) 으로 계산되며 부호율이 높을수록 주어진 코드워드에 많은 유저데이터를 저장할 수 있다. 일반적으로 코드워드의 길이가 길수록, 부호율이 작을수록 ECC의 오류정정능력이 좋아진다.

플래시 메모리 ECC는 메모리 채널에서 읽어온 정보를 이용해 디코딩을 수행한다. 디코더는 이 정보를 몇 비트로 표현하느냐에 따라 hard decision 디코더와 soft decision 디코더로 분류된다. Hard decision 디코더는 1비트로 표현된 메모리셀 출력정보

ECC는 데이터에 발생한 오류를 검출 또는 정정하는 기술로써 통신 및 스토리지 어플리케이션에 널리 쓰이고 있다.

를 가지고 디코딩을 수행하며 이때 사용되는 1비트 정보를 hard information이라고 한다. 한편 soft decision 디코더는 2비트 이상으로 구성된 좀 더 정확한 메모리셀 출력정보를 이용하는데 이 정보를 soft information이라고 한다. Soft decision 디코딩은 hard decision 디코딩에 비해 강한 오류정정능력을 가지고 있지만 하드웨어 구현에 있어 높은 복잡도와 많은 메모리 소비를 필요로 한다. 또한 soft information 생성은 hard information 생성에 비해 많은 읽기 지연시간을 필요로 한다. NAND 플래시 메모리의 읽기는 word-line을 통해 이뤄지며 하나의 word-line에 정렬된 셀은 동시에 읽어진다 (〈그림 1〉 참조). 읽기 과정에서 word-line에 기준전압 (reference voltage)을 인가해 각 셀에 충전된 전압과 비교하여 크고 작음에 따라 정보를 표현하는 비트를 결정한다. 따라서 hard information 생성을 위해서는 word-line 당 한 번의 센싱이 필요하며 4레벨을

〈표 2〉 MLC NAND 플래시 메모리의 공정 스케일과 그에 따라 적용된 BCH 부호

공정	부호길이	부호율	t
50nm	512 Byte	0.976	8
34nm	512 Byte	0.964	12
25nm	1024 Byte	0.962	24
20nm	1024 Byte	0.937	40

표현하는 2비트 soft information 생성의 경우는 기준 전압을 변경하며 세 번의 센싱을 수행해야 한다.

최근 들어 MLC 메모리 사용이 본격화 되면서 이에 따른 강력한 ECC 개발이 주목 받고 있다. RBER이 낮고 데이터의 신뢰성이 높은 SLC 메모리는 Hamming 부호와 같은 단일 오류 검출/정정 (single error detection/correction) 부호를 ECC로 사용하기도 한다. 하지만 MLC 메모리는 SLC 메모리에 비해 높은 RBER을 나타내므로 단일 오류 검출/정정 부호보다 강력한 ECC를 필요로 한다.

NAND 플래시 소자의 미세 공정 역시 강력한 ECC의 필요성을 부추기고 있다. 〈표 2〉는 공정의 스케일과 그에 따라 적용된 Bose-Chaudhuri-Hocquenghem (BCH) 부호의 정보를 나타낸다. BCH 부호는 한 코드워드에 t-비트 오류를 고칠 수 있는 정정능력을 가지고 있다. 여기서 t 값은 BCH 부호의 길이와 부호율에 따라 결정된다. 공정과 그에 따른 BCH 부호의 정정능력에 대한 추가적인 내용은 [12]에 명시되어 있다. 〈표 2〉를 통해 공정이 작아짐에 따라 부호길이와 t 값이 큰 BCH 부호가 적용된 것을 알 수 있다.

플래시 메모리에 적용될 수 있는 ECC로는 BCH, 곱 부호 및 연결 부호 등을 들 수 있다.

VI. 플래시 메모리를 위한 ECC의 최신 기술 동향

1. BCH 부호

NAND 플래시 메모리를 위한 BCH 부호의 하드웨어 구현에 대한 연구가 활발히 진행되고 있다. [13]에서는 BCH 부호의 디코딩 과정 3단계인 신드롬 계산,

Berlekamp-Massey 알고리즘, Chien search에 파이프라인 기법을 적용한다. 또한 Chien search 과정이 유저데이터 정정에서만 동작하고 패리티 정정에는 동작하지 않도록 하는 early termination 알고리즘을 적용함으로써 디코더의 throughput을 늘리는 방법을 제안했다.

길이가 긴 BCH 부호는 복잡도가 커서 하드웨어 구현에 어려움이 있으므로 여러 개의 작은 BCH 디코더를 이용한 멀티 BCH 구조가 널리 사용되고 있다. [14]에서는 멀티쓰레드를 이용하여 BCH 인코딩 복잡도를 줄이고 디코더의 idle 시간을 효율적으로 활용한 6Gbps 고속 멀티 BCH 구조를 제안하고 있다.

2. 연결 부호 (Concatenated Code)

오류정정능력을 높이기 위해 두 개 이상의 부호를 사용한 연결부호도 고려되고 있다. [15]에서는 BCH 부호와 Trellis coded modulation (TCM)을 연결한 (BCH-TCM) ECC를 제안하여 MLC NAND 플래시 메모리의 신뢰성을 높이고자 했다. BCH-TCM 연결 부호를 이용하면 단일 BCH 부호에 비해서 오류정정능력이 10배 이상 향상되지만 TCM을 BCH부호에 연결하기 위해서는 셀당 전압 레벨을 4에서 5로 증가시켜야 하고 비교적 많은 힛수의 메모리 센싱을 요구하므로 읽기 지연시간이 긴 단점이 있다. 또한 TCM을 사용하는 경우 비트 오류율은 작아질 수 있지만 긴 블록단위의 오류율은 개선이 안될 수 있으므로 주의를 요한다.

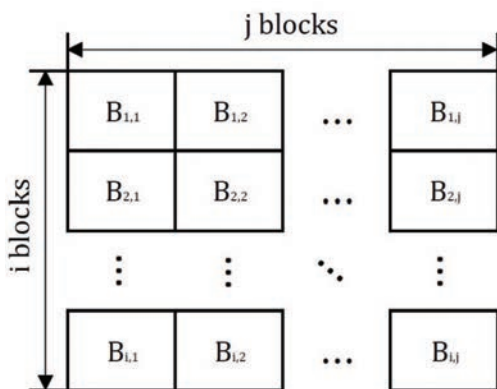
MLC 메모리를 위한 TCM과 Reed-Solomon (RS) 부호의 연결도 가능한데, [16]에서 제안된 기법에서는 하나의 RS부호와 하나의 TCM 부호로 이뤄진 일반적인 RS-TCM 연결 부호와는 다르게 두 개의 RS 부호가 각각 다른 역할을 수행하며 TCM 부호를 보호한다. 제안한 RS-TCM 연결 부호는 단일 BCH, RS 부호 그리고 통상적인 RS-TCM 부호에 비해 좋은 오류 정정 능력을 보인다.

3. 곱 부호 (Product Code)

곱 부호는 하나의 코드워드를 여러 개의 행과 열로 나누어 각 행과 열에 서로 다른 상대적으로 짧은 ECC를 적용하는 기술이다. 긴 길이의 ECC와 비교해 적은 복잡도로 높은 오류 정정 능력을 보이는 장점이 있다. [17]에서는 곱 부호의 행, 열 부호로 각각 RS 부호, Hamming 부호를 사용하여 MLC NAND 플래시 메모리에 적용하는데 제안된 곱 부호는 단일 BCH나 RS 부호에 비해 적은 면적을 차지하면서 좋은 오류정정 성능을 보이고 있다. 또한 [17]에서는 Hamming 부호를 여러 개로 나눠 적용함으로써 패리티를 늘리는 하드웨어 디자인도 제안하고 있다.

4. Block-wise concatenated BCH (BC-BCH) 부호

BCH를 기반으로 한 곱 부호는 2차원 배열의 버퍼에 데이터를 채우고 각 행과 열에 따로 BCH 부호를 적용한 형태인데 행부호와 열부호가 번갈아가며 디코딩을 수행하는 반복적 디코딩을 통해 발생한 오류의 위치를 알 수 있는 특징을 가지고 있다. [18]에서 언급한 BC-BCH 부호에서는 각 행과 열에 좀 더 강력한 개별 BCH부호가 적용되면서 행부호와 열부호가 만나는 교차점이 블록단위로 이루어진다는 것이 특징이다 (<그림 4> 참조). [18]에서는 또한 오류 블록의



<그림 4> BC-BCH 부호 구조

위치 정보를 이용하여 해당 블록의 특정 비트들을 반전시켜 추가적인 디코딩을 수행하는 알고리즘도 제안하고 있다. BC-BCH 부호는 길이가 긴 단일 BCH 부호에 비해 복잡도가 낮은 장점이 있고, 또한 기존의 BCH 기반 곱 부호에 비해서는 성능과 복잡도를 쉽게 저울질하며 디자인할 수 있는 설계 융통성을 갖는 것이 큰 장점이다.

5. Raptor 부호와 BC-BCH 부호의 연접

BC-BCH 부호의 성능을 개선하는 방법으로 BC-BCH 부호의 디코딩 과정에서 얻을 수 있는 오류 블록의 위치 정보를 통해 erasure 정보를 발생시키고, Raptor 부호와 같이 erasure 채널에 적합한 부호를 외부 부호로써 활용할 수 있다^[19]. Raptor 부호는 erasure 부호 중 하나인 RS 부호에 비해 심볼크기와 부호길이를 자유롭게 디자인할 수 있으며 부호길이가

Soft information을 이용해 복호를 수행함으로써 매우 강력한 오류 정정 능력을 보이는 LDPC에 대한 연구가 활발하게 진행되고 있다.

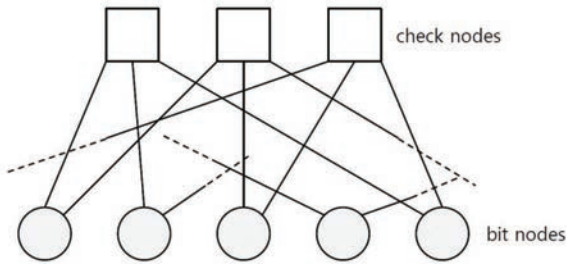
매우 긴 경우에도 상대적으로 적은 복잡도로 디코딩이 가능한 장점을 가지고 있다. 따라서 Raptor 부호를 활용하면 연접에 따른 부호율의 증가를 최소화하면서 효과적으로 BC-BCH 부호

의 성능을 발전시킬 수 있다.

인코딩 과정은 먼저 메시지에 외부 부호인 Raptor 부호를 이용해 코드워드를 만들고 만들어진 코드워드에 내부 부호인 BC-BCH 부호를 적용해 연접부호의 코드워드를 완성하는 과정을 거친다. 디코딩 과정은 인코딩 과정과 반대로 내부 부호인 BC-BCH 부호의 디코딩을 먼저 거치고 오류가 발생된 블록의 위치 정보를 이용하여 Raptor 부호의 erasure 디코딩을 수행한다. Raptor 부호는 복잡도가 크지 않으면서 erasure 채널 용량에 근접하는 성능을 낼 정도로 erasure 디코딩 능력이 뛰어나므로 BC-BCH에서 발생한 오류 블록을 매우 효과적으로 정정할 수 있다.

6. Low-density parity-check (LDPC) 부호

LDPC 부호는 soft information을 이용해 디코딩을



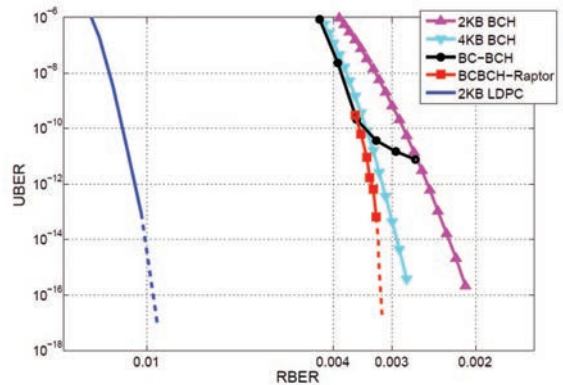
〈그림 5〉 LDPC 부호의 bipartite graph

하며 매우 강력한 오류 정정 능력을 보인다. 지금까지 Wi-Fi, 10Gbit Ethernet, Wi-Max, DVB-S2 등 많은 통신 어플리케이션의 표준으로 채택되기도 하였으며 HDD에서도 LDPC 부호를 ECC로 사용하고 있다. 최근 들어 NAND 플래시를 위한 LDPC 부호 연구가 활발히 진행되어 왔으며 현재는 실제로 구현되어 SSD 컨트롤러에 적용되고 있다.

LDPC 부호는 패리티 체크 행렬에 의해 코드워드가 결정된다. 패리티 체크 행렬은 대부분의 0과 매우 적은 수의 1로 채워져 있으며 각 행은 패리티 체크를 나타내고 열은 비트의 위치 나타낸다. 따라서 각 행에 포함된 1의 위치를 통해 해당 체크에 연결된 비트들을 알 수 있다.

〈그림 5〉는 주어진 패리티 체크 행렬을 그림으로 표현한 bipartite graph인데 특정 비트들의 조합이 해당 패리티 체크를 만들기 위해 하나의 “체크노드”로 연결된 모습을 보여준다. LDPC 부호의 디코딩은 비트노드와 체크노드의 메시지-패싱이라는 개념적으로 아주 간단한 알고리즘을 통해 이루어 지는데 같은 체크 노드에 연결된 비트노드들이 서로 메시지를 주고 받으면서 각 비트에 해당하는 soft information 이 점점 더 견고해지고 이로 인해 디코딩이 성공적으로 수행되는 기법이다.

[20]에서는 MLC NAND 플래시 메모리의 채널을 만들고 이에 적합한 부호율 0.96, 길이 8KB인 LDPC 부호 디자인을 소개하고 있다. 시뮬레이션에 사용된 채널 모델은 additive white Gaussian noise (AWGN)와 셀간 간섭이 반영되었다.



〈그림 6〉 AWGN 채널에서의 ECC 오류정정능력 비교

[21]은 LDPC 디코더의 hard decision 디코딩과 soft decision 디코딩을 복합적으로 사용하여 읽기 지연시간을 줄이는 방법을 제안한다. Progressive soft-decision sensing이라 불리는 이 알고리즘은 NAND 플래시 메모리 센싱 횟수를 순차적으로 늘리는 기술이다. 즉, 메모리에서 한번 센싱해 온 데이터로 hard decision 디코딩을 수행하여 실패하면 추가적인 센싱을 통해 soft information 을 만들고 soft decision 디코딩을 수행한다. 만약 두 번의 센싱을 이용한 soft decision 디코딩도 실패할 경우 디코딩이 성공할 때까지, 혹은 허용되는 한도까지 센싱 횟수를 늘려간다.

Hard decision decoding을 수행하는 경우에는, BC-BCH를 기반으로 하는 부호가 하나의 강력한 BCH를 사용할 때 보다 훨씬 효율적인 솔루션을 제공한다고 볼 수 있다.

7. 시뮬레이션을 통한 오류정정능력 비교

〈그림 6〉은 AWGN 채널에서 2KB, 4KB 길이의 단일 BCH 부호, 4KB BC-BCH 부호, 4KB BC-BCH와 Raptor의 연결부호, 그리고 2KB 길이 LDPC 부호의 오류정정능력 시뮬레이션 결과이다. 시뮬레이션으로 얻을 수 없는 영역의 추정 값은 점선으로 표시되어 있다. x축은 채널에서의 BER을 나타내며 y축은 디코딩 후에 계산한 UBER을 나타낸다. LDPC 부호를 제외한 모든 부호는 부호율이 0.93이다. LDPC 부호는 0.9의 부호율 시뮬레이션 결과 값을 토대로 0.93 부호율에 맞게 노이즈 페널티를 부과하여 결과 값을 이동시킨



것이다. 따라서 <그림 6>에 사용된 모든 부호는 같은 부호율 조건에서의 결과를 나타낸다. LDPC 부호를 제외한 모든 부호는 hard decision 디코딩을 수행하였으며 LDPC 부호는 6 비트 균일 양자화 (uniform quantization)를 통한 soft information을 사용해 soft decision 디코딩을 수행했다.

BC-BCH 부호는 2KB, 4KB BCH 부호에 비해 높은 RBER 영역에서 좋은 오류 정정 능력을 보이지만 10^{-10} UBER 영역에서 오류 정정 능력이 급격히 떨어지는 오류마루를 형성한다. BC-BCH 부호는 행과 열에 각각 길이가 2026 비트, 1970 비트인 짧은 BCH 부호 여러 개를 사용하기 때문에 긴 BCH 부호를 하나 혹은 둘을 사용해서 페이지오류 정정을 하는 경우보다 구현 복잡도나 하드웨어 에너지 소비면에서 큰 장점을 보인다^[18]. BC-BCH 부호의 약점을 해결하기 위해 설계된 Raptor 연결부호는 효과적으로 BC-BCH 부호의 오류마루를 해결하는 것을 볼 수 있다. Soft decision 디코딩을 사용한 LDPC 부호는 다른 부호들에 비해 압도적으로 강력한 오류정정능력을 보인다. 한편 hard decision 디코딩을 수행하는 경우에는 BC-BCH를 기반으로 하는 부호가 하나의 강력한 BCH를 사용할 때 보다 훨씬 효율적인 솔루션을 제공한다고 볼 수 있다.

VII. RAID-like 시스템을 위한 ECC

지금까지는 개별 페이지 하나를 보호하는 관점에서의 ECC를 언급했다고 한다면, 이제는 여러 개의 NAND 플래시 칩이 사용되거나 여러 개의 SSD가 사용되는 시스템 구조에서 개별 플래시 칩이나 개별 SSD가 복구할 수 없는 상황이 됐을 경우에 ECC를 통해 시스템을 정정할 수 있는 기술들을 살펴보기로 한다. 기존 시스템 스토리지에서는 개별구성 스토리지 유닛에 문제가 생겼을 경우 이를 redundant 스토리지 유닛의 배치를 통한 redundant arrays of independent disks (RAID) 시

스템으로 문제를 해결하는데, 최근에는 redundancy의 overhead를 줄이기 위해 RS 부호를 사용하는 시스템^[22]이 실제로 사용되기 시작하고 있다. RS 부호는 maximum distance separable (MDS) 특성을 가진 부호로 잘 알려져 있다. MDS 부호는 데이터를 k개의 패킷으로 나누고 이를 이용해 전체 n개의 패킷으로 만든 후 $(n>k)$ 이 가운데 임의의 k 패킷을 이용해서 디코딩을 하면 원래의 데이터 복원이 가능한 특성을 가지고 있다. 따라서 (n, k) MDS 부호를 이용하면 어떤 $(n-k)$ 이하의 오류에 대해서도 원본 데이터를 복원할 수 있다. RS 부호를 사용하는 경우에는 먼저 오류가 발생한 스토리지 노드의 위치를 이용해 erasure 정보를 만들고 이를 이용해 erasure 디코딩을 수행하면 원래의 데이터를 복원할 수 있다.

플래시 메모리의 다양한 신뢰도 하락 요인에 효과적으로 대응하고 고성능의 ECC 설계에 대한 오버헤드를 줄여줄 수 있도록 플래시 채널에 특화된 신호처리 기법들이 연구되고 있다.

앞으로 긴 부호 길이에 적합하고, MDS 특성을 가지면서 한편으로는 RS 부호에 비해 현저히 낮은 디코더 구현의 복잡도를 갖는 부호들이 각광을 받을 것으로 예상된다. Raptor 부호, polar 부호^[23]등이 유력한 후보로 고려될 수 있다.

또 하나의 흥미로운 관련기술로써 [24]에서는 decentralized 개념을 소개하고 분산 스토리지 모델에 적합한 MDS 부호를 제안하고 있다. Decentralized 부호를 통해 k 개의 데이터는 무작위로 n개의 스토리지 노드에 저장되는데 $(n>k)$, 이 때 k개의 데이터 노드는 자신의 데이터가 어떤 스토리지 노드에 저장될지 여부를 다른 데이터 노드와 상관없이 독립적으로 선택하게 된다. 그리고 스토리지 노드는 수신한 데이터를 선형 조합하여 저장한다. Decentralized 부호는 데이터 노드와 스토리지 노드간의 연결에 대한 어떠한 정보도 필요로 하지 않는 장점을 가지고 있다.

VIII. 플래시 메모리를 위한 신호처리

제한적인 P/E 횟수를 보완하고 데이터 신뢰도 향상을 위해 ECC를 적용함으로써 RBER을 낮출 수 있지만

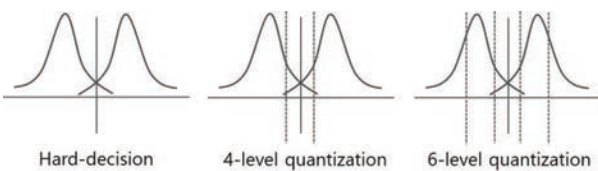
NAND 플래시에 적용되는 ECC는 대개 높은 부호율에서도 만족할만한 성능을 낼 수 있어야 하기 때문에 구현에 큰 오버헤드가 따르게 된다. 또한 P/E 횟수에 따라 지수함수적으로 증가하는 RBER에 반해 ECC의 오류 정정 능력은 선형적으로 증가^[4] 하기 때문에 ECC의 설계에 어려움이 따르게 된다. 따라서 플래시 메모리의 다양한 신뢰도 하락 요인에 효과적으로 대응하고 고성능의 ECC 설계에 대한 오버헤드를 줄여줄 수 있도록 플래시 채널에 특화된 간섭신호 등화기 등 다양한 신호 처리기법들이 연구되고 있다.

1. Post-compensation과 Pre-distortion

상대적으로 간단한 신호처리기법 중 하나로 데이터를 읽는 과정에서 문턱전압 V_t 를 보정하는 data post-compensation 방법^[25]이 있다. 이를 위해서는 먼저 플래시 메모리의 정확한 채널 모델링이 이루어져야 하며, 간섭 셀의 데이터 정보로부터 program 과정에서 간섭 셀의 V_t 변화량과 coupling factor를 이용해 victim 셀의 V_t 이동량을 추정한 뒤, 그만큼 낮추어서 해당셀의 V_t 를 결정하는 방법이다. 이 방법의 성능은 간섭 셀의 데이터가 얼마나 정확한가에 크게 좌우된다. 유사한 방법으로 간섭 셀에 의해 해당셀의 V_t 가 얼마나 증가하게 될지를 미리 예측하여 데이터 기록 과정에서 해당셀의 V_t 를 목표치보다 적게 인가할 수도 있는데 이것을 data pre-distortion 기법이라고 한다^[25].

2. Progressive Quantization

앞서 설명한 바와 같이 0과 1의 hard decision 값으



〈그림 7〉 출력 양자화

로 나타나는 플래시 메모리셀의 출력 데이터를 반복적 read를 통해 soft decision 값으로 바꾸어 신호처리장치에 전달해 줄 수 있으며 이로써 soft information을 활용한 효율적인 데이터 복원을 할 수 있다. 단순히 0이나 1이 아니라 각각의 비트가 0인지 1인지에 대한 확률 정보를 장치에 전달하는 것으로 볼 수 있고 이러한 추가적인 정보를 통해 더 나은 데이터 복원 성능을 이끌어 낼 수 있는 것이다. 예를 들어 디코딩 실패시 〈그림 7〉과 같이 양자화 단계를 증가시킨 메모리 sensing을 통해 좀 더 정확한 soft information을 디코더에 제공하고, 이를 이용해 디코딩 과정을 반복할 수 있다. 메모리를 반복적으로 읽을 때마다 출력값을 구분하기 위한 기준 전압의 위치는 효율적으로 바뀌가면서 선택되어야 하는데, 이를 위해 최대 상호 정보량

일정량의 메모리 셀 입력 데이터와 출력 데이터가 있을 경우, statistical characterization 기법을 이용하여 interference source와 noise source 등을 분리할 수 있다.

관점에서 최적의 양자화 지점을 구할 수 있다 [26]. 이 방법을 통해 반복적 메모리 읽기를 위한 양자화 지점을 하나씩 늘려가다 보면 양자화 지점들이 출력 분포도가 겹치는 부분의 중심으로 갈수록 밀집하게 된다 (〈그림 7〉의 점

선 위치 참조). 즉, 양자화 지점을 균일한 간격으로 나누는 것보다 비균일 양자화가 효과적이다.

채널 출력 데이터의 확률 분포를 이용한 양자화 방법도 있다. 데이터의 신뢰성이 낮은 영역을 확률 분포 기반으로 판단하고 이를 구별하는 양자화를 사용하면 ECC의 성능을 높일 수 있다^[27].

3. 채널 Characterization

일정량의 메모리 셀 입력 데이터와 출력 데이터가 있을 경우 [9]의 statistical characterization 기법을 이용해 여러 간섭 요인과 노이즈 요인들을 분리할 수 있다. 예를 들어, 간섭 셀이 특정한 영역 내에 있는지 또는 영역 밖에 있는지 알 수 있고, 노이즈가 주변 셀의 입력값 변동에서 오는 것인지 아니면 해당 셀에만 국한되는 것인지 등을 알 수 있다.

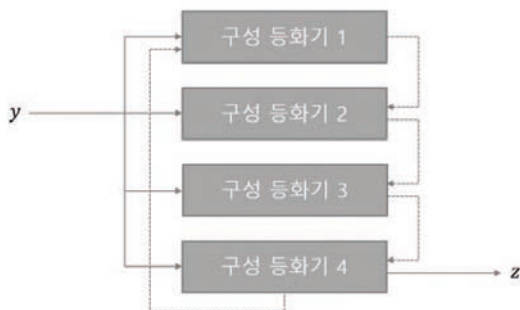
위한 방법으로써 컨트롤러 내에 설치 가능하도록 오

랜 시간동안 메모리 입출력 값을 모니터하며 채널을 분석하는 channel identification 하드웨어 및 펌웨어의 구현을 고려해 볼 수 있다.

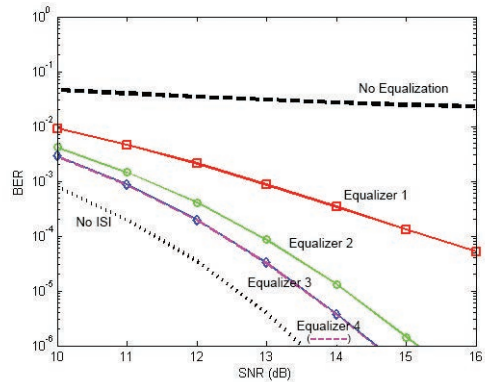
한편, pilot 셀들을 어떻게 배치할 것인가와 같은 최적화 문제에 대해서도 생각해 볼 수 있다. 플래시 메모리의 일부 영역을 데이터 정보를 알고 있는 pilot 셀로 삼아 이 셀들의 변화 특성을 살피며 채널 분석을 하는 기법으로써 pilot 셀들의 적절한 배치를 찾아내는 것도 흥미로운 연구가 될 수 있을 것이다.

4. 2차원 등화기

채널 모델링 결과를 기반으로 NAND 플래시 메모리의 채널 특성을 유사하게 반영하는 임의의 2차원 간섭 채널을 가정하고 [28]에서 소개된 multi-directional self-iterating soft equalizer (MD-SISE)를 이에 맞게 설계하여 활용할 수 있다. MD-SISE는 잘 알려져 있는 minimum mean squared error (MMSE) 해법을 이용하여 하나의 특정 방향으로 작동하는 다수의 등화기들이 서로 정보를 주고 받으면서 반복 작동을 통해 점진적으로 데이터를 복원할 수 있는 2차원 등화기이다. Soft information의 교환 없이 작동하는 전통적 형태의 2차원 MMSE 등화기나 Bahl-Cocke-Jelinek-Raviv (BCJR) 알고리즘을 이용한 maximum a posteriori probability (MAP) 등화기보다 알고리즘의 복잡도와 성능 면에서 우수함이 알려



〈그림 8〉 MD-SISE의 구조
(y: 채널 출력, z: 등화기 출력)



〈그림 9〉 MD-SISE의 BER 성능 향상 과정

져 있다^[28]. 정사각형의 2차원 간섭 채널에 대해 MD-SISE는 각기 다른 방향 (수평/수직/대각선/역대각선)으로 작동하는 네 개의 구성 등화기로 이루어진다 (〈그림 8〉). 각각의 구성 등화기는 크게 2단계로 나뉘어 작동

**새로운 메모리 구조나 미디어에
최적화 된 ECC와 신호처리에 대한
선행 연구를 수행하기 위해서는
메모리 개발과 병행해서 정확한 채널
특성 분석이 필요하다.**

하는데, 첫 번째 단계에서는 다른 구성 등화기로부터 전달받은 정보를 이용해 등화기 작동 방향 이외의 위치에 존재한 간섭들을 소거한다. 그리고 두 번째 단계에서 각 작동 등화 방향의 간섭에 대해 soft information을 이용한 1차

원 MMSE 등화를 수행하고 다른 등화기에서 side information으로 활용할 수 있도록 데이터 비트에 대한 갱신된 확률정보를 생성한다. 〈그림 9〉는 NAND 플래시 간섭 신호의 특성을 반영한 특정 채널 모델에서 MD-SISE의 BER 성능 및 그 향상 과정을 보여준다. 등화를 수행하지 않은 채널 출력 (그래프에서 No Equalization 곡선)에 비해 등화기 작동으로 BER이 현저히 감소하였으며, 가정한 채널에 대해서는 3번 등화기와 4번 등화기간의 성능 차이가 거의 없기 때문에 추가적인 자가반복 없이 한 번의 작동만으로 완료되었다.

IX. 결론

날로 늘어가는 정보량과 각종 스마트 기기의 대중화에 따라 저장 장치의 대용량화와 소형화, 그리고 빠른

처리속도를 지향하는 추세는 앞으로도 계속될 것이다. SSD는 여러 가지 장점을 내세워 대표적 저장 장치로서 각광받고 있으며, 저장 용량면에서 HDD와의 격차를 줄이는 속도는 점차 가속화될 전망이다. SSD를 비롯하여 각종 휴대용 기기를 위한 여러 형태의 메모리로 쓰이는 NAND 플래시 메모리에는 공정 스케일이 줄어들고 셀당 저장 비트수가 증가함에 따라 높아지는 RBER에 대응하기 위해 고성능 ECC와 다양한 SP 기법이 적용되어야 한다.

기존의 NAND 플래시 메모리와 더불어 새로운 메모리 구조나 미디어에 최적화된 ECC 및 SP에 대한 선행 연구를 수행하기 위해서는 정확한 채널 특성의 분석 역시 중요하다. 다수의 데이터 저장층을 겹쳐서 구성하는 3D 스토리지는 한계적인 용량 문제를 해결할 수 있는 해법으로써 대두되고 있는데, 3차원 구조에서는 2차원 구조에 비해 간섭 및 노이즈가 색다른 형태로 나타날 것으로 보인다. 뿐만 아니라 한편에서 NAND 플래시 메모리를 대체할 수 있는 차세대 메모리에 대한 선행 연구가 진행되고 있는데, 미디어가 바뀌면서 간섭 신호와 노이즈의 특성도 당연히 변할 것으로 예상된다.

정확한 채널분석에서 한발 더 나아가 분석정보를 토대로 파악된 ECC 및 SP의 한계 성능이 다시 새로운 메모리 구조 및 미디어 개발에 실질적인 영향을 미치게 되는 R&D의 선순환 구조가 정립되는 것이 바람직하다.

사 사

본 연구는 한국연구재단 이공분야기초연구사업 ‘리드 채널: 스토리지 신호처리’ 과제 (No. NRF-2010-0029205)의 일환으로 수행되었음.

참 고 문 헌

[1] R. Cernea et al., "A 32 MB/s MLC Write Throughput 16 Gb NAND with All Bit Line Architecture on 56 nm Technology," JSSC 2009.
 [2] K. Suh, B. Suh, Y. Lim, J. Kim, Y. Choi, Y. Koh, S. Lee, S. Kwon, B. Choi, J. Yum, J. Choi, J. Lim, and H. Lim, "3.3 V 32 Mb NAND flash memory with

incremental step pulse programming scheme," IEEE J. Solid-State Circuits, vol. 30, no. 11, pp. 1149-1156, Nov. 1995.

[3] J.-D. Lee, S.-H. Hur, and J.-D. Choi, "Effects of floating-gate interference on NAND flash memory cell operation," IEEE Electron Device Lett., vol. 23, no. 5, pp. 264-266, May 2002.
 [4] Y. Cai et al., "Error Patterns in MLC NAND Flash Memory: Measurement, Characterization and Analysis," DATE 2012.
 [5] N. Mielke et al., "Bit Error Rate in NAND Flash Memories," IRPS 2008.
 [6] Y. Koh, "NAND Flash Scaling Beyond 20nm," IMW 2009.
 [7] S. Joe, J. Yi, S. Park, H. Shin, B. Park, Y. Park, and J. Lee, "Threshold Voltage Fluctuation by Random Telegraph Noise in Floating Gate NAND Flash Memory String," IEEE Tr. Electrical Devices, vol. 58, no. 1, pp. 67-73, Jan. 2011.
 [8] J. Moon, J. No, S. Lee, S. Kim and J. Yang "Statistical Analysis of Flash Memory Read Data," IEEE GLOBECOM, Dec. 2011.
 [9] J. Moon, J. No, S. Lee, S. Kim, S. Choi and Y. Song, "Statistical Characterization of Noise and Interference in NAND Flash Memory," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 60, no. 8, pp. 2153-2164, Aug. 2013.
 [10] J. No, J. Moon, J. Yang, S. Joo, S. Lee, S. Choi, H. Lee and T. Zhang "Characterizing Cell-to-Cell Coupling in Flash Memory," ICEIC, Feb. 2012.
 [11] Y. Cai et al., "Flash Correct-and-Refresh: Retention-Aware Error Management for Increased Flash Memory Lifetime," ICCD 2012.
 [12] R. Motwani, Z. Kwok and S. Nelson, "LDPC Codes and the Need for Stronger ECC," Flash memory summit, 2011
 [13] K. Lee, S. Lim and J. Kim, "Low-Cost, Low-Power



- and High-Throughput BCH Decoder for NAND Flash Memory," ISCAS 2012
- [14] Y. Lee, H. Yoo, I. Yoo and I. Park, "6.4Gb/s Multi-Threaded BCH Encoder and Decoder for Multi-Channel SSD Controllers," ISSCC 2012
- [15] S. Li and T. Zhang, "Improving Multi-Level NAND Flash Memory Storage Reliability Using Concatenated BCH-TCM Coding," IEEE Transactions on VLSI Systems, 2010
- [16] J. Oh, J. Ha, J. Moon, and G. Ungerboeck, "RS-Enhanced TCM for Multilevel Flash Memories," IEEE Transactions on Communications, vol.61, no.5, pp.1674,1683, May 2013
- [17] C. Yang, Y. Emre and C. Chakrabarti, "Product Code Schemes for Error Correction in MLC NAND Flash Memories," IEEE Transactions on VLSI systems, 2012
- [18] S. Cho, D. Kim, J. Choi, and J. Ha "Block-wise Concatenated BCH Codes for NAND Flash Memories," IEEE Transactions on Communications, 2013
- [19] G. Yu and J. Moon, "Concatenated Raptor Codes in NAND Flash Memory," IEEE Journal on selected areas in communications, 2014
- [20] J. Kim, D. Lee and W. Sung, "Performance of rate 0.96 (68254, 65536) EG-LDPC code for NAND Flash memory error correction," IEEE ICC 2012
- [21] G. Dong, N. Xie and T. Zhang, "Enabling NAND Flash Memory Use Soft-Decision Error Correction Codes at Minimal Read Latency Overhead," IEEE Transactions on circuits and systems I 2013
- [22] JS Plank, "A tutorial on Reed-Solomon coding for fault-tolerance in RAID-like systems," Software - Practice & Experience, vol. 27, no. 9, pp. 995-1012, September 1997.
- [23] E. Arıkan, "Channel polarization: A method for constructing capacity achieving codes for symmetric binary-input memoryless channels," submitted to IEEE Trans. Inform. Theory, Oct. 2007.
- [24] A. G. Dimakis, V. Prabhakaran, and K. Ramchandran, "Decentralized Erasure Codes for Distributed Networked Storage," IEEE Transactions on Information Theory, vol. 52, no. 6, pp. 2809-2816, June 2006.
- [25] G. Dong, S. Li, and T. Zhang, "Using Data Post-compensation and Pre-distortion to Tolerate Cell-to-Cell Interference in MLC NAND Flash Memory," IEEE Transactions on Circuits and Systems I, vol. 57, issue 10, pp. 2718-2728, 2010.
- [26] J. Wang, T. Courtade, H. Shankar and R.D. Wesel, "Soft Information for LDPC Decoding in Flash: Mutual-Information Optimized Quantization," IEEE GLOBECOM, 2011.
- [27] T. Mizuochi, Y. Miyata, T. Kobayashi, K. Ouchi, K. Kuno, K. Kubo, K. Shimizu, H. Tagami, H. Yoshida, H. Fujita, M. Akita, and K. Motoshima, "Forward error correction based on block turbo code with 3-bit soft decision for 10-Gb/s optical communication systems," Selected Topics in Quantum Electronics, IEEE Journal of, vol. 10, no. 2, pp. 376-386, 2004.
- [28] J. No and J. Moon, "Multi-Directional Self-Iterating Soft Equalization for 2D Intersymbol Interference," IEEE GLOBECOM, Dec. 2013.



노재형

2009년 연세대학교 전기·전자공학 (학사)
 2011년 카이스트 전기·전자공학과 (석사)
 2011년~현재 카이스트 전기·전자공학과 박사과정

〈관심 분야〉
 Equalization/Detection, Coding theory,
 Signal Processing with application to digital
 communication and data storage systems



문재균

1990년 Ph.D. degree, Carnegie Mellon
 University
 1990년~2009년 Assistant / Associate / Full
 Professor, University of
 Minnesota
 2001년 Co-founder, President/CTO, Bermai
 2005년 IEEE Fellow
 2008년 Chief Technology Officer, Link-A-
 Media Devices Corp.
 2009년~현재 카이스트 전기·전자공학과 교수

〈관심분야〉
 Channel characterization, Signal Processing
 and Coding for data storage and digital
 communication, Coding and equalization for
 interference-dominant channels



강순영

2010년 고려대학교 전기전자전파공학 (학사)
 2012년 카이스트 전기·전자공학과 (석사)
 2012년~현재 카이스트 전기·전자공학과 박사과정

〈관심 분야〉
 Coding theory, Channel characterization for
 data storage and digital communication