

셀 레벨에서의 OPTICS 기반 특질 추출을 이용한 칩 품질 예측

김기현 · 백준걸[†]

고려대학교 산업경영공학과

A Prediction of Chip Quality using OPTICS (Ordering Points to Identify the Clustering Structure)-based Feature Extraction at the Cell Level

Ki Hyun Kim · Jun Geol Baek

School of Industrial Management Engineering, Korea University

The semiconductor manufacturing industry is managed by a number of parameters from the FAB which is the initial step of production to package test which is the final step of production. Various methods for prediction for the quality and yield are required to reduce the production costs caused by a complicated manufacturing process. In order to increase the accuracy of quality prediction, we have to extract the significant features from the large amount of data. In this study, we propose the method for extracting feature from the cell level data of probe test process using OPTICS which is one of the density-based clustering to improve the prediction accuracy of the quality of the assembled chips that will be placed in a package test. Two features extracted by using OPTICS are used as input variables of quality prediction model because of having position information of the cell defect. The package test progress for chips classified to the correct quality grade by performing the improved prediction method is expected to bring the effect of reducing production costs.

Keywords: Cell Defect, Cell Level, Feature Extraction, OPTICS, Quality Prediction

1. 서론

고도 정보화 사회의 진입과 다양한 디지털 기기의 급속한 성장, 첨단산업의 발전에 따른 반도체 수요 급증으로 인해 반도체 시장은 과열 경쟁에 돌입하게 되었다(Kang *et al.*, 2012). 이러한 경쟁에 대처하기 위해 제조업체들은 수출 확보를 통한 생산량의 증대와 품질 향상을 통한 수익 창출 등의 다각적인 노력을 하고 있다(Pieter, 2000). 또한, 설계와 공정의 차세대 기술 개발을 통해 저전력(Low Power), 고집적(Small Size and High Density) 제품의 개발에 힘쓰고 있다(Kim *et al.*, 1998).

하나의 반도체 제품을 만들기 위해서 반도체 제조 단계는

수백 개의 정밀 공정으로 진행되며, 투입과 출력 단계를 제외하면 크게 다음의 네 단계로 구분할 수 있다. 이는 FAB(Fabrication) 공정, 프로브(Probe) 테스트 공정, 조립(Assembly) 공정, 패키지(Package) 테스트 공정이다(Uzsoy *et al.*, 1992). <Figure 1>은 반도체의 제조 공정을 설명하는 것으로 FAB 공정은 투입된 잉곳(Ingot)을 잘라 웨이퍼(Wafer)로 만들고, 패턴(Pattern) 형성 공정, 식각 공정 등의 세부 공정을 통해 집적회로를 형성하는 단계이다. 프로브 테스트 공정은 웨이퍼 상태의 칩들에 대해 전기적 테스트를 거쳐 양품과 불량품을 판별하는 단계이다(Hsu and Chien, 2007). 조립 공정은 프로브 테스트 공정을 통과한 웨이퍼를 칩 단위로 분리하고 외부 충격으로부터 보호하

본 연구는 지식경제부 및 정보통신산업진흥원의 정보통신연구기반구축사업의 연구결과로 수행되었음(NIPA-2013-(I2218-13-1004)). 이 논문은 2013년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(NRF-2013R1A1A2010019).

[†] 연락저자 : 백준걸 교수, 136-701 서울시 성북구 안암동 5가 1번지 고려대학교 산업경영공학과, Tel : 02-3290-3396, Fax : 02-929-5888,

E-mail : jungeol@korea.ac.kr

2013년 12월 27일 접수; 2014년 2월 10일 수정본 접수; 2014년 3월 12일 게재 확정.

기 위해 외부 막을 형성하는 단계이며, 패키지 테스트 공정은 조립된 칩을 실제 사용자가 사용하는 환경보다 가혹한 조건에서의 테스트를 통해 조립 단계에서 발생한 불량품이나 제품의 잠재적, 열화성 불량품을 판별하는 단계이다.

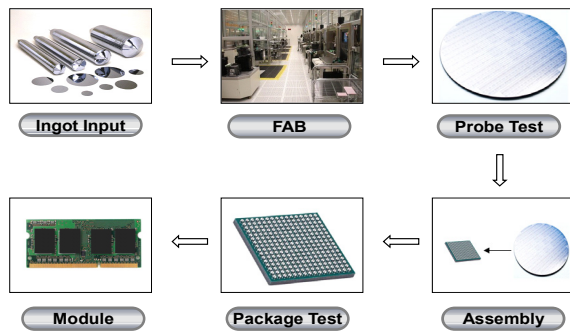


Figure 1. Semiconductor production process

이 중 프로브 테스트 공정은 본 연구에서 중점적으로 다룬 제조 단계로써 웨이퍼 상태의 칩 패드에 프로버 팁(Prober Tip)을 접촉하여 실제 사용자의 사용 조건보다 가혹한 조건에서 테스트하며, 이때 발생하는 칩들의 각종 정보를 자료화한다. 자료화된 정보를 바탕으로 칩의 성능을 파악하고 일정 수의 셀 결점에 대해서는 레이저 리페어(Laser Repair) 공정을 통해 양품의 칩으로 변환하는 작업이 이루어진다. 90년대의 메가비트(Mega Bit) 단위 반도체 칩들과는 달리 현재는 칩의 고집적화로 인해 FAB 공정을 통해 나온 칩 중에 무결점 칩은 존재하지 않는다. 따라서 프로브 테스트 공정은 이러한 잠재 결점까지 찾아내고 이를 보완하여 양품의 칩을 만들어내는 또 하나의 생산 공정이다. 이러한 프로브 테스트 공정을 통해 양품으로 판별된 칩들은 기본적인 제품의 동작에 대한 검증과 업계에서 요구하는 최소한의 제품 조건에 부합하게 된다.

반도체 공정에서 투입 칩 중 양품 칩이 차지하는 비율을 나타내는 수율은 크게 FAB 수율, 프로브 테스트 수율, 조립 수율, 패키지 테스트 수율로 나뉜다(Baek and Nam, 2002). 반도체 제조업에서 수율의 중요성을 크게 두 가지 측면으로 생각해 볼 수 있다. 첫째, 급변하는 반도체 시장 선점을 위한 필수조건이다. B2B(Business to Business) 사업에서 물량의 선 확보는 거래 기업의 물량 요청에 충분히 대응할 수 있는 능력을 보여줌으로써 경쟁 업체보다 우위에 설 수 있는 발판이 되므로, 더욱 많은 시장 확보가 가능해지기 때문이다. 둘째, 반도체 산업의 특성상 제조 공정이 길어짐에 따라 총 생산비용 중 제조비용이 차지하는 비율이 높아 수율의 수준에 따라 제품 생산의 필요성이 결정되기 때문이다. 이러한 양상은 작은 크기의 고집적도 제품과 특수기능 제품의 생산에 따른 검사 비용 상승으로 더욱더 심화되고 있다(Bae, 1995). 품질도 수율 향상만큼 중요한 요소로 제품에 대한 품질을 확보하지 못한 기업은 고객 불만으로 인한 이미지 하락, 판매 시장 감소, 제품 리콜(Recall)에 따른 처리 비용 증가로 치열한 경쟁에서 도태된다(Oh et al.,

2013). 따라서 품질을 확보한 상태에서의 수율 향상이 반도체 제조 공정에서 풀어야 하는 과제이다. 제품의 품질을 확보한 상태에서 수율 향상이 이루어지면, 생산량 증가로 이어져 제조순환시간(Manufacturing Cycle Time)의 단축 효과를 이끌어낸다(Gardner et al., 2000).

반도체 업계에서는 칩 품질의 선관별을 통해 최적화된 제조 공정 하에서의 수율 향상과 제조 시간 단축을 추구하고 있다. 칩 품질의 선관별이란 장비와 물량 운용의 효율성을 극대화하기 위해 양품(고품질)이 될 칩들과 불량품(저품질)이 될 칩들을 미리 구분하는 작업을 의미한다. 칩의 품질에 대해 정확한 예측이 이루어진다면 각 품질에 맞는 제조 공정 진행이 가능해지므로 불필요한 테스트 및 과도한 테스트로 인한 시간 낭비나 물량 손실이 발생하지 않을 것이다. 기존 연구들도 칩 품질에 대한 선관별을 위해서 FAB 공정 데이터 활용(Chien et al., 2007) 및 PCM(Process Control Monitoring) 데이터 활용(Ludwig et al., 2000)을 통한 프로브 테스트 수율 예측이나, 프로브 테스트 데이터의 활용(An et al., 2009) 및 웨이퍼 빈 맵(Wafer Bin Map)의 활용(Hsu and Chien, 2007)을 통한 패키지 테스트 수율 예측 등은 활발히 이루어졌으나, 모두 칩 레벨에서 얻어진 데이터를 기반으로 행해졌다. 칩 레벨 데이터는 수기가비트(Giga Bit) 셀들의 통합적인 정보를 의미하며, 셀 레벨 데이터는 셀 하나하나의 개별적인 정보를 나타낸다. 칩 레벨 데이터로는 칩에 대한 결함 유형을 설명하기 위해 부여된 코드인 빈(BIN) 정보(Quirk and Serda, 2001), 웨이퍼의 샘플링(Sampling)을 통해 단위소자의 특성을 측정하는 PCM 테스트 정보, 프로브 테스트의 항목별로 측정되는 결점 수(Fail Bit Count), 웨이퍼의 칩 좌표 정보 등이 있으며, 셀 레벨 데이터로는 셀의 결점 위치 정보나 결점 발생 형태, 결점 발생 항목 등의 정보가 있다.

반도체 생산에 관련된 어느 공정 단계와 같이 프로브 테스트 공정에서도 방대한 데이터를 생성한다. 이러한 많은 양의 데이터 안에서 패턴을 파악하고 분석하는 것은 매우 어려운 작업이다(Tobin et al., 2005). 현재 프로브 테스트를 통해 생산되는 데이터는 정보의 특성으로 구분해 볼 때 칩 레벨 데이터와 셀 레벨 데이터로 구분할 수 있다. 칩 레벨 데이터는 추가적인 데이터 가공이 필요 없이 직관적인 접근이 가능하므로 수율 분석이나 웨이퍼의 불량 형태 파악 등 포괄적인 분석에 용이하지만 칩에 대한 통합된 정보이므로 수기가비트의 셀에 대한 세밀한 정보를 포함하기 어려워 셀 단위로 불량 발생하는 품질 테스트 불량 분석에 사용하기 어렵다. 반면 셀 레벨 데이터는 전문 지식(Domain Knowledge)을 바탕으로 한 데이터의 전처리 과정이 필요하여 직관적인 분석에는 어렵지만, 기가비트의 셀 중 한 셀이라도 결함이 발생할 경우 불량으로 판단하는 패키지 테스트 공정을 고려해 볼 때 높은 정확도를 가지는 품질 선관별 예측 모델을 구현하기 위해서는 칩 레벨의 정보를 가진 변수보다 좀 더 설명력 있는 셀 레벨 데이터에서의 특징 추출이 필요하다. 또한, 셀 레벨 데이터를 획득하는 데 있어 제조 공정의 변경 없이 현 제조 공정에서도 가능하므로 추가적인 시간이 필요 없다는 장점이 있다. 셀 레벨의 정보로는 셀

결점 위치, 셀 결점 속성, 결점 발생 항목 등이 있는데, 본 연구에서는 셀 결점 위치를 특질 추출(Feature Extraction)에 사용한다. 고집적화를 위해 작은 크기의 반도체 칩에 좀 더 많은 트랜지스터(Transistor) 및 커패시터(Capacitor), 다이오드(Diode) 등을 집적함에 따라 Angstrom($10^{-10}m, \text{\AA}$) 단위의 공정 마진(Margin) 변화에 대해서 셀 결점은 더욱더 민감한 영향성을 보이고 있다. 셀 결점의 경우 설계 레이아웃(Layout) 및 공정의 취약점, 미립자(Particle)에 대한 영향을 받아 발생하므로 칩 내 셀 결점들의 위치 분포를 파악함으로써 결점 발생 칩의 원인을 더욱 정확하게 예측할 수 있다(Kumar *et al.*, 2006).

셀 결점에서의 특질 추출 방법으로는 밀도 기반 클러스터링 기법 중 OPTICS(Ordering Points To Identify the Clustering Structure)를 이용한다. 클러스터링 기법을 이용한 기존의 수율 예측 연구들은 웨이퍼를 군집 영역으로 간주하고 칩을 하나의 결점 인자로 파악하는 클러스터링 기법(Park *et al.*, 1995; Tan and Lau, 2011)과 웨이퍼 상의 결함 칩들에 대해 패턴 인식을 적용한 기법(Hsu and Chien, 2007)으로 수율을 예측하고자 하였다. 현재 생산되고 있는 수 기가비트 셀로 이루어진 대용량 칩을 하나의 결점 인자로 파악하기에는 많은 정보를 누락하는 일반화의 오류에 빠질 수 있다. 더구나 패키지 테스트에 투입될 제품은 웨이퍼 형태가 아닌 칩 형태이므로 셀을 대상으로 한 결함에 대한 연구가 필요하다. 본 연구는 셀 결점으로 구성되는 군집으로부터 특질 추출 시, 군집의 크기(Park *et al.*, 1995)뿐만 아니라 군집을 이루는 결점들 사이의 거리도 고려하였다. 결점 간의 거리는 군집의 밀도로도 말할 수 있는데, 동일 수의 결점이 군집을 형성하더라도 형성된 군집 내 결점 간의 거리가 짧을수록 해당 영역을 잠재 불량 발생률이 높은 영역으로 파악할 수 있기 때문이다(Park *et al.*, 1995). 이렇게 추출된 셀 결점의 군집 크기와 밀도는 분류기법의 입력 변수로 지정되어 품질 예측 시 사용된다. 기존에 단일 패키지 테스트 공정에서 양품과 불량품으로 구분된 것을, 본 연구에서는 고품질 칩과 저품질 칩으로 구분하고 이를 셀 레벨의 정보로 예측함으로써 더욱 정확한 품질별 이원화 패키지 테스트 공정을 구현한다. 이는 제품의 생산량은 늘리면서 투입 칩의 품질 수준에 맞게 제조 공정을 단축하여 생산 비용 절감을 추구할 수 있다.

본 논문의 구성은 다음과 같다. 제 2장에는 셀 결점과 특질 추출에 사용된 OPTICS에 대해 설명하고, 제 3장에서는 제시된 방법을 기반으로 한 칩 품질 예측 모델에 관해 기술한다. 그리고 제 4장에서는 반도체 제조업체의 프로브 테스트 데이터를 사용하여 제안된 방법의 성능 측정과 기존 방법들과의 차이점에 대해 정리하며, 마지막으로 제 5장에서는 제안 방법의 타당성과 추후 연구에 관해 서술한다.

2. OPTICS를 이용한 특질 추출

2.1 셀 결점(Cell Defect)

칩에 존재하는 결점들은 세 가지로 형태로 분류할 수 있다.

첫 번째는 결점들이 임의로 존재하는 경우이며, 두 번째는 군집을 형성하는 형태이고, 세 번째는 결점들이 규칙적으로 분포하는 형태이다(Hsu and Chien, 2007; Park *et al.*, 1997). 이러한 결점 형태가 발생하는 원인으로는 반도체 칩 전하 보존 시간(Retention Time) 부족으로 인한 리프레시(Refresh) 불량, 트랜지스터의 스피드 불량, 공정 중 발생한 미립자(Hsu and Chien, 2007) 등을 들 수 있다. 반도체 기술 적도인 소형화, 고속화, 고집적화의 추구로 인해 불량 발생률은 더욱 높아지고 있다. 셀 결점들은 설계 및 공정 마진에 따라 일정한 영역에서 발생하며, 불량 속성에 따라 다양한 형태의 군집을 형성한다. 결국, 한정된 영역에 발생하는 셀 결점들이 칩의 불량 발생률을 높게 된다(Nurani *et al.*, 1998). 임의의 형태를 보이는 결점들에 대한 연구는 Park *et al.*(1997)가 칩 간 결점의 변화를 고려한 컴파운드 푸아송 분포(Compound Poisson)와 칩의 크기에 따른 영향성까지 고려한 일반화된 이중 푸아송 분포(Generalized double Poisson)를 바탕으로 진행하였다.

<Figure 2>에서 보면 (a) 칩과 (b) 칩에 같은 수의 셀 결점이 존재하지만, 이 두 칩은 각기 다른 결점 형태를 보이고 있다. (a) 칩은 특정 영역에 결점들이 위치하지만, (b) 칩은 임의 형태의 결점 포인트들을 가지고 있다. (b) 칩 대비 (a) 칩의 셀 결점들이 서로 상관관계 있으며, 확률적으로 군집 영역에서 불량 발생률이 높다(Park *et al.*, 1995). 칩 레벨 데이터에서는 두 칩 중 불량 발생률이 높은 칩을 선별해 낼 수 없지만 셀 레벨 데이터인 셀 결점을 활용하면 특질 추출을 통해 불량 발생률이 높은 칩을 선별해 낼 수 있다. (a) 칩의 셀 결점 형태에서는 두 가지 특질을 추출할 수 있는데, 하나는 형성된 군집의 크기이고 또 하나는 군집 내 존재하는 셀 결점 간의 거리이다.

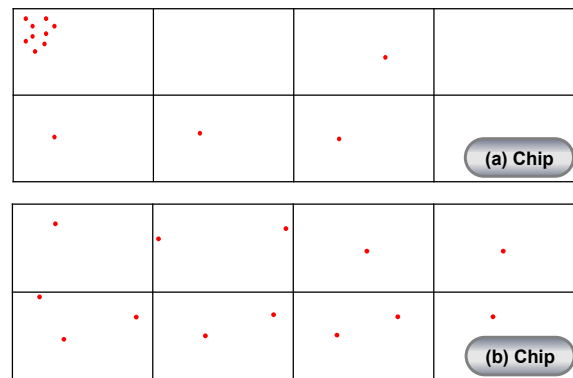


Figure 2. Cell Defects comparison between chips

불량 발생과의 상관관계를 파악해 볼 때 군집의 크기가 클수록, 셀 결점 간의 거리가 짧을수록 불량 발생률은 증가한다(Park *et al.*, 1995).

군집 영역의 불량 발생 확률은 리던던시 회로(Redundancy Circuit)의 자원 한정성으로 설명된다. 각 칩은 리페어 공정에서 사용될 리던던시 여유 자원을 가지고 있으며, 칩의 크기에 영향을 미치지 않기 위해 한정된 수량으로 구성된다. 이러한

자원은 칩의 일부 영역에 한하여 사용되므로 같은 수의 결점이라도 한정된 영역에서 집중적으로 다발하게 된다면, 추가적인 리퍼어 불가로 패키지 불량 발생 가능성이 높아진다. 또한, 더욱 정밀한 공정과 고집적화를 추구하는 설계 방식으로 인해 제품의 스피드 마진성 불량이 특정 영역에 치중하여 발생하므로 품질 예측 모델에서의 셀 결점 분석이 필요하다.

2.2 OPTICS(Ordering Points To Identify the Clustering Structure)

클러스터링 기법은 크게 분할(Partitional) 클러스터링, 계층적(Hierarchical) 클러스터링, 밀도 기반(Density-based) 클러스터링으로 구분된다. 분할 클러스터링은 임의의 모양을 가진 군집을 찾기가 어렵다는 단점을 가지지만, 밀도 기반 클러스터링은 대상 관측치 주변에 존재하는 다른 관측치의 수를 조사해 군집을 형성하므로 임의의 모양을 가진 군집을 형성할 수 있다. 또한, 계층적 클러스터링에 비해 밀도 기반 클러스터링은 군집 형성이 불가한 관측치 판별을 통해 이상 관측치(Outlier)에 의한 영향을 덜 받는 장점을 가지고 있다(Ester *et al.*, 1996). 본 연구는 불량 발생 칩 판별을 목적으로 하는 예측 모델 구현에 있어서 임의의 모양의 군집 및 군집의 밀도를 고려해야하므로 셀 결점들의 위치를 기반으로 한 밀도 기반 클러스터링을 사용한다. 밀도 기반 클러스터링의 대표적인 기법들로 DBSCAN(Density Based Spatial Clustering of Applications with Noise)(Ester *et al.*, 1996), OPTICS(Ordering Points To Identify the Clustering Structure)(Ankerst *et al.*, 1999) 등이 있다. 본 연구에서는 밀도 기반 클러스터링 기법 중에서도 OPTICS를 이용한 클러스터링을 수행한다. 그 이유는 DBSCAN의 경우 임계 값(Threshold Level)을 기준으로 관측치의 개수가 그 이상일 때만 군집을 형성하여 군집 간의 관측치 밀집 정도를 판단할 수 없는 반면, OPTICS는 각 관측치 간의 거리를 통해 밀집 정도를 수치로 표현할 수 있다.

다른 밀도 클러스터링 기법들과 달리 OPTICS는 Core_Distance와 Reachability_Distance라는 출력 값을 가지고 군집들의 밀도를 나타낸다. 식 (1)은 관측치 o의 Core_Distance를 나타낸 것이다. 식 (1)과 식 (2)에서 ϵ 는 군집 형성에 필요한 최대한의 반경이고 $N_{\epsilon}(o)$ 는 관측치 o의 반경 ϵ 이내에 존재하는 관측치들의 수이며, MinPts는 군집이 형성하는데 필요한 최소한의 관측치들의 수이다. 관측치 o를 기준으로 $N_{\epsilon}(o)$ 값이 MinPts 보다 작으면 군집 형성이 불가하므로 Core_Distance는 설정되지 않으며, $N_{\epsilon}(o)$ 값이 MinPts보다 크면 군집이 형성되므로 MinPts 번째 관측치까지의 거리가 Core_Distance가 된다.

식 (2)는 관측치 p1의 Reachability_Distance를 나타낸다. Reachability_Distance(o,p1)은 관측치 o와 p1 사이의 거리를 군집형성에 고려하여 나타내는 것으로, $N_{\epsilon}(o)$ 값이 MinPts 보다 클 때, 관측치 o의 Core_Distance보다 관측치 o와 p1사이가 길면 o와 p1 사이의 거리가 Reachability_Distance가 되며, 관측치 o와 p1 사이의 거리가 Core_Distance보다 짧으면 Core_Distance가 Reachability_Distance가 된다.

<Figure 3>는 MinPts가 4이고, 군집 반경이 ϵ 일 때의 OPTICS 적용 예로써, Core_Distance(o)는 관측치 o의 기준 반경 ϵ 이내에 존재하면서 관측치 자신을 포함하여 네 번째로 가까운 관측치까지의 거리를 나타낸다. 관측치 o를 기준으로 관측치 p1과 관측치 p2와의 Reachability_Distance는 Core_Distance(o)에 따라 다르게 설정되는데, 관측치 p1은 관측치 o를 기준으로 Core_Distance(o) 반경 안에 존재하므로 두 관측치 사이의 거리가 Core_Distance(o)보다 짧기 때문에 Core_Distance(o)가 Reachability_Distance(o, p1)가 되며, 관측치 p2는 Core_Distance(o) 반경 밖에 존재하므로 두 관측치 사이의 거리가 Core_Distance(o)보다 길기 때문에 관측치 o와 p2 사이의 거리가 Reachability_Distance(o, p2)가 된다(Ankerst *et al.*, 1999). 이와 같은 거리 계산법은 군집을 이루는 관측치들의 밀도를 수치상으로 파악할 수 있으므로 군집 간의 밀도 수준을 비교하는 데 중요한 지표가 된다.

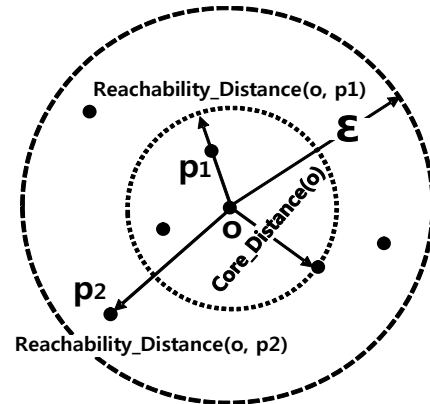


Figure 3. Core_Distance(o), Reachability_Distance(o, p1), Reachability_Distance(o, p2) for MinPts = 4, Radius = ϵ (Ankerst *et al.*, 1999)

<Figure 4>는 관측치들의 Reachability_Distance를 시각화한 것으로써, 총 3개의 군집이 형성되어 있으며, 군집 간의 밀도는 Reachability_Distance를 통해 나타낸다. 여기서 X축은 관측치들을 의미한다.

$$Core.Distance_{\epsilon, MinPts}(o) = \begin{cases} UNDEFINED & \text{if } |N_{\epsilon}(o)| < MinPts \\ Distance\ to\ the\ MinPts_{th}\ closest\ point\ from\ o & \text{otherwise} \end{cases} \quad (1)$$

$$Reachability.Distance_{\epsilon, MinPts}(o, p1) = \begin{cases} UNDEFINED & \text{if } |N_{\epsilon}(o)| < MinPts \\ Max(Core.Distance_{\epsilon, MinPts}(o), Distance(o, p1)) & \text{otherwise} \end{cases} \quad (2)$$

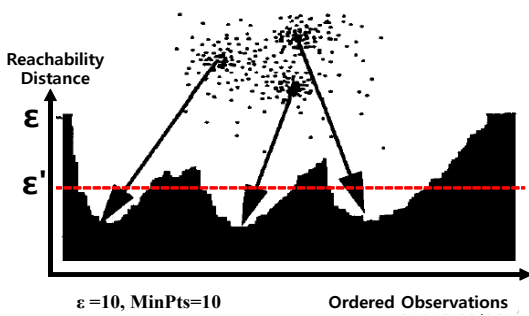


Figure 4. Reachability_Distance Illustration of the Cluster Ordering(Ankerst *et al.*, 1999)

OPTICS의 경우 군집에 존재하는 관측치 중 가장 밀도가 높은 영역에 존재하는 관측치들이 짧은 Reachability_Distance를 가지게 된다. 또한, 군집을 결정하는 임계 값 ϵ 은 반복 실험 및 전문 지식으로 설정되며, ϵ 보다 짧은 거리를 가지는 관측치들의 수를 가지고 군집의 크기를 파악할 수 있다.

<Figure 5>에서 보는 바와 같이 OPTICS의 경우 설정 파라미터가 변화하여도 군집들 간의 특징을 비교할 수 있어 설정 파라미터에 따라 군집 형성에 크게 영향을 받는 DBSCAN 보다 강건하다(Ankerst *et al.*, 1999). <Figure 5>은 설정 파라미터 값에 따른 OPTICS의 Reachability_Distance 변화를 나타낸 것이다. OPTICS의 경우 결점 간 거리에 따라 변화되는 Core_Distance 값과 Reachability_Distance 값을 이용하여 설정 파라미터 값에 큰 영향을 받지 않고 특징 추출이 가능하다.

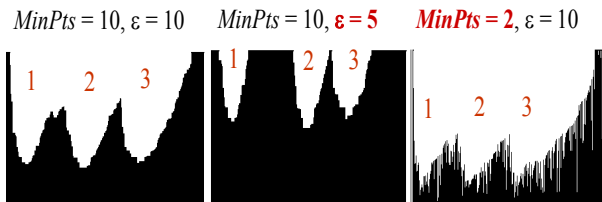


Figure 5. Parameters sensitivity of OPTICS

본 연구에서 관측치는 셀 결점을 의미하므로, 이하 논문에서 관측치라는 용어를 셀 결점으로 대체한다.

3. 반도체 칩 품질 예측 모델

3.1 품질 예측 흐름도

현재 반도체 업계에서는 수시로 변경되는 공정 조건이 제품의 성능 개선에 얼마나 영향을 주는지를 평가하기 위해 모든 로트(Lot)에 대해 프로브 테스트를 실행하고 있다. 전기적 테스트(Electrical Test)를 통과한 웨이퍼들은 리페어러블(Repairable) 칩과 논리리페어러블(Nonrepairable) 칩을 포함하고 있다. 리페어러블이란 설계 단계에서 칩 크기를 고려하여 삽입된 한

정된 수의 리던던시 회로가 결함 발생으로 동작하지 못하는 셀들을 대체할 수 있는가를 말한다(Sukegawa and Saeki, 1995). 아주 많은 셀 결점이 발생하는 경우 리던던시 자원의 부족으로 리페어 처리를 할 수 없어 불량 칩으로 판별되며, 셀 결점이 적절한 수준일 경우 Row 또는 Column 형태의 리던던시 자원을 효율적으로 활용하여 양품 칩을 만들기 위한 레이저 리페어(Laser Repair) 처리를 실행한다. 리페어 처리가 실행되기 위해서는 셀 결점 위치에 대한 정보가 필요한데 이 데이터는 프로브 테스트 결과를 통해 칩마다 보유하게 된다. FAB OUT되는 모든 웨이퍼가 프로브 테스트 공정을 통과하고 있는 현행 제조 공정으로 볼 때, 셀 결점의 위치 정보 활용은 리페어러블 칩의 품질 파악에 중요한 요소이다.

<Figure 6>은 셀 레벨 데이터에서 OPTICS 기반으로 특징을 추출하여 품질을 예측하는 흐름도이다. 프로브 테스트를 통해 나온 정보는 시스템에 의해 자동으로 데이터베이스(Database)에 저장된다. 데이터베이스에 저장된 정보들을 가지고 데이터 전처리(Preprocessing) 과정을 거쳐 셀 결점 위치를 추출하며, 이를 X, Y의 2차원 변수로 만든다. 처리된 위치 정보는 OPTICS의 입력 값으로 사용되어 셀 레벨에서의 특징을 추출한다.

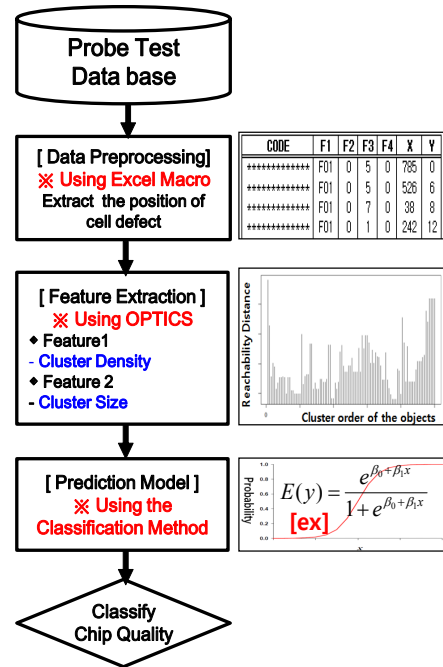


Figure 6. The proposed flow chart using OPTICS

일련의 과정을 거쳐 출력된 정보는 결함에 대해 칩 레벨 변수보다 더 설명력 있는 정보를 포함하게 되므로 분류 기법에 활용하여 조립 칩의 품질 예측 정확도를 향상한다.

3.2 데이터 전처리(Data Preprocessing)

셀 결점 위치는 프로브 테스트의 출력 정보 중 Fail Address

를 사용하여 추출한다. Fail Address는 결점의 불량 형태와 세부적인 발생 위치를 포함하는 특정한 형태의 코드이다. 해당 코드를 OPTICS에 이용하기 위해서는 셀 결점 위치를 수치화하는 데이터 복호화 작업과 군집 대상 영역 선정을 위한 처리 작업이 필요하다. 군집 대상 영역은 칩 전체가 아닌 칩에 존재하는 여러 개의 리던던시 대체 영역을 고려하는데, 이는 셀의 실제 위치를 고려하는 정확한 거리 계산을 이끌어 내기 위해서이다. 따라서 본 연구에선 <Figure 7>에서 보는 바와 같이 리페어 가능 영역이 곧 군집 대상 영역이 되며, 한 칩에는 여러 개의 군집 대상 영역이 존재하므로 OPTICS는 분할된 영역마다 각각 적용되어 특질(Feature)을 추출하게 된다.

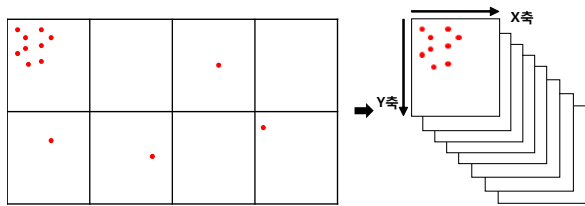


Figure 7. Segmentalized chip for using OPTICS

결점 간 거리는 <Figure 8>에서 나타내는 셀 구조(DRAM Cell)를 <Figure 9>의 단위격자로 표현하여 계산한다.

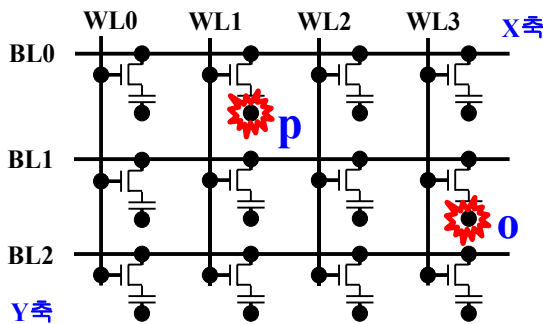


Figure 8. DRAM cell architecture(Hsieh, 1995)

하나의 셀은 한 개의 워드라인(Word Line)과 한 개의 비트라인(Bit Line)으로 구성되므로 이를 2차원 평면에 <Figure 9>의 단위격자(Unit Cell)로 표현할 수 있다. 워드라인 진행 방향을 X축으로, 비트라인 진행 방향을 Y축으로 놓고 Euclidean Distance를 사용하여 계산한다. 식 (3)은 셀 결점인 o, p 간의 거리 계산식이다. 여기서 셀 결점 o, p는 다음과 같이 표현된다.

$$o = (O_{WL}, O_{BL}), p = (P_{WL}, P_{BL})$$

$$d_{o,p} = \sqrt{(O_{WL} - P_{WL})^2 + (O_{BL} - P_{BL})^2} \quad (3)$$

<Figure 9>는 식 (3)의 Euclidean Distance를 사용하여 $o = (3,1), p = (1,0)$ 인 두 셀 결점들 간의 거리를 계산한 예이다.

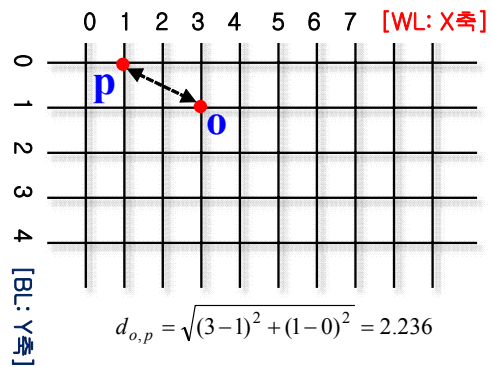


Figure 9. Distance between cell defects

3.3 특질 추출(Feature Extraction)

데이터 전처리를 통해 추출된 셀 결점 위치를 OPTICS 입력 값으로 사용하여 Reachability_Distance를 계산한다. <Figure 10>은 칩의 분할된 군집영역에서 실제로 존재하는 셀 결점 위치 정보를 기반으로 OPTICS를 적용하여 Reachability_Distance를 나타낸 그림이다. 특질 추출 시에는 반복된 실험 또는 반도체 전문 지식(Domain Knowledge)으로 설정된 임계 값 ϵ' 보다 짧은 거리로 형성되는 군집들을 이용한다. 해당 칩의 군집 크기는 군집 (a), (b), (c), (d)에 속하는 셀 결점들의 총수가 되며 군집 밀도는 각 군집 (a), (b), (c), (d)에 속하는 셀 결점들의 Reachability_Distance의 평균값에 반비례한다. 따라서 여러 개의 셀 결점 군집으로 이루어진 칩마다 두 가지의 특질이 추출된다.

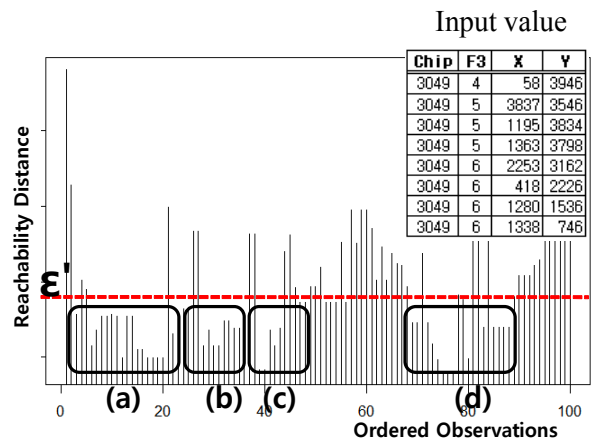


Figure 10. Reachability_distance for cell defects

추출된 특질은 셀 레벨의 불량에 대한 정보를 함축적으로 포함하고 있으므로 품질 예측에 중요한 변수로 사용된다.

3.4 예측 모델(Prediction Model)

본 연구의 목표는 셀 레벨 데이터에 대해 OPTICS 기반 특질 추출 방법을 제안함으로써 칩 품질 예측 성능을 향상하는 것

이며, 품질 예측은 종속 변수가 고품질과 저품질인 2 클래스 분류 문제이다. 예측 모델 선택을 위해 다양한 분류 기법에 동일 변수와 동일 샘플(Sample)을 사용하여 실험을 진행하였으며, 결과 분석을 통해 높은 예측 성능을 보인 분류 기법을 예측 모델에 적용하였다. 예측 모델 선택에 고려된 기법들로는 선형 분석에 사용되는 Logistic Regression(Hosmer and Lemeshow, 1989), 비선형 분석에 사용되는 QDA(Quadratic Discriminant Analysis), 결과에 대한 속성 값들의 영향도 해석이 쉽고 학습 시간이 다른 알고리즘에 비해 짧은 Decision Tree(Quinlan, 1986), 최적의 분리 경계면으로 분류 문제를 해결하는 SVM(Vapnik, 2000), 패턴인식, 분류 문제 등 여러 분야에 활용되고 있는 ANN(Artificial Neural Network)로 대표적인 분류 기법들이다.

동일 변수와 동일 샘플을 가지고 구현된 모델들의 예측 정확도를 비교해 볼 때 그 차이는 작으나 <Table 1>에 나타난 것처럼 Logistic Regression이 79.5%로 가장 우수한 성능을 보여 본 연구의 결과 해석을 위한 품질 예측 모델로 사용되었다. 나머지 네 기법에서도 기존 칩 레벨 데이터 활용 모델에 비해서 셀 레벨 데이터를 활용한 모델에서 예측 정확도가 향상되었으며 해당 결과는 제 4.3절에서 다룬다.

Table 1. Prediction accuracy among the methods

Method	Accuracy
Logistic	79.5%
QDA(Quadratic Discriminant Analysis)	78.7%
Decision Tree	77.6%
SVM(Support Vector Machine)	74.4%
ANN(Artificial Neural Network)	78.0%

4. 실험계획 및 결과

4.1 실험 데이터

본 연구의 실험은 산업 현장의 실무데이터를 사용하였고 품질 개선이 필요하다고 판단되는 제품을 실험 대상으로 선정하였으며, 조립 불량으로 발생할 수 있는 환경성 노이즈(Noise) 성분을 차단하기 위해 별도로 변경된 제조 공정에서 진행된 데이터를 사용하였다. 또한, 데이터의 일반성 확보를 위해 1개월간 진행된 로트(Lot)들 중에서 웨이퍼 단위로 샘플링 하였으며, 샘플 수 총 4,500개 칩 중 패키지 양품 칩과 패키지 불량 칩의 비율은 7대 3이다.

본 연구에서 제안하는 OPTICS 기반 특질 추출 방법의 성능 비교를 위해 선택된 칩 레벨 변수로는 프로브 테스트의 불량 결점 수(Fail Bit Count)이다. 불량 결점 수는 Function Test에서 제품의 비정상적인 동작까지 고려된 상황에서 발생하는 정보이므로 산업 현장에서 불량 원인 도출을 사용되는 중요한 변수이다. 데이터 형태는 <Table 2>에서 보는 바와 같이 연속형

(Continuous)이며, Function Test 세부 항목 중 품질 예측에 영향도가 높은 결점 수를 변수로 선택하였다. 또한, 실험 결과의 일반성을 확보하기 위해 5-Fold Cross Validation으로 데이터를 처리하여 진행하였다(Weiss and Kulikowski, 1991).

Table 2. Probe test data

칩	P_F	SO	S1	S2	크기	RD거리	T0	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12
1358	1	895	1	2	0	26	524	10	2	3	58	86	17	0	192	20	9	1	4
1836	1	1283	1	14	0	7	432	120	16	2	135	117	49	3	609	49	3	0	3
4073	1	762	0	0	0	0	548	30	4	0	26	54	2	3	71	8	16	0	14
1841	1	984	1	0	0	0	454	13	2	0	37	49	11	0	162	17	6	1	155
2733	1	866	2	2	0	4	498	291	3	1	48	58	8	1	247	16	62	0	96
1553	1	1148	0	0	0	0	483	10	2	2	62	90	13	5	137	10	4	1	170
1940	1	1125	0	0	0	0	527	13	4	1	55	65	3	3	105	19	14	0	2
4638	1	835	1	4	0	0	45	486	303	18	7	143	89	25	1	81	3	5	0
4371	1	754	3	6	0	0	24	515	270	1	1	50	51	4	3	32	6	8	0
5046	1	963	0	2	0	0	60	492	16	2	1	274	25	1	2	51	5	14	1
3371	1	1440	1	0	0	0	23	470	9	1	1	112	112	10	9	142	20	31	2
4139	1	1416	1	0	0	0	0	484	25	3	1	81	129	3	5	157	15	24	1

4.2 실험 성능 평가

본 연구에서는 제안된 방법의 성능 향상도를 측정하기 위해 칩 레벨의 변수만을 사용한 예측 모델과 셀 레벨에서의 특질 추출 변수를 사용한 예측 모델의 정확도(Accuracy)와 민감도(Sensitivity), 특이도(Specificity)의 변화를 알아보았다. 식 (4)는 민감도를, 식 (5)는 특이도를 나타낸다. 생산자 입장에서는 양품을 양품으로 예측하는 것이 중요하지만, 고품질처럼 저품질 또한 양품으로 진행되는 이원화 공정을 생각해볼 때 저품질에 대한 예측 정확도 또한 특이도 못지않게 중요한 요소이다.

$$Sensitivity = \frac{TP}{TP+FN} \tag{4}$$

$$Specificity = \frac{TN}{TN+FP} \tag{5}$$

- TP : True Positive (저품질을 저품질로 예측)
- FN : False Negative (저품질을 고품질로 예측)
- TN : True Negative (고품질을 고품질로 예측)
- FP : False Positive (고품질을 저품질로 예측)

또한, 품질의 오분류 시 발생하는 기회비용을 오분류율(Misclassification Error Rate, MER)에 가중치화해서 모델 성능 비교의 지수로 사용한다. 저품질과 고품질 칩의 가격 비율이 0.75 대 1.00인 경우에 대해 오분류율에 적용되는 가중치는 <Table 3>과 같다.

Table 3. Misclassification with weight

	Real Quality	Prediction Quality	Ongoing Process	Opportunity Cost
FN	Low	High	High Quality Process	0.00-0.75 = -0.75
FP	High	Low	Low Quality Process	0.75-1.00 = -0.25

FN은 저품질을 고품질로 잘못 예측하여 고품질 공정에 투입되어 진행되므로 불량으로 판별된다. 따라서 기회비용은 $0.00-0.75 = -0.75$ 이다. FP는 고품질을 저품질로 잘못 예측하여 저품질 공정에 투입되어 진행되지만, 품질이 좋으므로 저품질의 양품으로 판별된다. 따라서 기회비용은 $0.75-1.00 = -0.25$ 가 된다. 식 (6)은 0.75 대 0.25의 가중치를 고려한 오분류율에 대한 수식이다.

$$MER = \frac{0.75 \times FN + 0.25 \times FP}{TP + FN + TN + FP} \quad (6)$$

4.3 실험 결과

본 연구에서 제안된 예측 모델의 성능 평가를 위해 모델(1)은 칩 레벨 변수만을 사용한 예측 모델, 모델(2)는 셀 레벨에서의 OPTICS 기반 특질 추출을 이용한 모델, 모델(3)은 칩 레벨 변수와 OPTICS 기반 특질 추출 변수를 같이 사용한 모델로 실험한다.

<Table 4>에서 보는 바와 같이, 본 연구에서 제안하는 모델(2)와 모델(3)의 결과를 모델(1)과 비교해 보면, 기존의 칩 레벨 변수만을 사용한 모델보다 예측 정확도는 9.2%P와 9.3%P, 가중치 적용 오분류율(MER)은 8.2%P 개선되었다. 성능 개선의 주요인은 민감도의 증가이다. 선정된 샘플의 칩 레벨 변수가 바뀌면 모델(1)의 예측 정확도 변화가 예상되나, 모델(2)와 모델(3)의 정확도 차이가 거의 없는 것으로 보아 OPTICS 기반 특질 추출 방법 사용으로 인한 개선 효과는 칩 레벨 변수 사용과 무관하게 향상됨을 보인다.

Table 4. Experiment result(logistic)

	Model(1)	Model(2)	Model(3)
Used Variables	Chip Level	-	Chip Level
	-	Cell Level	Cell Level
Accuracy	70.3%(·)	79.5%(+9.2)	79.6%(+9.3)
Specificity	91.7%(·)	87.7%(-4.0)	88.2%(-3.5)
Sensitivity	19.4%(·)	58.6%(+39.2)	58.9%(+39.5)
MERweight	19.3%(·)	11.1%(-8.2)	11.1%(-8.2)

<Figure 11>은 각 모델에 따라 적용된 5개 데이터 세트의 특이도와 민감도 증감을 최소, 최대, 평균값으로 비교한 것으로 민감도의 평균과 분산 모두 개선됨을 확인할 수 있다.

모델(1) 대비 모델(2)와 모델(3)에서 특이도는 평균 4.0%P와 3.5%P 감소하고 민감도는 평균 39.2%P와 39.5%P 증가하였다. 실험에 사용된 샘플 수에서 고품질의 비율이 저품질 비율 대비 7 대 3으로 크지만 민감도의 증가 효과가 큰 관계로 예측 정확도가 9.2%P와 9.3%P 증가했다. 이는 본 연구의 추구 목적대로 셀 레벨에서의 OPTICS 기반 특질 추출 방법이 고품질의 예측 정확도는 유지하면서 저품질의 예측 정확도를 향상시켰다.

모델(2)와 모델(3)을 비교 시 특이도와 민감도의 차이가 거의 없는 것으로 보아, 셀 레벨에서의 OPTICS 기반 특질 추출 변수가 칩 레벨 변수보다 예측 모델 구현에 대한 기여도(Contribution)가 큼을 확인할 수 있다.

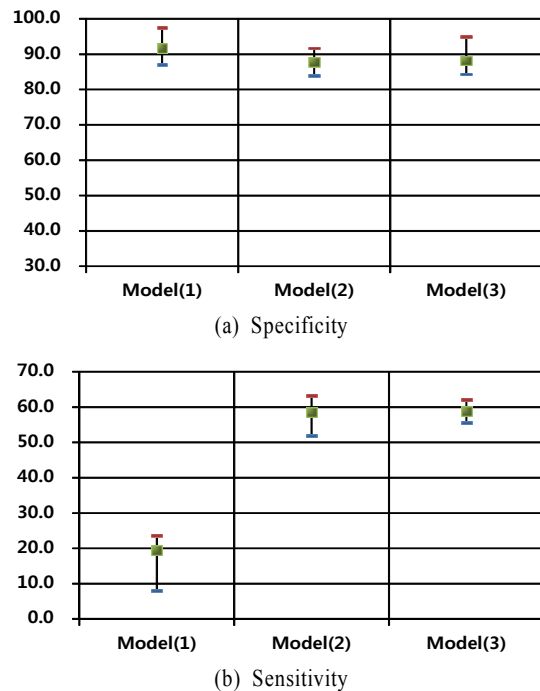


Figure 11. (a) Specificity and (b) Sensitivity among the models with different feature Selection

<Figure 12>은 5개 데이터 세트에 대한 가중치 오분류율(MER)로 모델(2)와 모델(3)의 차이는 거의 없으나 민감도의 증가로 모델(1)과는 8.2%P 차이를 보인다. 실제 제조 현장의 품질별 생산비용을 고려해도 기존의 칩 레벨의 변수보다 셀 레벨에서의 OPTICS 기반 특질 추출 방법이 이윤 추구에 보다 효과적인임을 보여주는 수치이다.

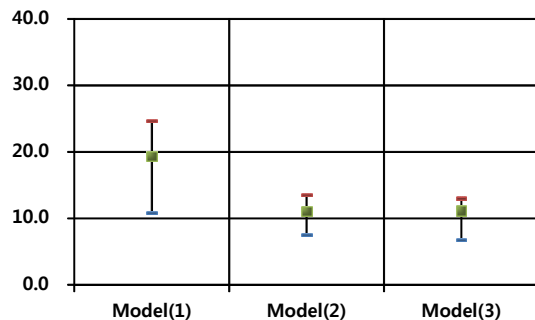


Figure 12. MER among the models using different feature selection

<Table 5>는 실험 결과의 일반성을 확보하기 위해서 3.4절에서 제시된 분류 기법들에 모델(1), 모델(2)와 모델(3)을 적용

한 실험 결과이다. 분류 기법들에 따라 정확도 개선의 결과 차이는 존재하지만, Logistic을 이용한 품질 예측 모델과 동일하게 민감도의 개선으로 모델(2)와 모델(3)의 정확도가 모델(1)에 비해 개선됨을 확인할 수 있다.

Table 5. Experiment result(for all of the methods)

	Model(1)	Model(2)	Model(3)
Used Variables	Chip Level	-	Chip Level
	-	Cell Level	Cell Level
Logistic	70.3%(·)	79.5%(+9.2)	79.6%(+9.3)
QDA	71.9%(·)	78.7%(+6.9)	78.8%(+7.0)
Decision Tree	72.4%(·)	77.6%(+5.3)	79.6%(+7.3)
SVM	71.5%(·)	74.4%(+2.9)	74.7%(+3.3)
ANN	74.1%(·)	78.0%(+3.9)	76.4%(+2.3)

5. 결론

본 연구는 칩 품질 예측 정확도 향상을 위해 셀 레벨 데이터에서의 OPTICS 기반 특질 추출 방법을 제안하였다. 반도체가 고집적화 될수록 칩 품질 예측에 사용되던 기존의 변수들이 상대적으로 불량 발생에 대한 설명력을 잃어감에 따라 칩 단위의 클러스터링을 통한 특질 추출에 한계가 있다. 따라서 본 연구는 반도체 제조업의 방대한 데이터 중 불량 발생에 대해 더욱 세밀한 정보를 가지고 있는 셀 레벨 데이터로부터 추출된 특질을 이용한 품질 예측모형을 제안하였다. 기존에 제시된 프로브 테스트 데이터의 활용(An et al., 2009)과 웨이퍼 빈 맵의 패턴 인식(Hsu and Chien, 2007) 등에 비해 전문 지식을 바탕으로 한 데이터 전처리 과정이 필요하므로 모델 구현이 복잡하지만, 논문에서 제시된 엑셀 매크로와 같은 Tool을 이용한다면 셀 레벨 데이터 활용으로 발생하는 문제점은 해결할 수 있다. 또한, 정보의 개체를 칩이 아닌 셀을 활용하면서 본 연구에서 제안한 칩 품질 예측 모델이 기존의 칩 레벨 데이터 활용 모델 대비 민감도와 정확도에서 성능 향상됨을 실험을 통해 입증하였다. 실제 산업 현장 적용 시 발생할 문제점으론 셀 레벨 데이터 처리 시간을 예상할 수 있으나 프로브 테스트 공정 후 조립 공정으로의 투입 시간 간격을 고려하면 셀 레벨 데이터를 통한 품질 분류는 가능하다. 추후 과제로는 본 연구에서 제안하는 특질로 사용된 셀 결점 위치뿐 아니라 불량 발생에 보다 많은 영향을 주는 변수를 찾는 것이며, 해당 변수를 통해 개선된 특질 추출 방법으로 품질 예측 알고리즘의 성능을 향상시키는 연구가 필요하다고 판단된다.

참고문헌

An, D.-W., Ko, H.-H., Baek, J.-G., and Kim, J.-Y. (2009), A Yield

Prediction in the Semiconductor Manufacturing Process Using Stepwise Support Vector Machine, *IE Interfaces*, **22**(3), 252-253.

Ankerst, M., Breunig, M. M., Kriegel, H. P., and Sander, J. (1999), OPTICS : Ordering points to identify the clustering structure, *ACM SIGMOD Record*, **28**(2), 49-60.

Bae, K.-J. (1995), Technology trend about large memory products test, *the magazine of the IEEK*, **22**(12), 1420-1430.

Baek, D.-H. and Nam, J.-G. (2002), Semiconductor yield improvement system using the data mining, *IE interfaces*, **2002** single issue, 293-300.

Chien, C. F., Wang, W. C., and Cheng, J. C. (2007), Data mining for yield enhancement in semiconductor manufacturing and an empirical study, *Expert Systems with Applications*, **33**(1), 192-198.

Ester, M., Kriegel, H. P., Sander, J., and Xu, X. (1996), A density-based algorithm for discovering clusters in large spatial databases with noise, In *KDD*, **96**, 226-231.

Gardner, R. M., Bieker, J., and Elwell, S. (2000), Solving tough semiconductor manufacturing problems using data mining, In *Advanced Semiconductor Manufacturing Conference and Workshop, 2000 IEEE/SEMI*, 46-55.

Hosmer, D. W. and Lemeshow (1989), *Applied Logistic Regression*, Wiley, New York.

Hsieh, C. M., Hsu, L. L., and Ogura, S. (1995), *U.S. Patent No. 5,466,625*. Washington, DC : U.S. Patent and Trademark Office.

Hsu, S. C. and Chien, C. F. (2007), Hybrid data mining approach for pattern extraction from wafer bin map to improve yield in semiconductor manufacturing, *International Journal of Production Economics*, **107**(1), 88-103.

Kang, P., Kim, D., Lee, S.-K., Doh, S., and Cho, S. (2012), Estimating the Reliability of Virtual Metrology Predictions in Semiconductor Manufacturing : A Novelty Detection-based Approach. *Journal of the Korean Institute of Industrial Engineers*, **38**(1), 46-56.

Kim, K., Hwang, C. G., and Lee, J. G. (1998), DRAM technology perspective for gigabit era. *Electron Devices, IEEE Transactions on*, **45**(3), 598-608.

Kumar, N., Kennedy, K., Gildersleeve, K., Abelson, R., Mastrangelo, C. M., and Montgomery, D. C. (2006), A review of yield modeling techniques for semiconductor manufacturing, *International Journal of Production Research*, **44**(23), 5019-5036.

Ludwig, L., Sapozhnikova, E., Lunin, V., and Rosenstiel, W. (2000), Error classification and yield prediction of chips in semiconductor industry applications, *Neural Computing and Applications*, **9**(3), 202-210.

Nurani, R. K., Strojwas, A. J., Maly, W. P., Ouyang, C., Shindo, W., Akella, R., and Derrett, J. (1998), In-line yield prediction methodologies using patterned wafer inspection information. *Semiconductor Manufacturing, IEEE Transactions on*, **11**(1), 40-47.

Oh, Y., Part, H., Yoo, A., Kim, N., Kim, Y., Kim, D., Choi, J., Yoon, S., and Yang, H. (2013), A Product Quality Prediction Model Using Real-Time Process Monitoring in Manufacturing Supply Chain, *Journal of the Korean Institute of Industrial Engineers*, **39**(4), 231-325.

Park, H.-Y., Jun, C.-H., Hong, Y.-S., and Kim, S.-Y. (1995), Development of a new cluster index for semiconductor wafer defects and simulation-based yield prediction models, *Journal of the Korean Institute of Industrial Engineers*, **21**(3), 371-385.

Park, K.-W., Jun, C.-H., and Kim, S.-Y. (1997), The comparison and use of yield model in semiconductor manufacturing, *IE interfaces*,

- 10(1), 79-93.
- Pieter, P. B. (2000), 2000 begins with a revised industry roadmap, *Solid State Technology*, 31-44.
- Quinlan, J. R. (1986), Induction of decision trees, *Machine learning*, 1(1), 81-106.
- Quirk, M. and Serda, J. (2001), *Semiconductor manufacturing technology*, NJ, USA: Prentice Hall, 1.
- Sukegawa, S. and Saeki, T. (1995), *U.S. Patent No. 5,422,850*. Washington, DC : U.S. Patent and Trademark Office.
- Tan, C. M. and Lau, K. T. (2011), Automated wafer defect map generation for process yield improvement, In *Integrated Circuits (ISIC)*, 2011 13th International Symposium on IEEE, 313-316.
- Tobin, K. W., Karnowski, T. P., and Lakhani, F. (2005), Technology considerations for future semiconductor data management systems, *Semiconductor Fabtech*, 12.
- Uzsoy, R., Lee, C. Y., and Martin-Vega, L. A. (1992), A review of production planning and scheduling models in the semiconductor industry part I : system characteristics, performance evaluation and production planning, *IIE transactions*, 24(4), 47-60.
- Vapnik, V. (2000), *The nature of statistical learning theory*, springer.
- Weiss, S. and Kulikowski, C. (1991), *Computer systems that learn*, Morgan Kaufmann Publishers.