

논문 2014-51-5-12

기준 신호 스퍼의 크기를 줄인 두 개의 대칭 루프를 가진 위상고정루프

(A Reference Spur Suppressed PLL with Two-Symmetrical Loops)

최 현 우*, 최 영 식*

(Hyun-Woo Choi and Young-Shig Choi[©])

요 약

위상 잡음과 위상고정 시간을 최소화하기 위해 최적화 된 대역폭을 변화 시키지 않고 기준 주파수 신호 스퍼를 줄일 수 있는 두 개의 대칭 루프를 가진 위상고정루프(PLL)를 설계 하였다. 기준 주파수 신호 스퍼를 감쇄시키는 원리는 PLL에 사용되는 전압제어발진기(VCO)의 입력전압을 안정화시키는 것이다. 이것을 위해 설계된 PLL은 종래 PLL과 다르게 2개의 출력을 갖는 위상주파수검출기(PFD), 2개의 루프필터, 2개의 입력전압을 갖는 VCO, 그리고 분주기로 구성되었다. 0.18 μ m CMOS 공정 파라미터를 사용하여 동작원리를 시뮬레이션 한 결과 종래의 단일 루프 PLL과 비교할 때 스퍼 크기가 약 1/2로 감소된 것을 확인하였다. 또한 루프필터에 사용된 R과 C가 5% 오차를 갖고 있을 경우에도 스퍼 크기가 약 1/2로 감소된 것을 확인하였다. 사용된 공급전압은 1.8V이고 소비전력은 6.3mW이었다.

Abstract

A reference spur suppressed PLL with two-symmetrical loops without changing the bandwidth which is optimized to suppress phase noise and reduce locking time has been designed. The principle of suppressing a reference signal spur is to stabilize the input voltage of voltage controlled oscillator (VCO). The proposed PLL consists of a phase-frequency detector(PFD) which has two outputs, two charge pumps(CP), two loop filters(LF), a divider and a VCO which has two inputs. Simulation results with 0.18 μ m CMOS process show that the reference spur is approximately suppressed to 1/2 of the reference spur in a conventional PLL. Even though there is a 5% process variation in the magnitude of R and C, the simulation result shows that the reference spur is still suppressed to 1/2 of the reference spur in a conventional PLL. The power consumption is 6.3mW at the power supply of 1.8V.

Keywords : Phase Locked Loop, Reference spur, Loop filter

I. 서 론

위상고정루프(PLL)는 대부분의 통신 시스템에서 중요한 역할을 한다. 특히 Integer-N 위상고정루프는 유

선통신분야에서 광범위하게 응용하고 있다. Integer-N 위상고정루프가 응용되는 클라우드 시스템과 데이터 저장 및 처리 기술의 꾸준하게 발전하고 있다. 특정 채널 주파수의 신호를 송신 또는 수신하기 위해서 위상고정루프는 전압제어발진기(VCO)가 사용 중인 채널의 주파수를 유지하도록 전압제어발진기의 입력 전압을 조정한다. 또한 온도, 공급 전압, 공정 변화, 저주파 잡음 등 다양한 환경에서도 전압제어발진기가 일정 주파수를 유지하도록 동작한다. 위상고정루프의 특성은 루프 대역폭, 필터 차수, 그리고 전압제어발진기 이득 같은 설계

* 정회원, 부경대학교 전자공학과
(Pukyong National University)

© Corresponding Author(E-mail: choiys@pknu.ac.kr)

※ 이 논문은 부경대학교 자율창의학술연구비(2014년)에 의하여 연구되었음.

접수일자: 2014년1월 2일, 수정일자: 2014년4월 4일
수정완료: 2014년4월24일

변수에 따라 결정된다. Integer-N 위상고정루프가 작은 스퍼와 넓은 동작 주파수 영역을 가지도록 3개의 변수들을 최적적으로 선택해야 한다. 어떤 경우에는 기준 신호 스퍼 특성을 향상하기 위해서는 가장 큰 전압제어발전기 잡음을 제거하기 힘들더라도 좁은 대역폭을 사용하기도 한다.

낮은 기준 신호 스퍼는 루프필터를 보다 높은 차수로 구성했을 때 얻을 수 있지만, 높은 차수의 루프필터는 위상 여유를 감소시켜 전체 위상고정루프 동작을 불안하게 할 수 있다^[1~2]. 루프필터 대역폭을 좁게 하면 스퍼 크기는 줄일 수 있으나 위상고정 시간이 증가한다^[3]. 위상 고정 시간을 감소시키기 위해서 위상 고정 과정에서는 대역폭이 넓게 되고 위상고정이 되면 스퍼 크기를 줄일 수 있는 2개의 루프 구조를 사용한다. 작은 증폭 값을 가지는 전압제어발전기를 사용하면 기준 주파수 스퍼 크기를 줄일 수 있으나 동작 주파수 대역이 좁아진다^[4~5]. 대역폭을 조절하여 기준 신호 스퍼 크기를 줄이기 위해서는 여러 가지 변수들을 고려하여야 한다. 전압제어발전기의 기율기에 기준주파수로 나눈 값을 작게 하던지, 또는 대역폭을 기준주파수로 나눈 값을 작게 하여 스퍼의 크기를 억제하였으나 위상고정 시간이 커질 수 있다^[6~9]. 신호 스퍼를 높은 주파수로 옮겨가도록 하여 기준 신호 주파수에게 발생하는 스퍼를 억제하였으나 위상 잡음 특성이 나빠질 수 있다^[10]. 차동 구조의 LC 전압제어발전기와 두 개의 대칭 루프를 사용하여 스퍼의 크기를 줄였으나 복잡한 구조의 LC 전압제어 발전기가 필요하다^[11~12].

이 논문에서는 위상 잡음과 위상고정 시간을 최소화하기 위해 최적화 된 대역폭을 변화 시키지 않고 기준 주파수 신호 스퍼를 줄일 수 있는 두 개의 대칭 루프를 가진 위상고정루프를 설계하였다. 또한, 넓은 동작 주파수 대역을 가진 링 구조의 전압제어발전기를 사용하였다. 1.8V 0.18 μ m CMOS 공정을 이용한 시뮬레이션 결과는 제안된 두 개의 대칭 루프를 가진 위상고정루프가 기준 주파수 신호 스퍼와 함께 위상잡음도 줄여준다는 것을 보여주고 있다.

II. 제안한 두 개의 루프를 가진 위상고정루프

일반적으로, 위상고정루프는 그림 1과 같이 주파수검

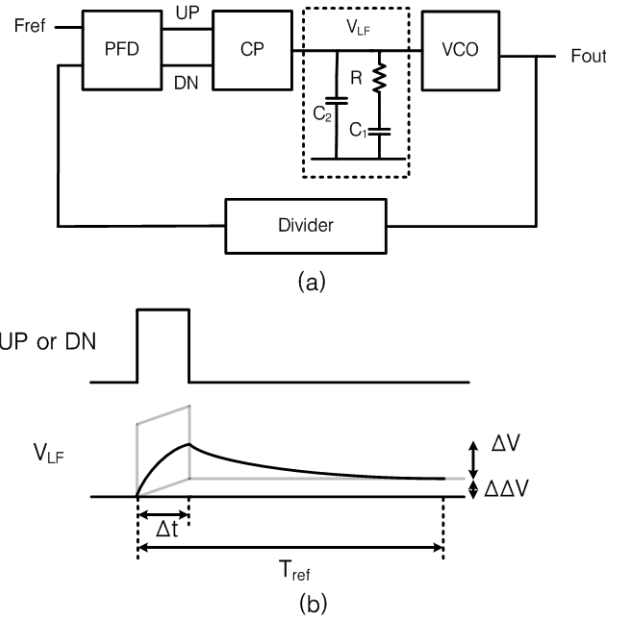


그림 1. 2차 루프필터 (a) 구조 (b) 루프필터 출력파형
Fig. 1. Conventional PLL with 2nd-order loop filter.
(a) Architecture (b) Loop-Filter Output waveform

출기(Phase Frequency Detector), 전하 펌프(Charge Pump), 2차 루프필터 (Loop Filter), 전압제어발전기 (Voltage Controlled Oscillator), 분주기(Divider)로 구성된다. 그림 1과 같은 2차 루프 필터는 C1에 의해서 위상고정시간이 결정되고, C2에 의해서 루프필터 전압의 리플 크기가 (ΔV) 결정되며, 안정한 동작을 위해서는 커패시터와 저항의 값을 적절히 선택하여야 한다. 위상고정루프가 안정하게 동작하기 위해서는 C2는 C1의 1/10 ~ 1/20 이하로 설계 되어야 한다. 만약 충분히 기준 신호 스퍼의 크기, 즉 전압제어 발전기 입력 전압에서 리플을 줄이기 위해서는 C2가 충분히 커야하고 그 결과 C1 또한 더욱 커지기 때문에 위상고정시간은 더욱 길어지게 된다.

전압제어 발전기 입력 전압은 두 가지 성분으로 나눌 수 있는데, 하나는 고정된 V_{cont} 이고 나머지 하나는 위상차로 인해 발생된 전압 변화 부분 $V_f(t)$ 이다. 전압제어 발전기는 입력 전압에 비례한 주파수를 발생시킨다. $V_f(t)$ 에 의한 주기적인 변화에 대한 전압제어 발전기 출력을 포함하여 전압제어발전기의 출력은 다음과 같이 표현 할 수 있다^[11].

$$v_{out}(t) = V_o \cos[\omega_{f_r} t + K_{vco} \int v_f(t) dt + K_{vco} \int V_{cont} dt] \quad (1)$$

여기서 ω_{fr} 은 전압제어 발진기의 고유 주파수이다. 스퍼의 크기를 결정하는 $V_f(t)$ 를 푸리에 급수로 확장하면 다음과 같다.

$$v_f(t) = \frac{\Delta V \Delta t}{T_{REF}} + \sum_{n \neq 0} a_n \cos(n\omega_{REF}t + \theta_n) \\ = \frac{\Delta V \Delta t}{T_{REF}} + \Delta V \sum_{n \neq 0} K_n \cos(n\omega_{REF}t + \theta_n) \quad (2)$$

T_{REF} 는 기준주파수의 주기이다. 위의 식 (1)과 (2)를 이용하여 전압제어발진기의 출력을 다음과 같이 나타낼 수 있다.

$$v_{out}(t) \approx V_o \cos(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_{cont})t$$

$$v_{out}(t) \approx V_o \cos(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_{cont})t$$

$$-K_{vco} V_o [\Delta V \sum_{n \neq 0} \frac{K_n}{n\omega_{REF}} \sin(n\omega_{REF}t + \theta_n)]$$

$$\sin(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_{cont})t \quad (3)$$

여기서 Δt 는 UP/DN 신호의 발생 시간이다. 식 (3)의 첫 번째 항은 주파수 성분, 즉 위상잡음의 성분을 보여주고 있다. ω_{fr} 이외의 성분의 크기가 위상 잡음의 크기를 나타낸다. 스퍼의 크기는 수식 (3)의 두 번째 항에서 알 수 있듯이 ΔV 의 크기에 의존한다. 수식 (3)의 2번째 항에서 전압제어발진기의 출력 신호는 기준 신호 주기를 가지며 크기는 ΔV 에 비례한다. 그러므로 ΔV 를 줄이면 기준 신호 스퍼 크기는 감소한다. 기존 위상 고정루프는 기준 신호 주기마다 발생하는 전하펌프의 전류 미스매치와 기준 신호와 궤환된 신호의 미세한 위상 차이와 주파수 차이, 그리고 PFD의 비선형 특성에 의해 루프 필터에 전압 변화 (리플 : ΔV) 발생시킨다. 다양한 방법을 도입하여 ΔV 크기를 줄이면 기준 신호 주기마다 나타나는 스퍼의 크기를 줄일 수 있다.

그림 2에 나타난 것과 같이 제안된 위상고정루프는 두 개의 전하펌프와 루프 필터를 사용하여 전압제어발진기의 두 개의 입력 전압이 서로 상쇄되어 리플의 크기 (ΔV)를 효과적으로 줄인 구조이다. 그림 2와 3은 제안된 두 개의 대칭 루프를 가진 위상고정루프 회로와 동작

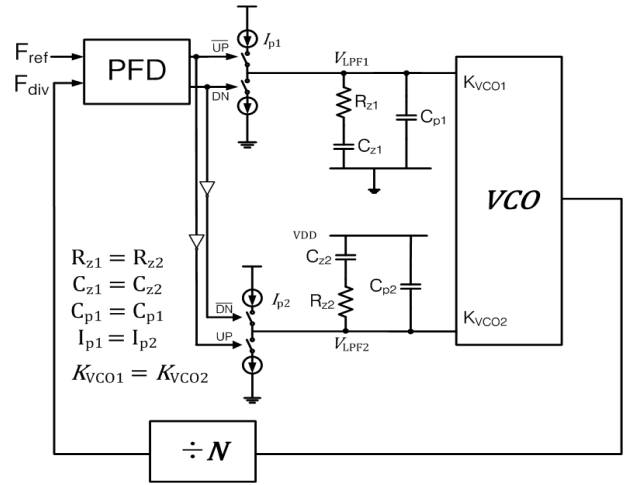


그림 2. 제안한 두 개의 대칭 루프를 가진 위상고정루프.

Fig. 2. Proposed reference spur suppressed PLL with two-symmetrical loops.

신호 타이밍을 보여주고 있다. 두 개의 전하 펌프와 루프 필터, 그리고 두 개의 전압제어발진기의 증폭 값 (K_{VCO}) 가진 전압제어발진기로 구성된 대칭루프가 포함되어 있다. 루프필터1은 저항과 커패시터가 접지로 연결되어 있고 루프필터2는 저항과 커패시터가 전압원에 연결되어 있다. 루프필터1과 루프필터2의 저항과 커패시터는 똑같은 크기를 가지며 두 개의 전압제어발진기의 증폭 값도 (K_{VCO}) 같다.

주파수-위상 검출기(PFD) 두 개의 입력 신호에 위상 차이가 발생하면 $UP/DN/\overline{UP}/\overline{DN}$ 신호가 생성되고, 이 신호 구간동안 전하가 두 개의 루프필터를 충/방전시킨다. 그림 2에 나타난 바와 같이 V_{LPF1} 과 V_{LPF2} 의 변화 방향이 반대이므로 두 개의 합은 항상 일정한 값을 가진다. 전압제어발진기의 두 개의 입력 전압 리플의 크기 (ΔV)가 "0"이 되어 식 3에 나타난 바와 같이 스퍼가 사라진다. 그러므로 기준 신호 스퍼 크기를 크게 줄일 수 있다.

III. PLL 주요 블럭

두 개의 전하 펌프를 조절하는 $UP/DN/\overline{UP}/\overline{DN}$ 신호 타이밍은 그림 3에 나타나있다. 그림 2에서 버퍼로 표시되어 있는 $UP/DN/\overline{UP}/\overline{DN}$ 신호를 만들어내는 회로는 여러 개의 인버터를 래치 형태로 연결하여 공정 변화에도 그림 3의 신호 타이밍과 같이 신호가 발생하

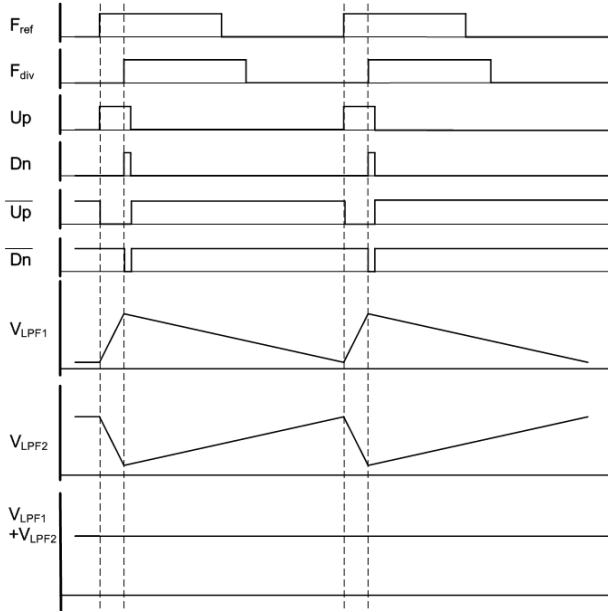


그림 3. 신호 타이밍
Fig. 3. Control signal timing.

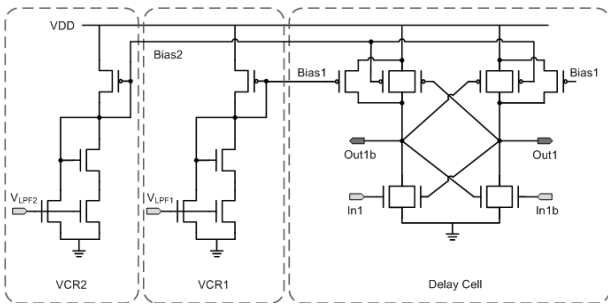


그림 4. 전압제어발진기
Fig. 4. Voltage Controlled Oscillator.

도록 하였다. 그림 4는 2개의 전압제어저항 (VCR)과 지연단의 연결 구조를 보여주고 있다. 전압제어저항단은 간단한 구조로 되어있고 입력전압에 비례하는 출력 전류를 발생시켜 각각의 지연단을 제어한다. 루프필터의 전압은 전압제어저항을 통해 입력전압의 변화를 큰 전류의 변화로 변환시켜줌으로써 전압제어발진기가 넓은 출력주파수 범위를 가지도록 해준다. 전압제어발진기는 최대출력 전압 진동폭과 낮은 위상 잡음의 출력을 갖는 차동구조 지연단 세 개를 이용해 구성하였다. PMOS와 NMOS 한 쌍의 트랜지스터가 CMOS 래치구조로 구성되어 지연단을 구성하고 있다. 이 래치 구조는 전압제어발진기가 낮은 출력위상잡음을 가지기 위해 지연단이 빠르게 켜지는 시간(on-time)을 갖도록 해준다. 똑같은 두 개의 전압제어저항단을 사용하여 두 개의 같은 증폭 값을 가지도록 하였다.

IV. 시뮬레이션 결과 및 고찰

제한한 구조의 위상고정루프를 0.18 μ m CMOS 공정으로 시뮬레이션 하였다. 15.625MHz의 입력주파수를 가지고 출력 주파수는 1GHz이며, 분주비는 64이다. 이 회로의 변수 값은 $I_{p1} = I_{p2} = 200\mu A$, $C_{p1} = C_{p2} = 100pF$, $C_{z1} = 1.5nF$, $C_{z2} = 100pF$, $K_{VCO1} = K_{VCO2} = 220MHz/V$, $R_{z1} = R_{z2} = 1.5k\Omega$ 이다.

V_{LPF1} 와 V_{LPF2} 의 초기 값을 둘 다 “0V”로 하면 루프필터1의 출력 V_{LPF1} 은 정상적으로 움직이나 V_{LPF2} 는 그림 5에서 나타난 바와 같이 느리게 움직인다. 초기에는 전압제어발진기의 출력 주파수가 낮아서 주로 \overline{UP} 신호가 발생하여 루프필터1 출력 전압이 정상적으로 상승하여 위상고정이 된다. 위상고정이 되고 난 후에는 \overline{DN} 신호도 발생하므로 V_{LPF2} 값이 서서히 증가하여 고정된다. 그러나 V_{LPF2} 값이 MOSFET의 문턱전압보다 낮으므로 기존의 위상고정루프처럼 동작하여 기준 신호 스퍼를 줄일 수 가 없다.

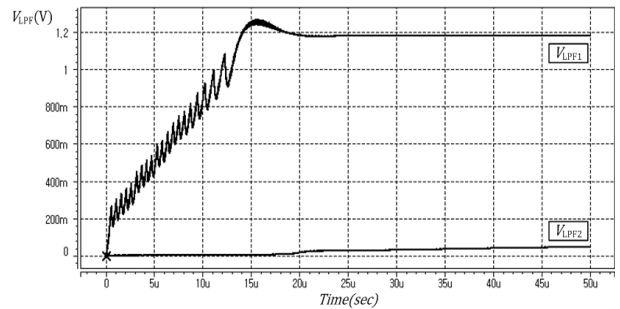


그림 5. V_{LPF1} 와 V_{LPF2} 의 초기 값을 둘 다 “0V”로 했을 때의 시뮬레이션 결과
Fig. 5. Simulation result when the initial voltage of V_{LPF1} and V_{LPF2} are “0V”

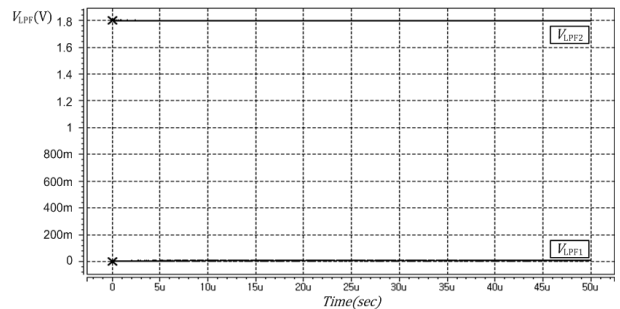
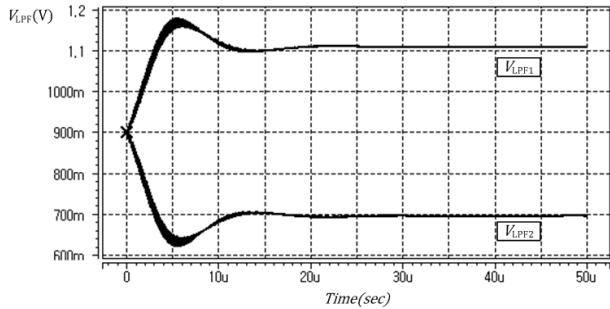
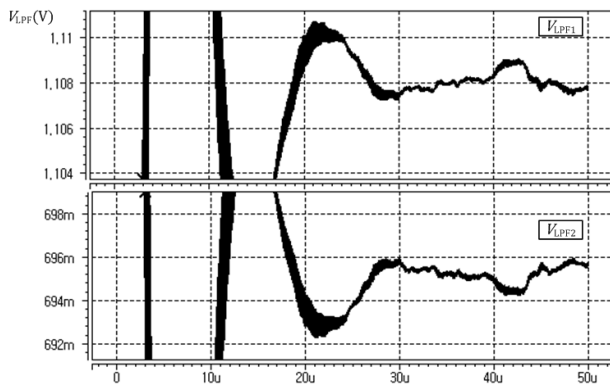


그림 6. V_{LPF1} 은 “0V”, 그리고 V_{LPF2} 가 “1.8V”로 초기 값으로 했을 때의 시뮬레이션 결과
Fig. 6. Simulation result when the initial voltage of V_{LPF1} and V_{LPF2} are “0V” and “1.8V”

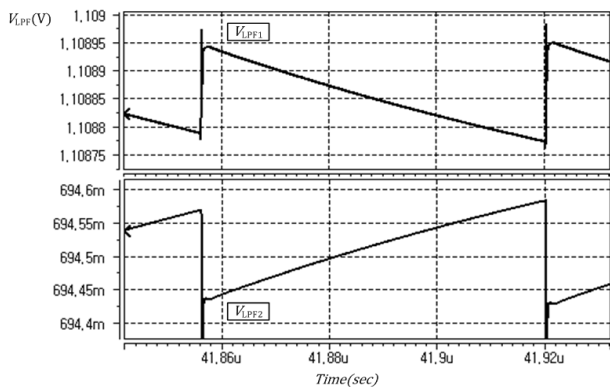
V_{LPF1} 은 “0V”, 그리고 V_{LPF2} 가 “1.8V”로 초기 값을 가지면 그림 6처럼 위상고정이 되지 않는다. 그 이유는 전압제어발진기의 출력 주파수가 너무 높아서 DN/\overline{DN}



(a)



(b)



(c)

그림 7. V_{LPF1} 와 V_{LPF2} 의 초기 값을 “ $V_{DD}/2$ ”로 했을 때의 시뮬레이션 결과. (a) 두 개의 루프 필터 출력 전압 변화 (b) 위상고정 후 확대된 두 개의 루프 필터 출력 전압 (c) 위상고정 후 더 확대된 두 개의 루프 필터 출력 전압

Fig. 7. Simulation result when the initial voltage of V_{LPF1} and V_{LPF2} are “ $V_{DD}/2$ ”. (a) V_{LPF1} and V_{LPF2} (b) Enlarged V_{LPF1} and V_{LPF2} (c) Further enlarged V_{LPF1} and V_{LPF2}

신호가 주로 발생한다. 전하펌프1은 DN 신호에 의해 루프 필터 출력이 이미 “0V”임에도 루프 필터 출력 전압을 하강 시키며, 전하펌프2는 \overline{DN} 신호에 의해 루프 필터 출력이 이미 “1.8V”임에도 루프 필터 출력 전압을 상승 시켜 두 루프 필터 전압이 초기 값을 벗어나지 못하게 되어 위상고정이 되지 않는다.

두 개 루프필터의 초기 값을 “ $V_{DD}/2$ ”로 하여 시뮬레이션 하면 그림 7처럼 정상적으로 위상 고정된다. 초기에는 전압제어발진기의 출력 주파수가 낮아서 주로 UP/\overline{UP} 신호가 발생하여 루프필터1의 출력 전압은 상승하고 루프필터2의 출력 전압은 하강하여 위상고정이 된다. 그림 7 (b)는 두 개의 루프 필터 출력 전압이 위상고정 후 일정한 값으로 고정이 되는 것을 보여주고 있다. 그림 7 (c)는 두 개의 루프 필터 출력 전압을 (V_{LPF1} 과 V_{LPF2}) 확대한 것이다. 그림 7 (c)가 보여주듯이 V_{LPF1} 과 V_{LPF2} 가 서로 상쇄되는 방향으로 움직이므로 두 개의 합은 항상 일정한 값을 가진다. 위상고정 후 V_{LPF1} 과 V_{LPF2} 값이 달라 발생하는 전하 펌프의 전류 미스매치로 인하여 루프 필터 출력 전압에 아주 작은 크기의 리플이 발생할 수 있다. 전반적으로 기준 신호 한 주기 동안에 발생하는 두 개의 루프 필터 출력 전압 리플의 합은 최소화 되므로 기준 신호 스퍼 크기를 크게 줄일 수 있다.

그림 7 (b)를 보면 위상 잡음도 감소한다는 것을 알 수 있다. 위상 잡음은 루프 필터 전압이 이상적인 일정한 값에서 벗어난 정도를 나타내는 편차 크기에 비례한다. 그림 7 (b)에서 V_{LPF1} 과 V_{LPF2} 가 서로 반대 방향으로 움직이므로 루프 필터 전압이 이상적인 일정한 값에서 많이 벗어나지 않도록 해준다. 그러므로 전압제어발진기의 유효 입력 전압의 편차를 줄여 위상잡음 특성도 좋아 지게 한다.

그림 8은 제안한 구조의 효율성을 보여주기 위해 시뮬레이션으로 구한 지터가 나타나 있다. 두 개의 루프 필터 출력 전압 리플의 합이 최소화 되어 스퍼의 크기가 줄면 지터도 감소한다. 그림 8 (a)는 V_{LPF2} 을 0.7V로 고정하고 시뮬레이션 하였고, 그림 8 (b)는 제안한 구조로 시뮬레이션 한 것이다. 지터가 61ps에서 31ps로 감소된 것은 제안한 구조에서 스퍼 크기가 많이 감소된다는 것을 보여주고 있다. 그림 8 (c)는 두 개의 루프 필터에서 R/C 값의 불일치가 어떤 영향을 미치는지 알기 위해 의도적으로 R/C 값이 5% 불일치되도록 하여 지

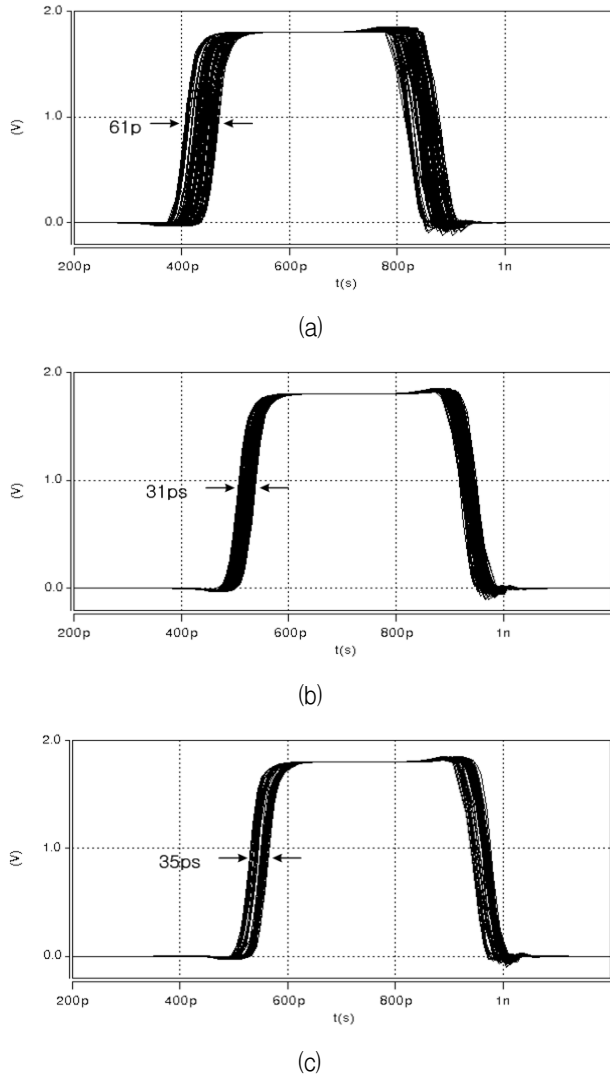


그림 8. 지터 (a) 기존구조 (b) 제안한 구조 (c) 제안한 구조에서 두개의 루프 필터 R/C 크기가 5% 다른 경우

Fig. 8. Jitter (a) Conventional PLL (b) Proposed PLL (c) 5% mismatch between R/C values of two loop filters.

터를 시뮬레이션으로 구하였다. 시뮬레이션 결과가 보여주듯이 이 불일치에 의한 영향이 크지 않음을 알 수 있다. 사용된 공급전압은 1.8V이고 소비전력은 6.3mW 이었다.

그림 9는 0.18 μ m CMOS 공정으로 진행한 칩 레이아웃을 보여주고 있다. 이 레이아웃에는 두 개의 루프필터가 포함되지 않으며 전하펌프가 하나 추가되어 면적이 기존 것보다 15% 정도 증가하여 크기는 340 μ m X 350 μ m이다. PFD 레이아웃에는 PFD 출력 신호를 두 개의 CP에 시간 불일치 없이 전달하기 위한 래치 구조

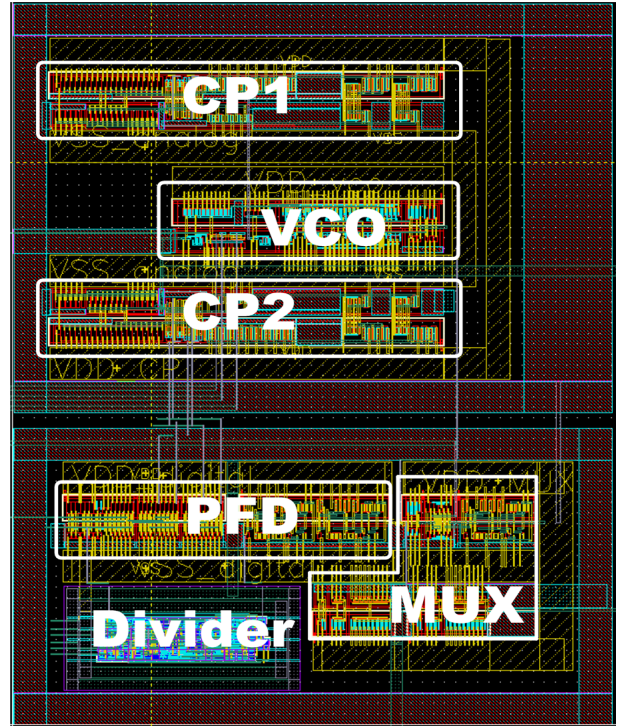


그림 9. 레이아웃.
Fig. 9. Layout.

회로가 포함되어 있다. MUX 레이아웃에는 VCO가 공정 변화에 영향을 받아 출력 값이 변할 때도 측정할 수 있도록 MUX와 버퍼 회로가 포함된 것이다.

V. 결 론

본 논문에서는 위상 잡음과 위상고정 시간을 최소화 하기 위해 최적화 된 대역폭을 변화 시키지 않고 기준 주파수 신호 스퍼를 줄일 수 있는 두 개의 대칭 루프를 가진 위상고정루프를 설계하였다. 두 개의 전하 펌프와 루프 필터, 그리고 작은 크기로 구현 할 수 있고 넓은 동작 주파수 대역과 두 개의 기울기를 가진 하나의 링 구조 전압제어발전기로 구성된 대칭루프가 포함되어 있다. 두 개 루프 필터 출력 전압이 서로 상쇄되는 방향으로 움직이므로 두 개 루프 필터 출력 전압의 초기 값을 “V_{DD}/2”로 하여 위상 고정이 되도록 하였다. 제안된 위상고정루프는 1.8V 0.18 μ m CMOS 공정변수를 이용하여 설계하였고, 시뮬레이션을 통하여 기준 신호 한주기 동안에 발생하는 전압제어발전기의 유효 입력 전압의 리플 크기를 (ΔV) 줄여 기준 신호 스퍼 크기를 크게 줄일 수 있음을 보여 주었다.

REFERENCE

- [1] C. M. Hung and K. K. O, "A fully integrated 1.5-V 5.5-GHz CMOS phase-locked loop," *IEEE J. Solid-State Circuits*, vol. 37, pp. 521 - 525, Apr. 2002.
- [2] S. Pellerano, S. Laventino, C. Samori, and A. Lacaita, "A 13.5-mW 5-GHz frequency synthesizer with dynamic-logic frequency divider," *IEEE J. Solid-State Circuits*, vol. 39, pp. 378 - 383, Feb. 2004.
- [3] W. B. Wilson, U. Moon, K. R. Lakshmikumar, and L. Dai, "A CMOS self-calibrating frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1437 - 1444, Oct. 2000.
- [4] C.-Y. Kuo, J.-Y. Chang, and S.-I. Liu, "A spur-reduction technique for a 5-GHz frequency synthesizer," *IEEE Trans. Circuits Syst. I*, vol. 53, pp. 526 - 533, Mar. 2006.
- [5] Y. Sun and L. Siek, "A spur-reduction technique in a fully integrated CMOS frequency synthesizer for 5-GHz WLAN SOC," in *SOC Dig. Tech Papers*, Sep. 2007, pp. 113 - 116.
- [6] X. Gao, E. Klumperink, G. Soccì, M. Bohsalì, and B. Nauta, "Spur reduction techniques for phase-locked loops exploiting a sub-sampling phase detector," *IEEE J. Solid-State Circuits*, vol. 45, no. 9, pp. 1809 - 1821, Sept. 2010.
- [7] Z. Cao, Y. Li, and S. Yan, "A 0.4 ps-RMS-jitter 1-3 GHz ring-oscillator PLL using phase-noise preamplification," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2079 - 2089, Sept. 2008.
- [8] K. J. Wang, A. Swaminathan, and I. Galton, "Spurious tone suppression techniques applied to a wide-bandwidth 2.4 GHz fractional-N PLL," in *ISSCC Dig. Tech. Papers*, 2008, pp. 342-343.
- [9] C.-F. Liang, S. -H. Chen, and S. -I. Liu, "A digital calibration technique for charge pumps in phase-locked systems," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 390 - 398, Feb. 2008.
- [10] M. M. Elsayed, M. Abdul-Latif, E. Sanchez-Sinecio, "A spur-frequency-boosting PLL with a -74 dBc reference-spur suppression in 90 nm digital CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no. 9, pp. 2104 - 2117, Sept. 2013.
- [11] A. Rao, M. Mansour, G. Singh, C. Lim, R. Ahmed, and D. R. Johnson, "A 4-6.4 GHz LC PLL with adaptive bandwidth control for a forward clock link," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2099 - 2108, Sept. 2008.
- [12] S. Yun, H. Lee, K. Kim, and J. Kwon, "Differentially-tuned low-spur PLL using 65 nm CMOS process," *Electronics Letters*, 17th, March 2011, vol. 47, no. 6. boundary discontinuity criterion," *IEEE Trans. Circuits and Systems for Video Tech.*, Vol. 8, no. 3, pp. 345-357, June 1998.

저자 소개



최 현 우(정회원)
2012년 부경대학교 전자공학과
학사 졸업.
2012년 부경대학교 전자공학과
석사 입학.

<주관심분야 : PLL, DLL 설계>



최 영 식(정회원)-교신저자
1982년 경북대학교 전자공학과
학사 졸업.
1986년 Texas A&M University
전자공학과 석사 졸업.
1993년 Arizona State University
박사 졸업.

1987년~1999년 SK Hynix (구 현대전자)
1999년~2003년 동의대학교 전자공학과 교수
2003년~현재 부경대학교 전자공학과 교수
<주관심분야 : PLL, DLL, CDRC 설계>