

60 GHz 대역 신호 무결성을 위한 플립 칩 구조 최적화

Optimization of a Flip-Chip Transition for Signal Integrity at 60-GHz Band

감 동 군

Dong Gun Kam

요 약

일반적으로 플립 칩은 와이어 본딩에 비해 신호 무결성을 저해하는 기생 성분이 작지만, 60 GHz 대역에서는 설계하기에 따라서 2 dB 이상의 삽입 손실 차이가 난다. 본 논문에서는 플립 칩 구조의 여러 설계 변수들에 따라 삽입 손실이 어떻게 변하는 지를 분석함으로써 설계를 최적화하는 방법을 제시한다.

Abstract

Although flip-chip interconnects have smaller parasitics than bonding wires, they should be carefully designed at 60 GHz. Insertion loss at a flip-chip transition may differ as much as 2 dB depending on design parameters. In this paper we present a comprehensive sensitivity analysis to optimize the flip-chip transition.

Key words: Flip-Chip Transition, Sensitivity Analysis, Design Optimization, 60 GHz, Signal Integrity

I. 서 론

최근 60 GHz 대역을 이용한 근거리 무선 통신이 상업적으로 각광 받고 있다. 현재 WLAN의 주류를 이루고 있는 IEEE 802.11n 표준이 2.4 또는 5 GHz 근처 40 MHz 대역폭을 사용하여 최대 600 Mbps의 데이터 전송 속도를 내는 반면에, 802.11ad 표준은 60 GHz 근처 1.9 GHz 대역폭을 사용해 6 Gbps 이상의 속도를 낼 수 있다^[1]. 60 GHz 모듈에는 안테나 피드의 삽입 손실을 줄이기 위해 liquid crystal polymer 같은 특수 플라스틱이나 세라믹 기판이 사용된다^{[2],[3]}. 일반적인 FR4 대신에 이들 물질을 사용해서 얻는 이득은 안테나 피드의 길이에 따라 다르지만, 대개 2 dB 이내이다. 한편, 와이어 본딩은 60 GHz 대역에서

기생 성분이 너무 크므로 플립 칩이 많이 사용되는데, 플립 칩도 제대로 설계하지 않으면 2 dB 이상의 손해를 볼 수 있다. 본 논문에서는 플립 칩 구조의 여러 설계 변수들에 따라 삽입 손실이 어떻게 변하는 지를 분석함으로써 플립 칩 설계를 최적화하는 방법을 제시한다.

II. 플립 칩 설계 변수에 따른 전송 특성 분석

그림 1은 칩에서 coplanar waveguide로 나온 single-ended 신호가 플립 칩을 거쳐 패키지 기판에서 마이크로 스트립으로 바뀌는 구조를 나타냈다. 상용 인쇄 회로 기판 공정으로 패키지를 만든다면 플립 칩 패드의 크기나 간격(edge-to-edge space)을 75 um 이하로 만들기 어렵다. 이

「이 연구는 한국연구재단의 지원을 받아 수행되었음(2012R1A2A2A01019150).」

아주대학교 전자공학과(Department of Electronics Engineering, Ajou University)

· Manuscript received February 10, 2014 ; Revised March 3, 2014 ; Accepted March 4, 2014. (ID No. 20140210-022)

· Corresponding Author: Dong Gun Kam (e-mail: kam@ajou.ac.kr)

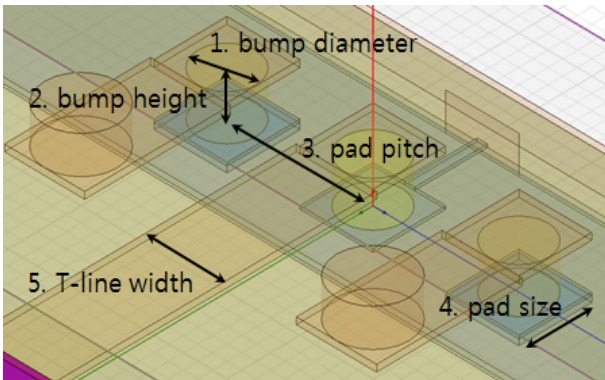


그림 1. 플립 칩 구조의 설계 변수들
Fig. 1. Design parameters of a flip-chip transition.

표 1. 플립 칩 구조 설계 변수들의 범위
Table 1. Parameter sweep plan.

1. Bump diameter	60~120 μm , $\Delta=15 \mu\text{m}$
2. Bump height	30~90 μm , $\Delta=15 \mu\text{m}$
3. Pad pitch	150~250 μm , $\Delta=50 \mu\text{m}$
4. Pad size	70~100 μm , $\Delta=10 \mu\text{m}$
5. T-line width	75~125 μm , $\Delta=25 \mu\text{m}$

들 설계 변수들은 통상적으로 표 1에 정리한 범위를 넘지 않는다.

이 범위 내 900가지 모든 조합에 대해 상용 시뮬레이션 툴인 HFSS를 사용해서 60 GHz에서의 삽입 손실을 구하고, 이를 Excel pivot chart로 분석했다^[4]. 그림 2는 플립

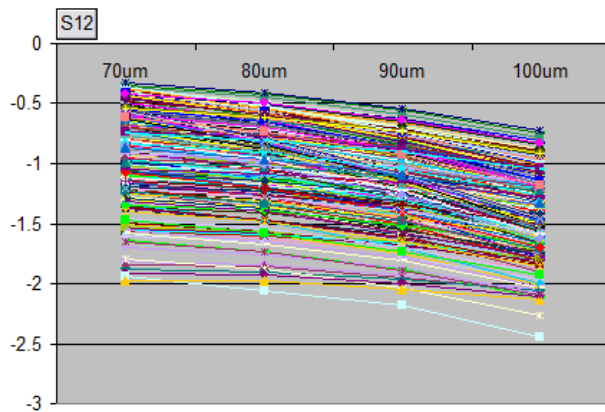


그림 2. 패드 크기에 따른 삽입 손실
Fig. 2. Effect of pad size on insertion loss.

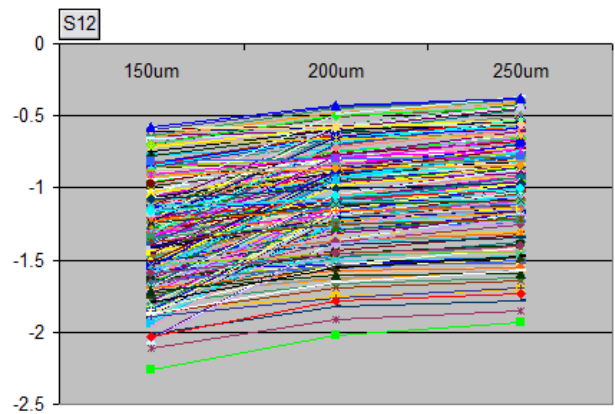


그림 3. 패드 피치에 따른 삽입 손실
Fig. 3. Effect of pad pitch on insertion loss.

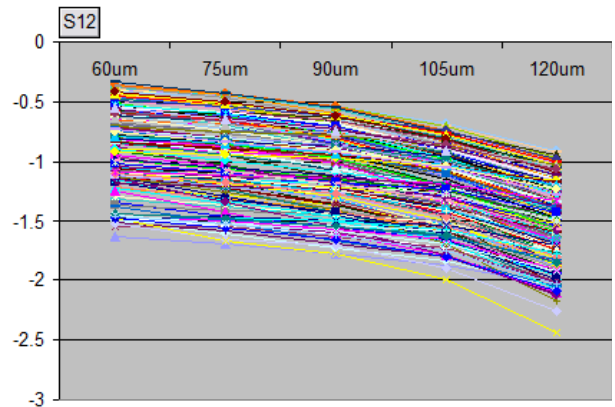


그림 4. Bump 직경에 따른 삽입 손실
Fig. 4. Effect of bump diameter on insertion loss.

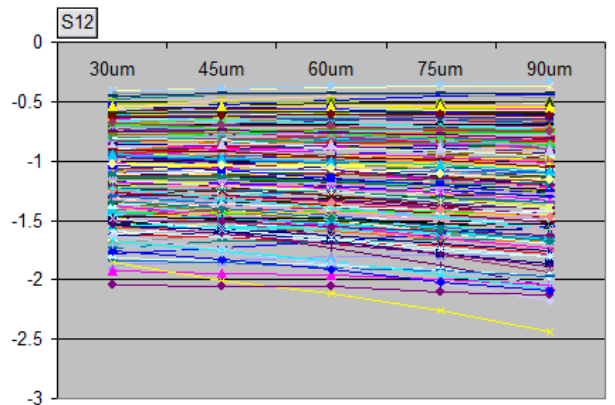


그림 5. Bump 높이에 따른 삽입 손실
Fig. 5. Effect of bump height on insertion loss.

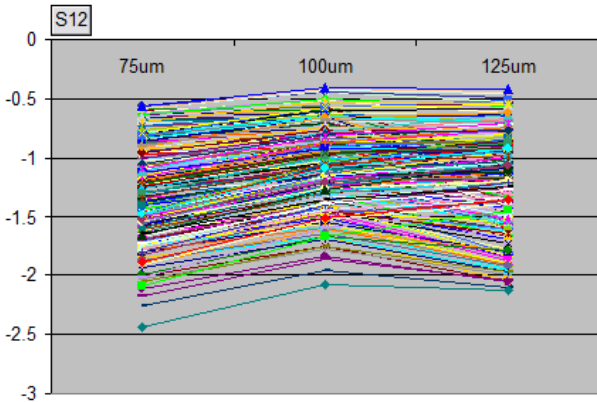


그림 6. 마이크로스트립 선폭에 따른 삽입 손실
Fig. 6. Effect of T-line width on insertion loss.

칩 패드의 크기(x축)에 따른 S_{12} 값(y축)이다. 패드 크기를 제외한 나머지 네 변수들이 가질 수 있는 조합인 225 개의 서로 다른 곡선을 한 그래프에 나타냈는데, 모든 곡선이 오른쪽 아래로 향하는 것을 알 수 있다. 즉, 나머지 조건에 관계없이 패드 크기는 작을수록 좋다. 그림 3에서는 모든 곡선이 오른쪽 위를 향한다. 패드 피치는 무조건 클수록 좋다는 뜻이다. 그림 4로부터 bump 직경은 작을수록 유리하다는 것을 알 수 있다. 그런데 그림 5에서는 일관된 추세를 발견할 수 없다. 그림 6에서는 선폭이 75 um 보다는 100 um 또는 125 um일 때 특성이 좋았다.

이상에서 시각적으로 파악한 경향성을 정량적으로 분석하기 위해 종속변수와 두 개 이상의 독립변수 사이에 선형적인 관계가 있는지를 평가하는 다중 선형 회귀 모델을 만들었다. 표 2에 나타낸 결과를 보면 bump 높이에 대한 계수가 제일 0에 가깝고, p -value도 나머지 네 변수들에 비해 월등히 크다. 그림 5에서와 같이, 어떤 변수가 다른 변수들의 값에 따라 결과에 미치는 영향이 다르다면 변수들 간의 상호 작용이 일어난 것이다. 표 3에서 회귀 분석에 bilinear 항을 추가하자 통계적으로 유의미한 많은 상호 작용이 나타났다. 가장 큰 회귀 계수를 가지는 두 가지는 bump 높이와 패드 크기, bump 높이와 직경 간의 상호 작용이다. Bump 직경이 증가하면 신호와 그라운드 bump 간의 거리가 줄어들면서 커패시턴스가 증가한다. 또한, 패드 크기가 커도 큰 커패시턴스를 갖는다. 어느 경우나 bump 높이가 큰 것이 인덕턴스를 통해 discontinuity

표 2. 다중 선형 회귀 분석 결과

Table 2. Regression coefficients of five input variables.

	Coefficients	Standard error	t-Stat	p-value
Intercept	0.2693	0.07454	3.61	3.2E-04
Bump diameter	-0.0106	0.00030	-34.89	4.9E-169
Bump height	-0.0010	0.00030	-3.33	9.1E-04
Pad pitch	0.0039	0.00016	24.92	1.8E-104
Pad size	-0.0180	0.00058	-31.03	4.7E-144
T-line width	0.0037	0.00032	11.72	1.3E-29

표 3. 상호 작용을 포함한 다중 선형 회귀 분석 결과

Table 3. Regression coefficients of two-factor interactions.

	Coefficients	Standard error	t-Stat	p-value
Intercept	-9.78E-01	2.25E-02	-43.43	1.4E-222
Height × diameter	-1.42E-04	5.33E-06	-26.59	2.7E-115
Height × pitch	7.48E-05	2.70E-06	27.72	1.3E-122
Height × size	-1.68E-04	8.18E-06	-20.50	7.0E-77
Height × width	9.79E-05	5.40E-06	18.14	6.8E-63

cancellation^[5]을 하는데 유리할 것이다. 따라서 앞의 회귀 분석 모델은 물리적으로도 타당한 모델이다.

표 1의 분석 범위 내에서 삽입 손실이 최저가 되는 조건과 최대가 되는 조건을 표 4에 비교했다. Worst Case의 치수가 별반 특이하지 않다는 점에 주목해야 한다. 사용된 플립 칩 solder bump의 종류에 따라 직경과 높이가 충분히 각각 120 um와 90 um가 될 수 있다. 온 웨이퍼 측정 시 GSG 프로브에 맞춰서 통상 패드 피치를 150 um으로 잡는다. 또한, 칩 escape density를 높이기 위해 75 um 선폭에 100 um 패드 크기를 흔히 사용한다. 그런데 이렇게 설계한 플립 칩 구조는 최적으로 설계된 구조에 비해 무려 2.1 dB나 더 큰 삽입 손실을 갖는다. Link budget을 1~2 dB 향상시키기 위해 FR4 대신에 훨씬 비싼 기판을 사

표 4. 플립 칩 구조의 두 가지 설계 사례
Table 4. Two design examples of a flip-chip transition.

	Worst case	Best case
Bump diameter	120 μm	60 μm
Bump height	90 μm	90 μm
Pad pitch	150 μm	250 μm
Pad size	100 μm	70 μm
T-line width	75 μm	125 μm
Insertion loss	2.43 dB	0.34 dB

용하거나, 전력 소모를 감수하면서 여러 복잡한 회로들을 추가하는데, 플립 칩 구조를 무심코 설계하면 이 작은 구조에서만도 그 이상을 손해 보는 것이다.

그러므로 칩 설계 초기 단계에서부터 패드 크기와 피치는 이러한 분석에 근거하여 신중하게 결정되어야 한다. Bump 직경을 최소화한 다음, 그에 따른 최적의 bump 높이를 결정한다. 이렇게 도출된 직경과 높이에 따라 사용할 bump의 종류(부피)를 선택하고, 칩 무게, bump 개수 및 reflow 시에 가하는 압력을 조절하여 최적의 bump 구조를 구현할 수 있다. 그리고 마지막으로 마이크로스트립 선폭을 결정한다. 공정이 허용하는 범위 내에서 각 설계 변수 값을 최적화한 다음에도 플립 칩 구조에 parasitics가 여전히 남는 경우도 있다. 이를 보상하기 위한 매칭 회로를 칩이나 패키지 기판에 추가할 수도 있다. 제안된 설계 방법은 세계 최초의 60-GHz 플라스틱 패키지^[2]를 개발하는데 중요하게 사용되었다.

III. 결 론

본 논문에서는 상용 시뮬레이션 툴(HFSS)을 사용해서 플립 칩 구조의 각 설계 변수가 전송 특성에 미치는 영향을 통계적으로 분석했다. 분석 범위 내에서 패드 크기는 작을수록, 패드 피치는 클수록, bump 직경은 작을수록 유리했다. 칩 설계 초기 단계에서부터 플립 칩 구조가 신호 무결성에 미치는 영향을 분석하여 패드 크기와 피치를 정하는 것이 매우 중요하다. 60 GHz 모듈을 예로 들었지만, 본 설계 방법은 다른 밀리미터파 대역이나 초고속 디지털 시스템용 모듈에도 적용할 수 있다.

References

- [1] A. Valdes-Garcia, et al., "Single-element and phased-array transceiver chipsets for 60-GHz Gb/s communications", *IEEE Communications Magazine*, vol. 49, no. 4, pp. 120-131, Apr. 2011.
- [2] D. G. Kam, et al., "Organic packages with embedded phased-array antennas for 60-GHz wireless chipsets", *IEEE Trans. Components, Packaging and Manufacturing Technology*, vol. 1, no. 11, pp. 1806-1814, Nov. 2011.
- [3] D. G. Kam, et al., "LTCC packages with embedded phased-array antennas for 60-GHz communications", *IEEE Microwave and Wireless Components Letters*, vol. 21, no. 3, pp. 142-144, Mar. 2011.
- [4] Downloadable at <http://eip.ajou.ac.kr>
- [5] D. G. Kam, J. Kim, "40-Gb/s package design using wire-bonded plastic ball grid array", *IEEE Trans. Advanced Packaging*, vol. 31, no. 2, pp. 258-266, May 2008.