

MIMO 검출기에 적용 가능한 저 복잡도 복합 QR 분해 구조

A Low-complexity Mixed QR Decomposition Architecture for MIMO Detector

신 동 엽*, 김 철 우*, 박 종 선**

Dongyeob Shin*, Chulwoo Kim*, Jongsun Park**

Abstract

This paper presents a low complexity QR decomposition (QRD) architecture for MIMO detector. In the proposed approach, various CORDIC-based QRD algorithms are efficiently combined together to reduce the computational complexity of the QRD hardware. Based on the computational complexity analysis on various QRD algorithms, a low complexity approach is selected at each stage of QRD process. The proposed QRD architecture can be applied to any arbitrary dimension of channel matrix, and the complexity reduction grows with the increasing matrix dimension. Our QR decomposition hardware was implemented using Samsung 0.13 μ m technology. The numerical results show that the proposed architecture achieves 47% increase in the QAR (QRD Rate/Gate count) with 28.1% power savings over the conventional Householder CORDIC-based architecture for the 4×4 matrix decomposition.

요 약

본 논문에서는 MIMO 검출기를 위한 저 복잡도 QR 분해 구조를 제시한다. 제안된 접근 방식에서는, QRD 하드웨어의 연산 복잡도를 감소시키기 위해 다양한 코딩 기반 QRD 알고리즘들이 효율적으로 조합된다. 다양한 QRD 알고리즘들에 대한 연산 복잡도 분석에 기초하여, QRD 과정의 매 단계마다 저 복잡도 접근 방식이 선택된다. 제안된 QRD 구조는 어떤 임의의 차원을 갖는 채널 매트릭스에도 적용 될 수 있고, 매트릭스 차원의 증가에 따라 연산 복잡도 감소도 늘어난다. 제안하는 QR 분해 하드웨어는 삼성 0.13 μ m 공정을 사용하여 구현되었다. 실험결과, 4×4 행렬의 QR 분해에 대한 제안 구조는 기존의 Householder 코딩 기반의 구조에 비해 47%의 QAR(QRD Rate/Gate count) 향상과 28%의 전력을 절감할 수 있었다.

Key words : QR Decomposition, MIMO, Givens Rotation, Householder, Multidimensional CORDIC

I. 서론

Multiple-input and multiple-output (MIMO) 시스템

* Dept. of Electrical Engineering, Korea University

★ Corresponding author

jongsun@korea.ac.kr, 02-3290-3669

※ Acknowledgment

This work is supported by National Research Foundation (NRF) Grant funded by the Korea Government (MEST) (No. 2012-0020128).

Manuscript received Mar. 14, 2014; revised Mar. 24, 2014; accepted Mar 24, 2014

템은 높은 주파수 효율과 링크 안정성 때문에 IEEE 802.11ac (WLAN)과 같은 표준이나 long term evolution (LTE) 등의 어플리케이션에서 널리 채택되고 있다[1]. 복잡한 MIMO 알고리즘에 기반한 연산이 모바일 기기에서 수행되기 위해서, MIMO 수신기의 저전력·고속 VLSI 구현이 중요한 관심사가 되어 왔다. MIMO 수신기의 핵심 연산 중 하나는 MIMO detector에서 필요한 상삼각 R 행렬의 생성을 위한 삼각화 연산이라고 할 수 있다 [2-3]. QR 분해는 높은 안정성을 갖는 특성과 least square solution을 찾는 능력으로 인해 역행렬 도출이나 행렬의 삼각화를 수행하는데 널리 사용되어 왔다 [4]. Advanced 4G

무선 통신 표준들은 높은 처리량과 많은 안테나 배치를 갖는 MIMO 시스템들을 필요로 하는데, 이를 위해서는 복잡한 QR 분해가 매우 자주 수행되어야 한다. QRD 하드웨어에 대한 대부분의 이전 연구들은 이런 MIMO 시스템의 증가한 data rate를 만족시키기 위해 하드웨어 속도를 향상시키는 것에 집중해왔고, 그 결과 큰 하드웨어 면적과 전력 소모가 필요해졌다. 하지만, 높은 속도를 유지하면서 저 복잡도와 저 전력을 소모하는 QRD 하드웨어의 구현 또한 휴대용 통신 기기의 배터리 수명 증가를 위해서는 반드시 고려해야 할 사항이다.

Coordinate rotation digital computer (CORDIC) 은 덧셈기와 쉬프트만으로 구현이 가능하기 때문에 QRD 하드웨어에 흔하게 사용되어 왔다 [5]. 코딩 기반의 QRD 하드웨어 구현에는 기븐스 회전(GR) 알고리즘이 가장 널리 사용된다. 하지만, 기븐스 회전은 일반적으로 순차적인 zero insertion 동작으로 인해 높은 대기시간을 갖는데 [6], 이는 향상된 무선 통신 표준의 요구사항을 충족시키는데 장애물이 된다. 이 문제를 극복하기 위하여, zero insertion의 병렬 처리 정도를 증가 시킨 고속 기븐스 회전 기반 QRD 구조가 제안되었으나 [7-8], 기븐스 회전 알고리즘을 이용한 병렬 zero insertion은 큰 연산 복잡도를 유발한다[8]. 고속 QRD 하드웨어의 다른 해결 방법으로 하우스홀더(HH) 코딩 알고리즘과[9-10] 다차원(MD) 코딩 알고리즘[11] 또한 제안되었다. 고속 하우스홀더 혹은 다차원 기반 QRD는 고속 기븐스 회전 기반의 QRD와 비교하여 상대적으로 작은 복잡도를 가지지만[8], 그럼에도 불구하고 고속 QRD의 하드웨어 오버헤드는 여전히 매우 크다.

본 논문에서는, 여러 코딩 기반 QR 분해 알고리즘들을 고속·저복잡도 관점에서 조합하여 각각의 열에 대한 zero insertion 동작들을 동시에 수행하는 저 복잡도 QRD 구조를 제안한다.

II. 기존 코딩 기반 QR 분해 알고리즘

N_t 개의 전송 안테나와 N_r 개의 수신 안테나를 포함하는 공간 다중 방식 MIMO 시스템을 고려하면, 이산 시간의 수신 신호, y 는 아래와 같이 표현할 수 있다.

$$y = Hx + n \tag{1}$$

수식 (1)에서 y 는 $(N_r \times 1)$ 사이즈의 수신 신호 벡터, x 는 $(N_t \times 1)$ 사이즈의 전송 신호 벡터이고, H 는 $(N_r \times N_t)$ 사이즈의 복소 채널 행렬, n 은 $(N_r \times 1)$ 사

이즈의 AWGN 벡터이다. QR 분해는 복소 채널 행렬 H 를 직교 행렬 Q 와 상삼각행렬 R 의 곱으로 분해하는 과정이며, 이는 다음과 같이 표기할 수 있다.

$$H = QR \tag{2}$$

H 의 왼쪽에 역행렬 Q^{-1} 을 곱함으로써, 상삼각행렬 R 은 (3)과 같이 표현할 수 있다. Θ_i 가 해당하는 복소 성분을 나타낼 때 2×2 복소행렬이 (4)와 같다고 한다면, Q^{-1} 은 3개 행렬들의 곱으로 나타내어질 수 있다. 코딩 기반의 QRD 과정에서는 각각의 행렬 ($Q_{RT,1}^{-1}$, $Q_{ZL,1}^{-1}$, $Q_{RT,2}^{-1}$)의 곱셈을 반복적으로 수행한다.

$$R = Q^{-1}H = (Q_{RT,2}^{-1} \cdot Q_{ZL,1}^{-1} \cdot Q_{RT,1}^{-1})H \tag{3}$$

$$H = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} = \begin{bmatrix} |h_{11}|e^{j\theta_{11}} & |h_{12}|e^{j\theta_{12}} \\ |h_{21}|e^{j\theta_{21}} & |h_{22}|e^{j\theta_{22}} \end{bmatrix} \tag{4}$$

$Q_{RT,1}^{-1}$, $Q_{RT,2}^{-1}$ 은 (5)에서 표현된 것과 같이 다른 알고리즘들에 대해서도 같은 방법으로 생성되지만, 행렬 $Q_{ZL,1}^{-1}$ 은 (6)과 (7)에서 나타나듯이 기븐스 회전과 하우스홀더 알고리즘에서 각각 다르게 생성된다. 여기서 n 은 코딩 반복(iteration)의 인덱스를 뜻한다.

$$Q_{RT,1}^{-1} = \begin{bmatrix} e^{-j\theta_{11}} & 0 \\ 0 & e^{-j\theta_{21}} \end{bmatrix}, \quad Q_{RT,2}^{-1} = \begin{bmatrix} 1 & 0 \\ 0 & e^{-j\theta_{22}} \end{bmatrix} \tag{5}$$

$$Q_{ZL,1(GR)}^{-1} = \prod \frac{1}{\sqrt{1+2^{-2n}}} \begin{bmatrix} 1 & 2^{-n} \text{sign}(h_{21}^{*,n}) \\ -2^{-n} \text{sign}(h_{21}^{*,n}) & 1 \end{bmatrix} \tag{6}$$

$$Q_{ZL,1(HH)}^{-1} = \prod \frac{1}{1+2^{-2n}} \begin{bmatrix} 1-2^{-2n} & 2^{-(n-1)} \cdot \text{sign}^n \\ -2^{-(n-1)} \cdot \text{sign}^n & 1-2^{-2n} \end{bmatrix} \tag{7}$$

여기서 Θ_i^* 는 $Q_{ZL,1}^{-1} \cdot Q_{RT,1}^{-1} \cdot H$ 의 상응하는 복소 성분을 나타내고, $h_{i1}^{*,n}$ 은 n 번째 코딩 반복에서 $Q_{ZL,1}^{-1}$ 곱셈의 i 위치의 복소 성분을 나타내며, sign^n 은 n 번째 코딩 반복의 $h_{11}^{*,n} \cdot h_{21}^{*,n}$ 의 부호를 나타내고, $\Theta_{1\&2} = \tan(|h_{21}|/|h_{11}|)$ 와 같다. 일반적으로 코딩 기반의 QRD 알고리즘들은 하드웨어 구현에서 각각 나름의 이점을 갖고 있다. 2×2 채널 매트릭스의 QRD 과정에서,

하우스홀더 알고리즘이 Q_{ZL1}^{-1} 의 대각 성분에 추가적인 뺄셈 연산을 갖고 있으므로 연산 복잡도를 감소시키기 위해서는 기븐스 회전 알고리즘이 하우스홀더 알고리즘 보다 적절한 선택이다. 반대로 하우스홀더 알고리즘은 $k > 2$ 인 $k \times k$ 행렬에서 처리량 관점으로 볼 때 기븐스 회전과 비교하여 장점이 있다[11].

III. 제안하는 복합 QR 분해 방법

큰 공간 차원을 갖는 MIMO 시스템을 위한 저 복잡도 고속 QRD 하드웨어 설계를 위하여, 본 논문에서는 다양한 코딩 기반의 QRD 알고리즘들을 최적으로 조합하는 QRD 방식을 제안한다. 제안하는 방법을 위한 사례 연구를 위해 4×4 복소 행렬을 H 라고 가정하자. 일반적인 코딩 기반 QRD 과정은 (8)부터 (11)처럼 표현할 수 있다. (8)부터 (10)에는 첫 번째, 두 번째 그리고 세 번째 열의 zero insertion 과정이 나타나 있다. 여기서 행렬 Q_{RT1}^{-1} , Q_{RT2}^{-1} , Q_{RT3}^{-1} 는 QRD 알고리즘에 관계없이 유일하게 생성된다. 반면에, 행렬 Q_{ZL1}^{-1} , Q_{ZL2}^{-1} , Q_{ZL3}^{-1} 는 먼저 QRD 알고리즘이 각 열에 대해 정해지면, 정해진 QRD 알고리즘에 따라 다른 방식으로 생성된다.

$$\mathbf{H}_1 = (\mathbf{Q}_{ZL1}^{-1} \cdot \mathbf{Q}_{RT1}^{-1}) \mathbf{H} = \begin{bmatrix} |h_{11}^1| & h_{12}^1 & h_{13}^1 & h_{14}^1 \\ 0 & h_{22}^1 & h_{23}^1 & h_{24}^1 \\ 0 & h_{32}^1 & h_{33}^1 & h_{34}^1 \\ 0 & h_{42}^1 & h_{43}^1 & h_{44}^1 \end{bmatrix} \quad (8)$$

$$\mathbf{H}_2 = (\mathbf{Q}_{ZL2}^{-1} \cdot \mathbf{Q}_{RT2}^{-1}) \mathbf{H}_1 = \begin{bmatrix} |h_{11}^1| & h_{12}^1 & h_{13}^1 & h_{14}^1 \\ 0 & |h_{22}^2| & h_{23}^2 & h_{24}^2 \\ 0 & 0 & h_{33}^2 & h_{34}^2 \\ 0 & 0 & h_{43}^2 & h_{44}^2 \end{bmatrix} \quad (9)$$

$$\mathbf{H}_3 = (\mathbf{Q}_{ZL3}^{-1} \cdot \mathbf{Q}_{RT3}^{-1}) \mathbf{H}_2 = \begin{bmatrix} |h_{11}^1| & h_{12}^1 & h_{13}^1 & h_{14}^1 \\ 0 & |h_{22}^2| & h_{23}^2 & h_{24}^2 \\ 0 & 0 & |h_{33}^3| & h_{34}^3 \\ 0 & 0 & 0 & h_{44}^3 \end{bmatrix} \quad (10)$$

$$\mathbf{R} = (\mathbf{Q}_{RT4}^{-1}) \mathbf{H}_3 = \begin{bmatrix} |h_{11}^1| & h_{12}^1 & h_{13}^1 & h_{14}^1 \\ 0 & |h_{22}^2| & h_{23}^2 & h_{24}^2 \\ 0 & 0 & |h_{33}^3| & h_{34}^3 \\ 0 & 0 & 0 & |h_{44}^4| \end{bmatrix} \quad (11)$$

예를 들어, 각각 하우스홀더와 다차원 알고리즘으로 생성된 코딩 반복의 i 번째 행렬 Q_{ZL1}^{-1} 이 (12)와 (13)에 나타나 있다. 이와 유사하게, 행렬 Q_{ZL2}^{-1} 와 Q_{ZL3}^{-1} 도 QRD 알고리즘이 기븐스 회전, 하우스홀더, 다차원 중 어느 것인지에 따라 다른 방식으로 정해진다 [8-10].

기존 QRD 방식의 가장 큰 문제점은 QRD 알고리즘이 정해짐에 따라 행렬 Q_{ZL1}^{-1} , Q_{ZL2}^{-1} , Q_{ZL3}^{-1} 이 정해진 알고리즘에 의해 아무 고려 없이 결정된다는 것이다. 본 논문에서는, 이런 문제점을 해결하기 위해 다양한 코딩 기반 QRD 알고리즘들에 의해 생성되는 행렬 Q_{ZL1}^{-1} , Q_{ZL2}^{-1} , Q_{ZL3}^{-1} 의 연산 과정을 연산 복잡도와 대기시간 측면에서 분석하였다. N 이 코딩 반복의 횟수를 나타내고, $M = N(N+1)$ 일 때, 3 가지 다른 연

$$\mathbf{Q}_{ZL1(M)}^{-1} = A_1^{MM} \begin{bmatrix} 1-3\alpha & 2\text{sgn}_1^1 \beta & 2\text{sgn}_1^1 \beta & 2\text{sgn}_1^1 \beta \\ -2\text{sgn}_1^1 \beta & 1+\alpha & -2\text{sgn}_1^1 \text{sgn}_2^1 \alpha & -2\text{sgn}_1^1 \text{sgn}_3^1 \alpha \\ -2\text{sgn}_1^1 \beta & -2\text{sgn}_1^1 \text{sgn}_2^1 \alpha & 1+\alpha & -2\text{sgn}_1^1 \text{sgn}_3^1 \alpha \\ -2\text{sgn}_1^1 \beta & -2\text{sgn}_1^1 \text{sgn}_2^1 \alpha & -2\text{sgn}_1^1 \text{sgn}_3^1 \alpha & 1+\alpha \end{bmatrix} \quad (12)$$

$$\mathbf{Q}_{ZL1(MD)}^{-1} = A_1^{MD} \begin{bmatrix} 1 & -\text{sgn}_1^1 \beta & -\text{sgn}_2^1 \beta & -\text{sgn}_3^1 \beta \\ \text{sgn}_1^1 \beta & 1 & \text{sgn}_3^1 \beta & -\text{sgn}_2^1 \beta \\ \text{sgn}_2^1 \beta & -\text{sgn}_3^1 \beta & 1 & \text{sgn}_1^1 \beta \\ \text{sgn}_3^1 \beta & \text{sgn}_2^1 \beta & -\text{sgn}_1^1 \beta & 1 \end{bmatrix} \quad (13)$$

where $A_1^{MM} = 1/(1+2 \cdot 2^{-2N})$, $A_1^{MD} = 1/\sqrt{1+3 \cdot 2^{-2N}}$, $\alpha = 2^{-2N}$, $\beta = 2^{-N}$,

$\text{sgn}_1^1 = \text{sign}(x_1^1 \cdot x_2^1)$, $\text{sgn}_2^1 = \text{sign}(x_1^1 \cdot x_3^1)$, $\text{sgn}_3^1 = \text{sign}(x_1^1 \cdot x_4^1)$

산 과정(Q_{ZL1}^{-1} , Q_{ZL2}^{-1} , Q_{ZL3}^{-1})에 대한 분석이 표 1과 같이 주어진다. 표 1에 기반하여, 제안된 QRD 방식은 먼저 Q_{ZL1}^{-1} 을 구현할 최적의 알고리즘을 선택한다. 향상된 무선 통신 표준에서 가장 높은 우선순위는 높은 속도를 유지하는 것이기 때문에, 하우스홀더와 다차원 알고리즘이 두 가지 가능한 후보가 된다. 여기서 두 알고리즘 중 하우스홀더 알고리즘보다 낮은 복잡도로 인해서 다차원 알고리즘을 최종 선택한다. Q_{ZL2}^{-1} 에 대해서는 가장 낮은 대기시간을 갖는 다른 알고리즘들에 비해 낮은 복잡도를 보여주는 하우스홀더 알고리즘을 선택한다. 비슷한 방법으로, 마지막

Q_{ZL3}^{-1} 은 기븐스 회전 알고리즘을 선택한다. 제안된 QRD 방식은 임의의 차원의 채널 매트릭스에 적용 가능하며, 채널 매트릭스의 차원이 커질수록 그 효과도 점진적으로 증가한다. 매트릭스 차원의 증가에 따른 제안하는 방식의 효과는 5장(V)에서 실험적으로 분석하였다.

Table 1. Analysis of latency and computational complexity for different 4×4 QRD algorithms..

표 1. 4×4 QRD 알고리즘들의 대기시간과 연산복잡도 분석

QRD 유형	HH[9]			MD[11]			GR[7]			
곱셈 행렬	Q_{ZL1}^{-1}	Q_{ZL2}^{-1}	Q_{ZL3}^{-1}	Q_{ZL1}^{-1}	Q_{ZL2}^{-1}	Q_{ZL3}^{-1}	Q_{ZL1}^{-1}	Q_{ZL2}^{-1}	Q_{ZL3}^{-1}	
대기 시간 (클럭 주기)	N			N			2N		N	
연산 복잡도	덧셈	119N	35N	12N	84N	95N	6N	42N	20N	6N
	부호 반전	84N	30N	6N	84N	50N	6N	42N	20N	6N
	쉬프트	28M+21	15M+14	3M+2	14M	15M+15	3M	10.5M	5M	3M
	XOR	6N	3N	N	3N	3N	0	0	0	0

IV. 제안하는 복합 QR 분해 구조

제안하는 QRD 방식에 기반한 4×4 QRD 구조는 그림 1과 같이 나타낼 수 있다. 그림에서 회색, 검정색, 흰색 사각형은 각각 다차원 코딩, 하우스홀더, 기븐스 회전 알고리즘에 기반한 코딩 모듈을 보여준다. 사각

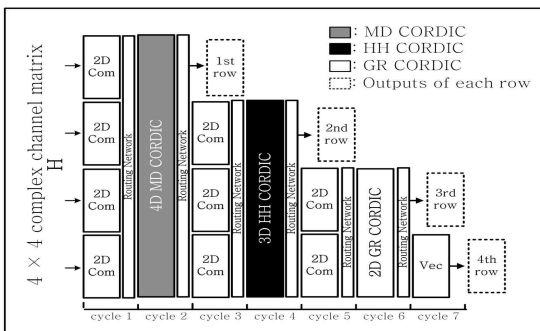


Fig. 1. The proposed 4×4 QRD architecture
그림 1. 제안하는 4×4 QRD 구조

형 안의 숫자는 각 코딩 모듈의 차원을 의미하며, 단

위 코딩 모듈의 대기시간을 사각형 밑의 cycle로 나타낸다. Cycle 1, 3, 5에서 행렬 Q_{RT1}^{-1} , Q_{RT2}^{-1} , Q_{RT3}^{-1} 의 곱셈을 수행하는 compact 코딩 모듈을 Com으로 나타낸다[12]. 3장(III)에서 분석했듯이, cycle 2, 4, 6에서 수행하는 행렬 Q_{ZL1}^{-1} , Q_{ZL2}^{-1} , Q_{ZL3}^{-1} 의 곱셈은 각각 다차원 코딩, 하우스홀더, 기븐스 회전을 구현한 코딩 모듈을 사용한다. QRD 과정의 마지막 단계인 cycle 7에서, 4행 4열의 복소 성분을 실수로 전환하는 데에는 코딩 모듈의 벡터링 방식을 사용한다. 여기서 각 코딩의 대기시간은 8 클럭 주기로 정하는데, 이는 라디안으로 표시하는 평균 잔여 각 오

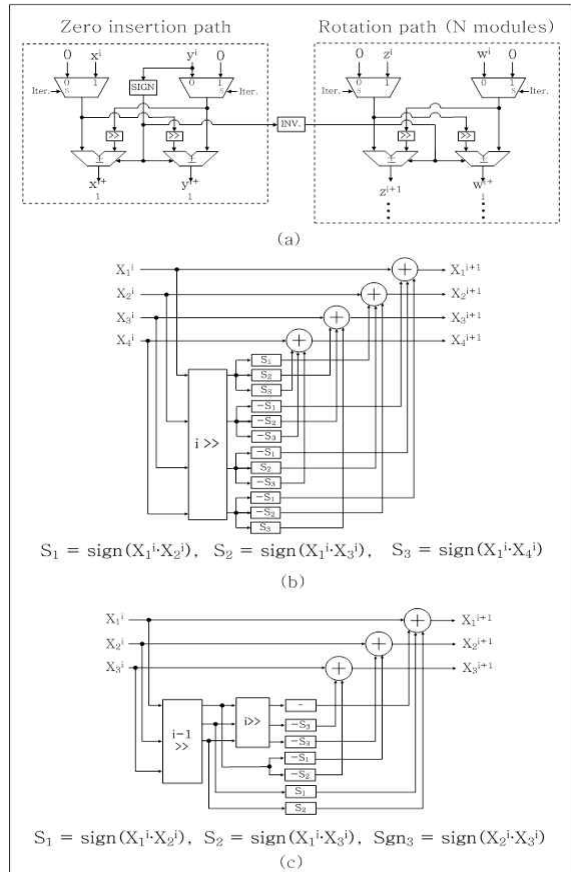


Fig. 2. The component of the 4×4 QRD architecture
(a) N-D Compact CORDIC 모듈 (b) 4D 다차원 코딩 기본 유닛 (c) 3D 하우스홀더 코딩 기본 유닛

그림 2. 4×4 QRD architecture의 구성 요소 (a) N-D Compact 코딩 모듈 (b) 4D 다차원 코딩 기본 유닛 (c) 3D 하우스홀더 코딩 기본 유닛
류를 10^{-2} 보다 낮추어[13] 충분한 정확도를 갖는 결과 값을 도출하도록 만든다. 따라서 채널 매트릭스의

입력 중 가장 첫 입력 값에 대한 결과 값은 첫 입력 후 56 클럭 주기 후에 나오며, 이후부터는 각 코딩 모듈의 연결 부분에 적용된 파이프라이닝으로 인해 결과 값을 대응되는 채널 매트릭스의 입력 후 8 클럭 주기 후에 얻을 수 있다.

제안하는 구조의 각 구성 요소는 그림 2.에 나타나 있다. 그림 2 (a)의 N-D compact 코딩은 zero insertion path와 rotation path으로 나뉜다. 여기서 zero insertion path는 (5-N)번째 열의 zero insertion 과정을 수행하고, rotation path는 나머지 (N-1) 부분에 대한 행렬 곱을 수행한다. 4D 다차원 코딩과 3D 하우스홀더 코딩의 기본 단위 모듈은 그림 2. (b)와 (c)에 각각 제시하였다. 기본 모듈은 같은 열의 성분 대하여 동작을 수행하며, 실수와 허수 부분을 독립적으로 실행한다. 4D 다차원 코딩과 3D 하우스홀더 코딩 모듈은 전체 7개(=1(첫 번째 열)+3(첫 번째 열을 제외한 나머지 3열의 실수 성분)+3(나머지 3열의 허수 성분))와 5개(=1(두 번째 열)+2(첫 번째, 두 번째 열을 제외한 2열의 실수 성분)+2(첫 번째, 두 번째 열을 제외한 2열의 허수 성분))의 기본 모듈을 각각 필요로 한다.

Table 2. Comparison with the conventional 4 × 4 QR decomposition architectures.

표 2. 기존 4 × 4 QR 분해 구조와의 비교

	[6]	[8]	[10]	제안구조
공정(μm)	0.13	0.18	0.13	0.13
QRD 유형	GR	GR	HH	MD,HH,GR
대기시간 (클럭주기)	67	4	8	8
최대 동작 주파수 (MHz)	125	100	215	250
Gate count (2nnd)	54K	111K	83.7K	66.1K
QRD Rate[8]	1/536n	1/40n	1/37.2n	1/32n
QAR (QRD Rate/Gatecount)	34.5	225.2	321.1	472.7
전력 소모(mW) @215MHz	N/A	N/A	26.7	19.2

V. 실험 결과

표 2.에서는 제안하는 구조와 기존 고속 QRD 구조를 비교하였다. 제안하는 QRD 방식을 적용함으로써, 제안하는 구조의 gate count가 더 적은 것을 볼 수

있다[10]. 여기서, 제안하는 구조를 적용함으로써 줄어든 최대 지연시간 때문에 동작 주파수 또한 증가한다. [10]과 제안하는 구조에 대해, Primitime-PX[14]를 사용하여 동작주파수 215MHz, 공급 전압 1.2V에서 전력 소모를 측정하였다. BER 성능 측면에서는, QRM-MLD 기반 64-QAM MIMO 검출기(M=16)에 적용하였을 때, 제안하는 구조가 [10]와 15dB에서 30dB까지 비슷하였다. BER 그래프에서 제안하는 구조와 [10]의 Eb/N0 축 최대 차이도 0.1dB 미만이었다. 결과적으로, 제안하는 구조는 기존 연구들에 비해 작은 성능 저하로 최고의 QRD rate Area Ratio(QAR)을 보인다.

표 3에서는 제안하는 구조의 연산 복잡도를 하우스홀더, 다차원 코딩 방법의 연산 복잡도와 높은 차원의 행렬에서 비교하였다. 그리고 두 가지 가장 복잡한 연산에 대한 (연산량/반복횟수)를 나타냈는데, 특별히 가장 복잡한 덧셈 연산에서 채널 매트릭스 차원의 증가에 따라 그 감소 비율이 매우 큼을 알 수 있다. 8×8 행렬의 경우, 제안하는 구조를 적용했을 때, 하우스홀더와 다차원 코딩 방식과 비교하여 각각 45.3%와 29.5%의 덧셈연산이 줄어든다. 최근의 4G 무선 통신 표준은 8개의 복수 안테나 지원을 필요로 하기 때문에, 제안하는 구조는 미래의 휴대용 기기에 더욱 많이 적용될 것으로 보인다.

Table 3. Computational complexity comparisons for diferent QR decomposition architectures.

표 3. 다양한 QR 분해 구조들의 연산 복잡도 비교

QRD 알고리즘	HH[9]		MD[11]		제안 알고리즘		
	덧셈	부호 반전	덧셈	부호 반전	덧셈	부호 반전	
연산량/ 반복횟수 (비율,%)	5×5	396 (100)	344 (100)	486 (123)	342 (99.4)	294 (74.2)	278 (80.8)
	6×6	864 (100)	564 (100)	1077 (125)	690 (122)	561 (64.9)	518 (91.8)
	7×7	1599 (100)	954 (100)	1739 (109)	1154 (121)	959 (59.9)	894 (93.7)
	8×8	2687 (100)	1584 (100)	2430 (90.4)	1720 (109)	1470 (54.7)	1400 (88.3)

VI. 결론

본 논문에서는, 다양한 코딩 기반 QRD 알고리즘의 최적의 조합을 가능하게 하는 제안된 QRD 방법을 통한 저 복잡도 고속 QRD 구조를 제시하였다. 제안된

접근 방식은 임의의 차원의 채널 매트릭스에 적용가능하다. 본 논문의 QRD 설계는 삼성 0.13 μ m 공정으로 구현되었으며, 제안된 구조는 47%의 QAR (QRD Rate/Gate count) 향상과 28.1%의 전력 절감효과를 갖는다. 실험결과 8 × 8 복소행렬의 QRD에 대해서 기존의 하우스홀더 방법과 비교하여 45.3%의 덧셈연산이 감소하였다. 본 논문에서 제시한 아이디어는 향상된 무선 통신 표준의 QRD 구현에 기여할 것으로 사료된다.

References

- [1] Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: Enhancements for Very High Throughput for Operation in Bands Below 6GHz, IEEE P802.11ac/D 1.0 Standard, Jan. 2011.
- [2] S. Haykin, Communication Systems, 4th ed. New York: Wiley, 2000.
- [3] M. Shabany, P. Gulak, "A 675 Mbps, 4x4 64-QAM K-Best MIMO Detector in 0.13 μ m CMOS," IEEE Trans. Very Large Scale Integr.(VLSI) Syst., vol. 20, no. 1, Jan. 2012.
- [4] M. Lei, K. Dickson, J. McAllister, and J. Mc Canny, "QR decomposition-based matrix inversion for high performance embedded mimo receivers," Signal Processing, IEEE Transactions on, vol. 59, no. 4, pp. 1858-1867, 2011.
- [5] P. K. Meher, J. Valls, J. Tso-Bing, K. Sridharan, and K. Maharatna, "50 years of cordic: Algorithms, architectures, and applications," Circuits and Systems I: Regular Papers, IEEE Transactions on, vol. 56, no. 9, pp. 1893-1907, 2009.
- [6] P. Luethi, A. Burg, S. Haene, D. Perels, N. Felber, and W. Fichtner, "VLSI Implementation of a High-Speed Iterative Sorted MMSE QR Decomposition," in Proc. IEEE ISCAS 2007, pp. 1421-1424, May 2007.
- [7] Min-Woo Lee, Ji-Hwan Yoon, and Jongsun Park, "High-Speed Tournament Givens Rotation-based QR Decomposition Architecture for MIMO Receiver," in Circuit and Systems (ISCAS), 2012 IEEE international Symposium on, May 2012.
- [8] Z. Huang, P. Tsai, "Efficient Implementation of QR Decomposition for Gigabit MIMO-OFDM Systems," Circuits and Systems I: Regular Papers, IEEE Transactions on, vol.58, no.10, pp.2531-2542, Oct. 2011.
- [9] J. Delosme and S. Hsiao, "Householder CORDIC algorithms," IEEE Trans. Comput., vol. 44, no. 8, pp. 990-1001, Aug. 1995.
- [10] Kurniawan. I. H., Ji-Hwan Yoon, and Jongsun Park, "Multidimensional Householder based high-speed QR decomposition architecture for MIMO receivers," in Circuit and Systems (ISCAS), 2013 IEEE international Symposium on, May 2013.
- [11] S. Hisao, J. Delosme, Multi-dimensional CORDIC algorithms, 1993.
- [12] Jae-Woong Han, Young-Beom Jang, "A Residual Frequency Offset Synchronization Scheme Using a Simplified CORDIC Algorithm in OFDM Systems," Communications Theory Workshop, 2009. AusCTW2 009. Australian, vol., no., pp.67,70, 4-7 Feb. 2009.
- [13] C. Wu, A. Wu, "Modified vector rotational CORDIC (MVR-CORDIC) algorithm and architecture," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, vol.48, no.6, pp.548,561, Jun 2001.
- [14] Synopsys PrimeTime User's Manual, <http://www.synopsys.com>

BIOGRAPHY



Shin Dongyeob (Student Member)
 2013 : B.S. degree in Electrical Engineering, Korea University.
 2013~ : Graduate student toward M.S and Ph.D. degree in Electrical Engineering, Korea University.

Kim Chulwoo (Member)



1994 : B.S. degree in Electrical Engineering, Korea University.

1996 : M.S. degree in Electrical Engineering, Korea University.

2001 : Ph.D. degree in Electrical and Computer Engineering, University of

Illinois at Urbana-Champaign, US.

2002~ : Professor, Department of Electrical Engineering, Korea University.

Park Jongsun (Member)



2000 : B.S. degree in Electrical Engineering, Korea University.

2005 : M.S. and Ph.D. degree in Electrical and Computer Engineering, Purdue University, US.

2005~2008 : Marvell Semiconductors Staff Design Engineer.

2008~ : Associate Professor, Department of Electrical Engineering, Korea University.