

파워 클램프용 래치-업 면역 특성을 갖는 SCR 기반 ESD 보호회로

The SCR-based ESD Protection Circuit with High Latch-up Immunity for Power Clamp

최 용 남*, 한 정 우*, 남 종 호*, 광 재 창**, 구 용 서**

Yong-Nam Choi*, Jung-Woo Han*, Jong-Ho Nam*, Jae-Chang Kwak**,
Yong-Seo Koo**

Abstract

In this paper, SCR(Silicon Controlled Rectifier)-based ESD(Electrostatic Discharge) protection circuit for power clamp is proposed. In order to improve latch-up immunity caused by low holding voltage of the conventional SCR, it is modified by inserting n+ floating region and n-well, and extending p+ cathode region in the p-well. The resulting ESD capability of our proposed ESD protection circuit reveals a high latch-up immunity due to the high holding voltage. It is verified that electrical characteristics of proposed ESD protection circuit by Synopsys TCAD simulation tool. According to the simulation results, the holding voltage is increased from 4.61 V to 8.75 V while trigger voltage is increased form 27.3 V to 32.71 V, respectively. Compared with the conventional SCR, the proposed ESD protection circuit has the high holding voltage with the same triggering voltage characteristic.

요 약

본 논문에서는 파워 클램프에 적용하기 위한 SCR 기반의 ESD 보호회로를 제안하였다. 기존 SCR 구조의 낮은 홀딩 전압에 의한 래치-업 문제를 개선하기 위해 n+ 플로팅 영역을 삽입하고 추가적인 n-웰과 p-웰까지 확장된 p+ 캐소드 영역을 통해 높은 홀딩 전압을 가질 수 있도록 고안되었다. 제안된 ESD 보호회로는 높은 홀딩 전압을 통해 정상 동작 상태에서의 래치-업 면역 특성을 확보하였으며, 우수한 ESD 보호 능력을 가진다. 제안된 ESD 보호회로는 Synopsys사의 TCAD 시뮬레이션을 통해 전기적 특성을 검증하였다. 시뮬레이션 결과, 트리거 전압은 약 27.3 V에서 최대 32.71 V 사이에서 변화하는 반면, 홀딩 전압은 4.61 V에서 최대 8.75 V까지 상승하는 것을 확인하였다. 따라서 제안된 ESD 보호회로는 트리거 전압은 기존 SCR과 비슷한 수준을 유지하면서 높은 홀딩 전압을 갖는다.

Key words : ESD, Power Clamp, SCR, Holding voltage, Trigger voltage

* Dept. of Electronics and Electrical Engineering,
Dankook University
supremeyn@gmail.com 010-6655-0345

** Dept. of Computer Science, Seokyeong
University

★ Corresponding author +82-31-8005-3643
yskoo@dankook.ac.kr

※ Acknowledgment

This work was supported by the Technology
Innovation Program, 10041135, Development of Multi

Functional Power Management IC for Smart Mobile
Devices funded by the Ministry of Knowledge
Economy(MKE, KOREA) and the Ministry of Science,
ICT & Future Planning, Korea, under the University
ITRC support program supervised by the National IT
Industry Promotion Agency (NIPA-2013-H0301-13-1007)

Manuscript received Dec. 12, 2013; revised Feb. 07,
2014 ; accepted Feb. 10. 2014

I. 서론

반도체 공정 기술의 발전은 IC의 고집적화, 고속화 등을 이룰 수 있게 하였지만, 게이트 산화막 두께 및 선폭의 감소는 ESD(Electrostatic Discharge) 현상에 의한 손상에 취약하게 만들고 감내특성을 저하하는 요인이 된다[1]. ESD 및 EOS(Electrical Overstress) 현상에 의한 집적회로의 손상은 전체 손상 요인의 30% 이상을 차지할 정도로 제품의 신뢰성에 주요한 문제로 고려되고 있다[2]. 이러한 ESD에 의한 피해를 막기 위해 보호회로에 대한 연구가 활발히 진행 중이며 다양한 소자들이 개발되었다[3].

ESD 전류를 우회시켜 내부 회로의 의한 손상을 방지하기 위한 대표적인 보호회로로 GGNMOS(Gate Grounded NMOS)와 SCR(Silicon Controlled Rectifier) 기반의 보호회로가 널리 사용된다. GGNMOS는 일반적인 NMOS의 게이트와 소스를 접지로 연결하여 구성하기 때문에 CMOS 공정에 완벽히 적용할 수 있고 내부 기생 NPN BJT 동작에 의한 방전 경로를 통해 효율적인 보호가 가능하다. 하지만 낮은 전류 구동 능력과 표면에 발생하는 높은 전류 밀도에 의해 상대적으로 큰 면적을 소모하는 문제를 가진다.

SCR은 상대적으로 작은 면적으로도 내부 정계환 동작에 의한 높은 전류 구동 능력과 감내 특성을 가진다. 하지만 약 2 V 정도의 낮은 홀딩 전압과 약 20V의 높은 트리거 전압 특성으로 실제 집적회로에 적용하기 어려운 문제가 있다[4]. 낮은 홀딩 전압은 내부 회로의 정상 동작 시, 노이즈 등에 의한 래치-업(Latch-up)을 야기하여 내부 회로의 동작에 영향을 미칠 수 있다[5].

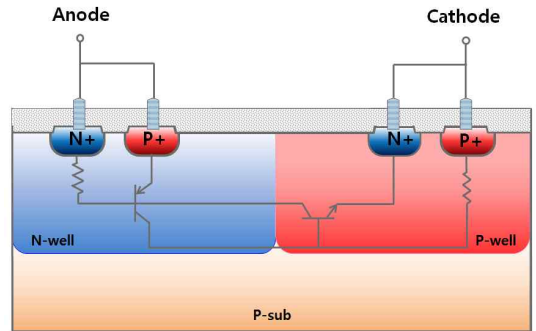
특히 고전압 어플리케이션 회로의 경우, 전류 구동 능력의 감소와 래치-업 가능성의 심화 등 다양한 문제들로 ESD에 대한 보호가 더욱 어려워지고 있다[6]. 특히 커크 효과(Kirk effect)에 의한 강한 스넵백 현상은 래치-업 발생 가능성을 증가시키기 때문에, 고전압 회로에 적용이 어렵고 래치-업 특성이 개선된 ESD 보호회로의 필요성이 대두되고 있다[7].

따라서 본 논문에서는 래치-업 특성을 개선하여 높은 홀딩 전압을 갖는 SCR 기반 ESD 보호회로를 제안하였으며, 설계 변수에 따른 특성을 분석하였다.

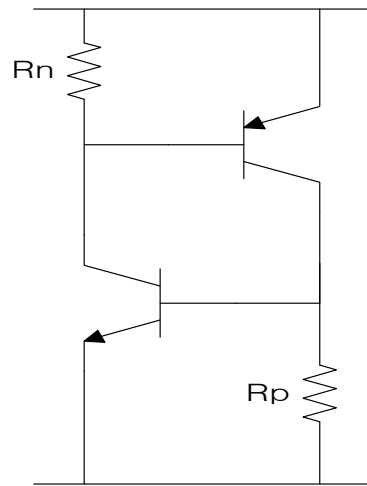
II. 본론

1. 제안된 ESD 보호회로

그림 1은 기존의 일반적인 SCR 구조의 단면도를



(a)



(b)

Fig. 1. Cross-sectional View of the conventional SCR and its equivalent circuit

그림 1. 일반적인 SCR의 단면도 및 등가회로

나타내고, 그림의 R_p , R_n 는 각각 p-웰과 n-웰의 저항을 표시한다. 일반적인 회로의 정상 동작 시엔, n-웰과 p-웰 사이의 접합은 역바이어스가 형성되어 ESD 보호회로로의 전류 형성을 방지한다. ESD가 인가되었을 시, 에벌랜치 항복이 발생하는 임계 전압까지 애노드 단의 전압이 상승하게 되면 항복에 의해 생성된 전자-정공쌍(Electron-Hole Pairs)에 의한 전류는 기생 NPN 트랜지스터를 동작시킨다. NPN 동작에 의한 전류는 n-웰에서의 전압 강하를 형성, 기생 PNP의 베이스 전류를 공급하며 기생 PNP 역시 턴-온 시킨다. 기생 PNP의 전류는 NPN의 베이스 전류로 공급되며 정계환 동작을 하게 되며 방전 경로를 형성한다. 하지만 이러한 사이리스터의 정계환 동작은 약 2 V의 매우 낮은 홀딩 전압을 야기한다. 낮은 홀딩 전압은 정상 동작 상태에서 래치-업 문제를 야

기할 수 있다. 따라서 레치-업 면역성을 향상시키기 위해 n+ 플로팅 영역과 p-drift 영역을 삽입한 SCR 기반 ESD 보호회로를 제안하였다.

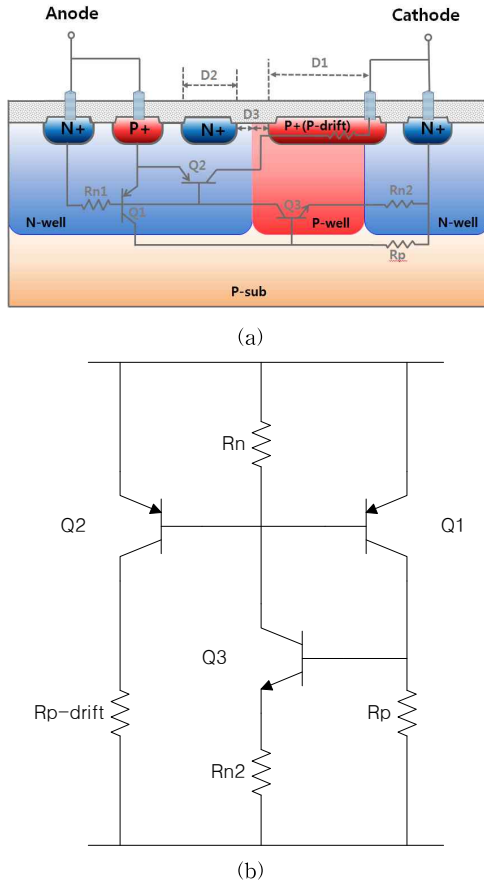


Fig. 2. Cross-sectional View of the proposed SCR-based ESD protection circuit and its equivalent circuit
 그림 2. 제안된 SCR 기반의 ESD 보호회로의 단면도 및 등가회로

제안된 ESD 보호회로의 단면도는 그림 3과 같다. 제안된 보호회로는 n-웰에 n+ 플로팅 영역을 삽입하고 캐소드 부분에 추가적인 n-웰을 형성하여 p+ 캐소드 영역을 중앙의 p-웰까지 확장시킴으로써 추가적인 PNP 트랜지스터에 의한 전류 경로 형성과 전류 이득 감소에 의한 높은 홀딩 전압을 유도하였다.

제안된 보호회로의 동작은 다음과 같다. 애노드 단에 ESD가 인가되면 n-웰과 p-웰 사이의 접합은 역바이어스 상태가 되고, 접합 사이의 강한 전계 형성에 의해 애벌랜치 항복이 발생한다. 항복에 의해 생

성된 정공 전류는 기생 PNP 트랜지스터, Q₂인 p-drift 영역으로 흐르며 p-웰의 전위를 상승시킨다. 상승된 p-웰의 전위에 의해 기생 NPN 트랜지스터 Q₃의 이미터-베이스 접합은 순방향 바이어스 되고 Q₃는 턴-온된다. Q₃의 동작에 의한 전류는 R_{n1}의 전압 강하를 형성하고 PNP 트랜지스터 Q₁의 베이스 전류 공급 역할을 하며 Q₁ 역시 턴-온시킨다. Q₁의 동작에 의한 전류는 R_p의 전압 강하를 형성하고 Q₃의 베이스 전류를 공급하며 Q₃의 동작을 돕는다. 이러한 정계환 동작을 통해 Q₃는 더 이상 바이어스를 공급할 필요가 없어지며, 홀딩 전압까지 전압이 감소한다. 홀딩 전압은 이미터 영역으로부터 흐르는 캐리어에 의해 NPN, PNP 트랜지스터 사이의 베이스 영역의 공간 전하 영역에 의존하며, 따라서 각 바이폴라 트랜지스터의 베이스 영역과 p-drift 영역은 주요한 설계 요소이다.

기존 SCR과 제안된 소자의 I-V 특성을 비교했을 때, P-drift 영역과 N+ 플로팅 영역에 의해 약 2배 이상의 홀딩 전압 증가를 확인할 수 있었지만, 그만큼 방전 과정에서 전력 손실을 가져와 최대 구동능력의 저하가 나타나게 된다.

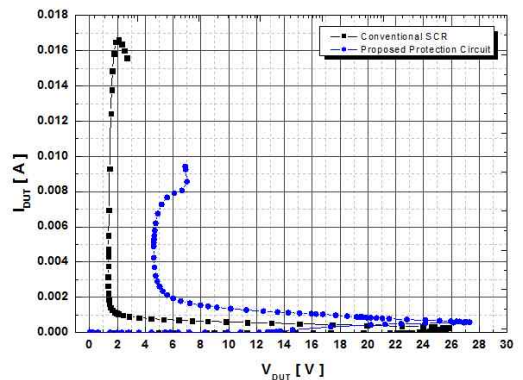


Fig. 3. Comparison of I-V characteristics between conventional SCR and proposed protection circuit
 그림 3. 기존 SCR과 제안된 ESD 보호회로의 I-V 특성 비교

2. 제안된 ESD 보호회로의 시뮬레이션 결과

제안된 ESD 보호회로는 Synopsys TCAD 시뮬레이션 툴을 사용하여 0.18um CMOS 공정을 통해 전기적 특성을 비교 및 검증할 실시하였다. 시뮬레이션은 세가지 설계 변수를 설정하여 진행되었다. D₁은 p-drift 영역의 길이로 D₁의 증가는 ESD 전류 방전 경로를 증가시키고 Q₃의 전류 이득을 감소시킨다. 전류 이득이 감소하면 기생 바이폴라 트랜지스터를

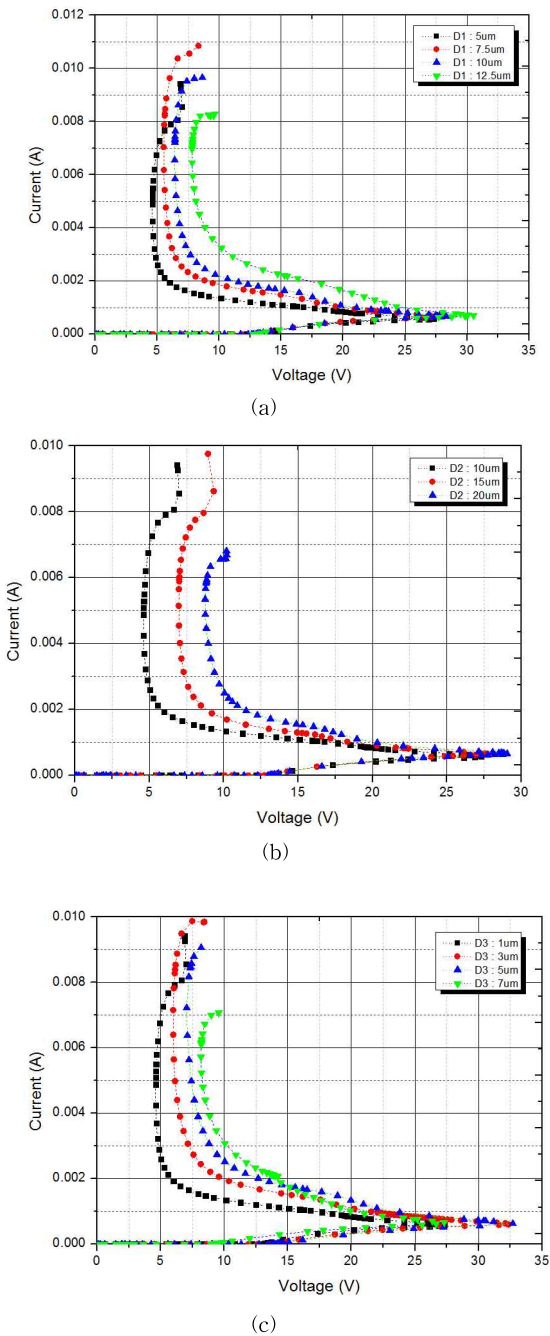


Fig. 4. Simulated I-V characteristics of proposed ESD protection circuit with design parameters of D₁ (a), D₂ (b), D₃ (c)

그림 4. 설계변수 D₁, D₂, D₃에 따른 I-V 특성

동작시키는데 더 큰 ESD 전압을 필요로 하기 때문에 이는 홀딩 전압을 증가시킨다. 그림 4(a)와 같이 D₁의 길이를 5 um, 7.5 um, 10 um, 12.5 um로 변화를 주었을 때, 홀딩 전압은 4.61 V, 5.53 V, 6.41 V, 7.81 V로 증가하였으며 트리거 전압은 27.3 V에서 30.53 V까지 증가하였다. 트리거 전압은 전체 방전 경로가 길어짐에 따라 기생 BJT의 형성이 어려워지기 때문에 증가하게 된다. 그림 4(b)는 D₂에 따른 I-V 특성을 나타내었다. D₂는 n+ 플로팅 영역의 길이로써 웰 저항을 감소시키고 기생 PNP 트랜지스터의 베이스 영역을 증가시켜 베이스 영역에서의 재결합률 증가에 영향을 미친다. 따라서 이는 전류 이득을 감소시켜 홀딩 전압을 증가시키는 효과를 가진다. D₂의 길이가 10, 15, 20 um로 변화할 때, 홀딩 전압은 4.61 V, 6.98 V, 8.75 V로 증가하였으며 트리거 전압은 27.3 V에서 29.06 V까지 증가하였다. D₃는 각 확산 영역과 웰 사이의 간격으로 D₃의 증가는 각 NPN, PNP 트랜지스터의 베이스 폭을 증가시키기 때문에 역시 전류 이득의 감소로 홀딩 전압을 증가시킨다. 그림 4(c)와 같이 D₃의 길이가 1, 3, 5, 7 um로 변화할 때, 홀딩 전압은 4.61 V, 5.99 V, 7.05 V, 8.17 V로 증가하였으며, 트리거 전압은 27.3 V에서 32.71 V까지 증가하였다. 표 1에 시뮬레이션 결과를 정리하여 나타내었다.

반면, 이러한 홀딩 전압의 증가는 2차 항복 전류 (I_{t2})의 저하를 가져온다. 이는 방전경로의 높은 저항에 의해 높은 전력 소모를 가져오게 되고, 전류 구동 능력의 감소를 야기하기 때문이다. 그림 4를 통해

Table 1. Simulation results of proposed ESD protection circuit

표 1. 제안된 ESD 보호회로의 시뮬레이션 결과

		Trigger Voltage (VT)	Holding Voltage (VH)
D ₁	5 um	27.3 V	4.61 V
	7.5 um	27.91 V	5.53 V
	10 um	28.33 V	6.41 V
	12.5 um	30.53 V	7.81 V
D ₂	10 um	27.3 V	4.61 V
	15 um	27.72 V	6.98 V
	20 um	29.06 V	8.75 V
D ₃	1 um	27.3 V	4.61 V
	3 um	32.37 V	5.99 V
	5 um	32.71 V	7.05 V
	7 um	27.3 V	8.17 V

홀딩 전압의 증가에 따라 최대 전류 능력이 감소하는 경향을 확인할 수 있다. 홀딩 전압이 약 8 V에 이르면 2차 항복 전류는 약 25 %의 감소를 보였다. 따라서 적용되는 회로의 디자인 윈도우에 맞으면서 보호회로의 감내특성에 크게 영향을 주지 않는 범위 내에서 각 파라미터의 최적화가 필요하다.

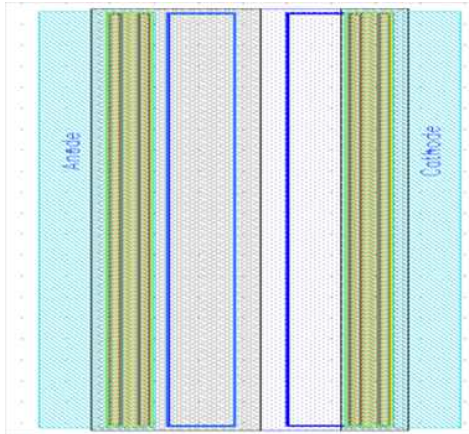


Fig. 5. Layout view of proposed protection circuit using 0.18um BCD process

그림 5. 0.18um BCD 공정을 이용한 제안된 보호회로의 레이아웃

III 결론

본 논문에서는 기존 SCR 구조의 낮은 홀딩 전압에 의한 래치-업 문제를 개선하기 위해 높은 홀딩 전압을 갖는 SCR 기반 ESD 보호회로를 제안하였다. 제안된 보호회로는 기존 SCR 구조에서 N+ 플로팅 영역을 삽입하고 추가적인 N-웰과 P-웰까지 확장된 P+ 캐소드 영역을 통해 높은 홀딩 전압을 가질 수 있도록 고안되었다. 시뮬레이션 결과, 제안된 ESD 보호회로는 설계 변수에 따라 4.61 V에서 최대 8.75 V까지 상승하는 것을 확인하였으며, 이를 통해 트리거 전압은 기존 SCR과 비슷한 수준을 유지하면서 높은 홀딩 전압을 갖는다는 것을 확인하였다. 따라서 제안된 SCR 기반 보호회로는 효과적으로 파워 클램프용 보호회로에 적용 가능하며, 개선된 래치-업 면역 특성을 통해 회로의 신뢰성을 향상시킬 수 있다. 추후 실제 공정을 통해 제작하여 특성 및 신뢰성 검증을 수행할 계획이다.

References

- [1] Ming-Dou Ker, Cheng-Cheng Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latchup-Like Failure During System-Level ESD Test", *IEEE Journal of Solid-State Circuit*, vol.43, no.11, pp. 2533-2545, November, 2008.
- [2] Albert Z. H. Wang, *On-Chip ESD Protection for Integrated Circuits 2nd ed.*, Springer, US, 2002.
- [3] O. Semenov, H. Sarbishaei, M. Sachdev, *ESD Protection Device and Circuit Design for Advanced CMOS Technologies*, Springer, Waterloo, 2008.
- [4] Fred G. Kouper, "Design of SCR-based ESD Protection Considerations in Advanced High-Voltage Technologies for Automotive" in *Proc. of the EOS/ESD Symp.*, pp. 54-63, September, 2006.
- [5] Kui-Dong Kim, Jo-woon Lee, Sang-Jo Park, Yoon-sik Lee, Yong-Seo Koo, "A Study on the Novel SCR NANO ESD Protection Device Design and fabrication" in *Proc. of the IKEEE*, Vol.9, No.2, pp. 161-169, 2005.
- [6] B. Keppens, Markus P. J. Mergence, Cong Son Trinh, Christian C. Russ, Benjamin Van Camp, Koen G. Verhaege, "ESD Protection Solutions for High Voltage Technologies" in *Proc. EOS/ESD Symp.*, pp. 1-10, September, 2004.
- [7] W. Y. Chen, M. D. Ker, Y. J. Huang, Y. N. Jou, and G. L. Lin, "Measurement on Snapback Holding voltage of High-Voltage LDMOS for Latch-up Consideration," *Circuits and Systems, APCCAS*, pp. 61-64, December, 2008.

BIOGRAPHY

Choi Yong-Nam (Student Member)

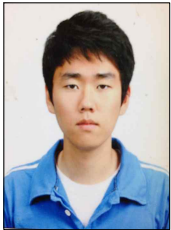
2013 : BS degree in Electronics Engineering, Seokyeong University.
 2013 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.
 <Main interesting field> Power Device, ESD Protection

Koo Yong-Seo (Life Member)

Refer to
 Journal of IKEEE Vol. 8, No. 1

Han Jung-Woo (Student Member)

2013 : BS degree in Electronics Engineering, Seokyeong University.
 2013 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.
 <Main interesting field>Power Device, ESD Protection

Nam Jong-Ho (Student Member)

2013 : BS degree in Electronics Engineering, Seokyeong University.
 2013 ~ presently : MS degree in Electronics and Electrical Engineering, Dankook University.
 <Main interesting field> Power Device, ESD Protection

Kwak Jae-Chang (Member)

1983 : BA degree in Yonsei University.
 1989 : MS degree in Computer Science, University of Iowa.
 1993 : PhD degree in Computer Science, University of Iowa.
 1995 ~ presently : Associate

Professor, Department of Computer Science, Seokyeong University.
 <Main interesting field> Network Traffic Control, Realtime Scheduling, QoS, Embedded System, etc.