

논문 2014-51-2-6

# 산화갈륨 희생층을 이용한 AlGaIn/GaN-on-Si HFET의 특성 개선 연구

## (Improved Characteristics in AlGaIn/GaN-on-Si HFETs Using Sacrificial GaO<sub>x</sub> Process)

이 재 길\*, 차 호 영\*\*

(Jae-Gil Lee and Ho-Young Cha<sup>Ⓢ</sup>)

### 요 약

본 논문에서는 AlGaIn/GaN HFET의 누설전류 특성을 개선하고자 산화갈륨 희생층 공정을 이용한 새로운 패시베이션 공정을 제안하였다. 옴릭 전극 형성시 고온 열처리 과정으로 인해 갈륨의 표면 손상이 불가피하다. 표면 손상을 방지하기 위해 보편적으로 선평면처리 공정을 사용하기도 하지만 이러한 방법만으로는 표면 손상을 완전히 없애기 어렵다. 본 연구에서 새롭게 제안된 산화갈륨 희생층을 이용한 공정 방법은 고온 열처리 후 손상된 표면에 O<sub>2</sub> 플라즈마 처리를 통해 산화갈륨층을 형성한 뒤, 염화수소를 이용하여 산화갈륨층을 식각한다. 우수한 상태의 표면 상태를 얻을 수 있었으며, 누설전류의 확연한 감소로 subthreshold slope이 개선되었을 뿐만 아니라 최대 드레인 전류 특성도 594 mA/mm에서 634 mA/mm로 증가하였다. 질화갈륨 희생층 공정의 효과를 분석하기 위해 X-선 광전자 분광법을 이용하여 질화갈륨의 표면 변화에 대해 살펴보았다.

### Abstract

We have developed a novel passivation process employing a sacrificial gallium oxide process in order to recover the surface damage in AlGaIn/GaN HFETs. Even with a conventional prepassivation process, surface damage during high temperature ohmic annealing cannot be avoided completely. Therefore, it is necessary to recover the damaged surface to avoid the characteristic degradation. In this work, a sacrificial gallium oxide process has been proposed in which the damaged surface after ohmic annealing was oxidized by oxygen plasma treatment and thereafter etched back using HCl. As a result, the leakage current was dramatically reduced and thus the subthreshold slope was significantly improved. In addition, the maximum drain current level was increased from 594 to 634 mA/mm. To verify the effects, the surface conditions were carefully investigated using X-ray photoelectron spectroscopy.

**Keywords :** GaN, HFET, oxygen plasma, sacrificial oxide, X-ray photoelectron spectroscopy

## I. 서 론

질화갈륨(GaN)은 실리콘(Si)에 비해 높은 항복전계

(3.4 MV/cm)와 높은 전자 이동도(2000 cm<sup>2</sup>/Vs)를 갖고 있을 뿐만 아니라 AlGaIn/GaN 이종접합시 계면에 높은 전하밀도(> 10<sup>13</sup> cm<sup>-2</sup>)를 갖는 양자우물이 형성되는 특징을 갖고 있다. 이러한 물질 특성은 높은 항복전압, 빠른 스위칭 속도, 그리고 낮은 온저항 구현이 가능하기 때문에 고전류, 고전압을 필요로 하는 전력반도체 소자에 적용하기 적합한 물질이라고 볼 수 있다<sup>[1-3]</sup>. 현재 전력반도체 소자의 주를 이루고 있는 IGBT나 파워 MOSFET을 대체하여 전력반도체 소자의 효율을 극대화시키기 위해 AlGaIn/GaN을 이용한 트랜지스터나 다이오드에 대한 연구가 전세계적으로 활발히 진행되고

\* 학생회원, \*\* 정회원, 홍익대학교 전자전기공학부  
(School of Electronic and Electrical Engineering, Hongik University)

Ⓢ Corresponding Author(E-mail: hcha@hongik.ac.kr)

※ 본 연구는 서울반도체와의 공동개발 프로그램과 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임

(NRF-2012R1A1A2042153, NRF-2012M3A7B4035274).

접수일자: 2013년11월25일, 수정완료일: 2014년2월3일

있다<sup>[4-6]</sup>.

AlGaIn/GaN 이종접합 기반의 HFET은 높은 항복전압과 낮은 누설전류를 얻기 위해 질화갈륨 버퍼층의 두께를 두껍게 성장하거나 철(Fe)이나 탄소(C)가 도핑된 질화갈륨 버퍼층을 사용하기도 한다<sup>[7-8]</sup>. 이와 같이 누설전류를 줄이기 위해 에피택시 성장 기법에 변화를 주어 웨이퍼 성장이 가능하지만, AlGaIn/GaN HFET을 제작하는데 있어서 여러 가지 공정 과정 중에서 오염 및 손상되는 부분을 최소화 하여야 한다. 특히, 트랜지스터의 낮은 온저항 구현을 위해 낮은 오믹접촉저항을 필요로 하는데, 이때 고온 열처리 공정이 동반되고 이로 인해 표면 손상을 야기 시킨다. 기 보고된 논문에서 의하면 열처리 과정에서 생성된 트랩은 소자 특성을 저하시키는 원인이 된다. 이를 해결하기 위한 오믹 고온 열처리 전 SiN<sub>x</sub> 박막 등을 이용한 표면 패시베이션을 통해 표면을 보호하여 고온 열처리로 발생할 수 있는 표면손상을 줄이는 방법, 즉, 선 표면처리 공정이 제안된 바 있다<sup>[9]</sup>. 하지만, 선 표면처리 공정만으로는 표면 손상을 완전히 막기에는 부족하다고 판단되며 개선을 필요로 한다.

본 논문에서는 고온 열처리로 인해 손상된 표면을 회복하기 위해 O<sub>2</sub> 플라즈마를 사용하여 형성시킨 산화갈륨 희생층을 이용한 AlGaIn/GaN HFET 공정 방법을 제안하였다. 산화갈륨을 게이트 절연막으로 사용한 보고는 있지만, 현재까지 표면 희생층으로 사용된 사례는 보고된 바 없다<sup>[10]</sup>. 제안된 산화갈륨 희생층 공정을 이용하여 제작된 트랜지스터의 전류-전압 특성 변화를 살펴보고, GaN 표면분석을 위하여 X-ray photoelectron spectroscopy(XPS)를 활용하였다.

## II. AlGaIn/GaN HFET의 소자 제작

본 연구에서 사용된 웨이퍼의 에피 구조는 실리콘(111) 기판 위에 AlN 전이층이 있으며, 그 위에 ~4 μm 두께의 GaN 버퍼층이 존재한다. 그 위로 30 nm 두께의 Al<sub>0.23</sub>Ga<sub>0.77</sub>N 장벽층, 2 nm 두께의 GaN 캡층이 순차적으로 구성되어 있다. 그림 1은 새롭게 제안된 산화갈륨 희생층을 이용한 AlGaIn/GaN HFET의 제작 공정 과정을 보여주며, 제작된 소자의 주요공정은 다음과 같다.

우선 SPM(H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>) 세정액을 이용하여 표면 유기물이나 오염물질을 제거해 준 후 희석된 HF를 사용하여 표면의 자연산화물을 제거하였다. 소자 간의 격리를 위하여 BCl<sub>3</sub>/Cl<sub>2</sub>기반의 ICPRIE 공정으로 250 nm를

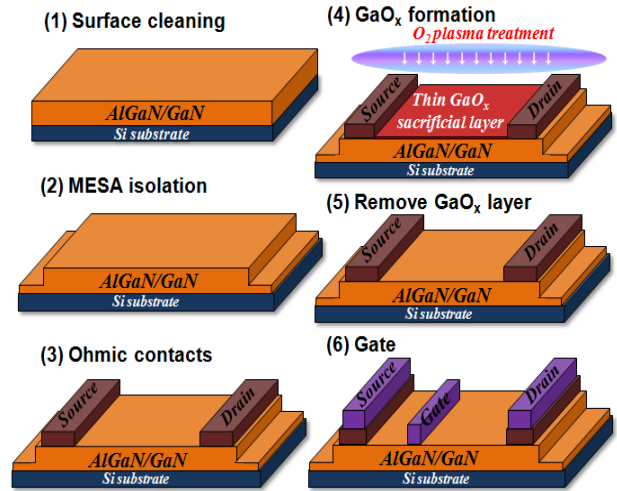


그림 1. 산화갈륨 희생층을 이용한 AlGaIn/GaN HFET의 제작 공정.

Fig. 1. Overall process flow of AlGaIn/GaN HFET using GaO<sub>x</sub> sacrificial layer.

식각을 한 뒤 사진식각공정을 이용하여 오믹 접합 영역을 정의하고, 전자빔 증착기를 사용하여 Si/Ti/Al/Mo/Au (= 5/20/60/35/50 nm) 금속들을 순차적으로 증착하였다. 이후 830°C에서 30 초 동안 rapid thermal annealing을 수행하여 소오스와 드레인 영역에 오믹 접합을 형성하였다. 측정된 오믹접촉 저항과 면저항은 각각 0.55 mΩ-mm와 513 Ω/□ 였다. 일반적인 공정의 경우 오믹접합을 위한 고온 열처리 이후 바로 게이트 전극 공정이 진행되지만, 본 논문에서 제안한 공정의 경우 고온 오믹 열처리로 인해 손상된 표면에 산화갈륨 희생층을 형성 후 다시 etch-back을 하는 과정을 거치게 된다. 이때 산화갈륨 희생층 형성을 위하여 asher를 이용한 O<sub>2</sub> 플라즈마 처리 방법을 채택하였으며, 산소분위기에서 20 W RF power로 3분 동안 진행하였다. 산화막 etch-back 공정을 위하여 희석된 염화수소를 이용한 습식식각을 하였다. 게이트 전극인 경우 Ni/Au (= 20/200 nm) 금속들을 전자빔 증착기를 이용하여 증착하였다.

## III. 실험 결과 및 토의

### 가. 제작된 소자의 전류-전압 특성

제작된 소자는 소오스-게이트 길이 3 μm, 게이트-드레인 길이 10 μm, 그리고 게이트 길이 2 μm의 구조를 갖는다. 그림 2 (a)는 각 공정상에서의 격리된 소자 사이의 버퍼층 누설전류의 특성 변화를 보여준다. 제작된 소자의 측정된 결과를 살펴보면, 고온 오믹 열처리

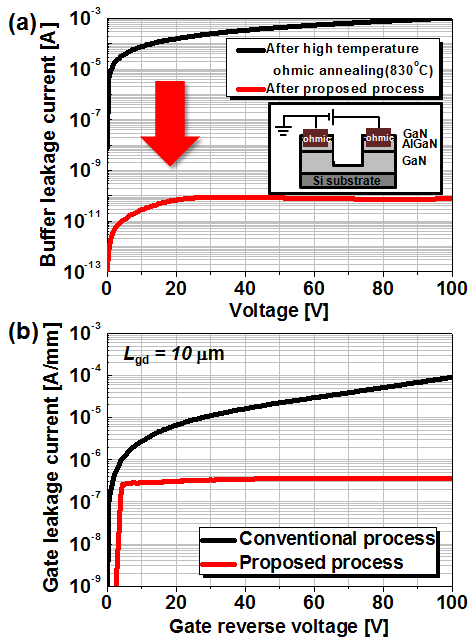


그림 2. 일반적인 공정과 제안된 공정으로 제작된 소자의 누설전류 특성 비교. (a) 질화갈륨 버퍼층을 통한 격리된 소자 사이의 누설전류와 (b) 게이트 역전압 인가에 따른 소자의 누설전류.

Fig. 2. Leakage characteristics of fabricated devices using conventional and proposed process. (a) Buffer leakage current between isolated devices and (b) reverse biased gate leakage current.

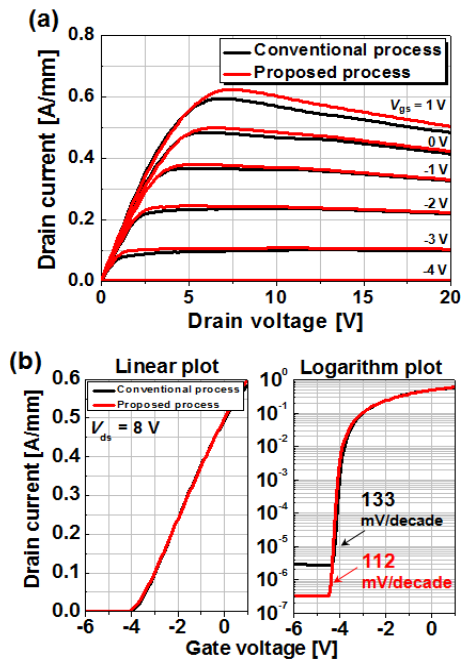


그림 3. 제작된 소자들의 순방향 전류-전압 특성 비교. (a) 출력 특성, (b) 전달 특성.

Fig. 3. Forward current-voltage characteristics for fabricated devices. (a) output characteristics, (b) transfer characteristics.

에 따른 심각한 버퍼층 누설전류가 관찰되었다. 이는 공정상의 고온 오믹 열처리가 질화갈륨의 표면손상의 원인이 되어 표면누설전류의 증가로 판단된다. 손상된 표면에 게이트를 형성하면 그림 2 (b)에 보여지는 바와 같이 게이트 접합면에서 문제가 되어 상당히 큰 누설전류가 나타난다. 이를 극복하기 위해 본 연구에서는  $\text{O}_2$  플라즈마 처리방법을 채택하였으며, 이를 이용하여 산화갈륨 희생층을 형성한 뒤 etch-back 하는 공정을 통해 버퍼층 누설전류를 확실히 억제할 수 있었을 뿐만 아니라 역방향 전압 100 V에서의 게이트 누설전류도  $\sim 10^{-4}$ 에서  $\sim 10^{-7}$  A/mm로 상당히 낮출 수 있었다. 이는 손상된 표면을 산화갈륨 희생층으로 만들어 습식식각으로 제거함으로써 질화갈륨의 표면상태를 개선시켜 결과적으로 표면누설전류를 줄이는 것으로 판단된다. 반면 일반적 공정과 제안된 공정을 활용하여 제작된 소자의 순방향 전류-전압 특성은 큰 차이를 보이지 않았지만, subthreshold slope을 보면 제안된 공정을 활용하였을 시 기존보다 21 mV/decade를 줄이는 효과가 나타났다. 그림 3은 일반적인 공정과 제안된 공정을 활용하여 제작한 소자의 순방향 전류-전압 특성을 비교해 보여준다.

나. 산화갈륨 희생층을 이용한 공정의 표면거칠기  
본 연구에서는 앞서 언급하였듯이, 고온 열처리로 인

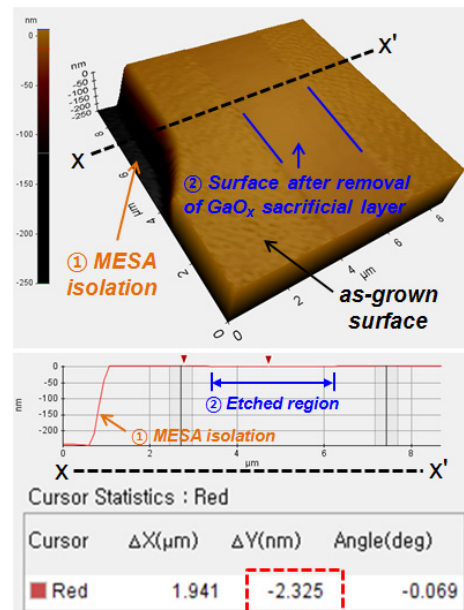


그림 4. Atomic force microscopy를 이용한 표면거칠기 및 깊이 측정.

Fig. 4. Surface topography measurement using atomic force microscopy.

해 손상된 표면을 O<sub>2</sub> 플라즈마를 이용하여 얇은 산화갈륨층으로 형성시키고 이를 희석된 염화수소를 사용하여 제거함으로써 손상된 표면을 회복하려 하였다. 그림 4는 희생층 공정을 하지 않은 질화갈륨의 표면과 산화갈륨 희생층 형성 후 etch-back 된 표면 상태를 atomic force microscopy를 활용하여 측정된 것을 보여준다. 산화갈륨 희생층이 형성된 후 식각된 두께는 ~2 nm이며, 표면거칠기 또한 기존 성장된 표면에 비해 개선된 것을 볼 수 있다. 개선된 표면 상태는 절연막 passivation시 절연막과 산화갈륨의 계면상태를 개선시키는 효과를 가져 온다고 이미 보고되어 있다<sup>[11]</sup>.

다. XPS 측정을 통한 표면 분석

AlGaIn/GaN HFET의 각 공정으로 인한 표면상태의 변화를 알아보기 위해 X-ray photoelectron spectroscopy (XPS) 분석을 진행하였다. 그림 5 (a)는 각 공정상에서의 XPS 표면정량분석을 보여준다. 고온 오믹 열처리 후 표면상태를 보면 처음 성장된 표면 보다 탄소 성분이 상당히 증가하고, 갈륨과 질소 성분이 오히려 줄어드는 것을 볼 수 있다. 이같은

불순물의 증가와 갈륨 vacancy와 질소 vacancy의 발생은 고온 열처리 후 누설전류의 증가를 이끄는 주된 원인이라고 판단된다. 제안된 공정인 O<sub>2</sub> 플라즈마 처리를 이용하여 표면에 산화갈륨층을 형성하는 공정은 탄소 성분을 줄여줄 수 있지만, 산소 분위기의 플라즈마 형성이기 때문에 산소 성분으로 인한 표면산화와 표면결함의 증가가 불가피하다. 하지만 뒤이은 etch-back 공정은 염화수소를 이용하여 형성된 산화갈륨층을 식각하기 때문에 산소에 의한 표면결함을 제거할 수 있다. 그림 5 (b)은 각 공정에서의 Ga3d와 N1s의 binding energy의 변화를 보여주며, 고온 열처리로 인해 악화된 표면 상태가 산화갈륨 희생층 공정으로 기존 성장되었던 표면 상태로 회복되는 것을 확인할 수 있다.

IV. 결 론

본 연구에서는 AlGaIn/GaN HFET의 소자 제작에 있어서 고온 오믹 열처리로 인한 표면 손상을 회복하고자 O<sub>2</sub> 플라즈마 처리를 통한 산화갈륨 희생층 공정을 새롭게 제안하였다. 제안된 공정 방법으로 제작된 소자는 일반적인 공정에 비해 누설전류를 상당히 줄일 수 있었다. XPS 방법을 통하여 표면을 분석한 결과 고온 열처리로 인해 발생된 탄소 성분과 질소 vacancy를 제안된 공정을 사용할 경우 충분히 회복시킬 수 있는 것으로 나타났다. 본 연구에서 제안한 질화갈륨 희생층 공정은 향후 GaN 기반 전력소자 제작에 있어서 누설전류를 억제하고 소자특성을 개선하기 위하여 유용하게 활용될 방법으로 판단된다.

REFERENCES

- [1] T. P. Chow, "High-voltage SiC and GaN power devices," *Microelectronic Engineering*, vol. 83, no. 1, pp. 112-122, 2006.
- [2] J. K. Mun, S. B. Bae, W. J. Chang, J. W. Lim, E. S. Nam, "Global R&D Trends of GaN Electronic Devices," *ETRI Electronics and Telecommunications Trends*, vol. 27, no. 1, pp. 75-85, Feb 2012.
- [3] T. Uesugi and T. Kachi, "GaN Power Switching Devices for Automotive Applications," *CS MANTECH Conference*, Tampa, Florida, May 2009.
- [4] U. K. Mishra, P. Parikh, and Y. Wu,

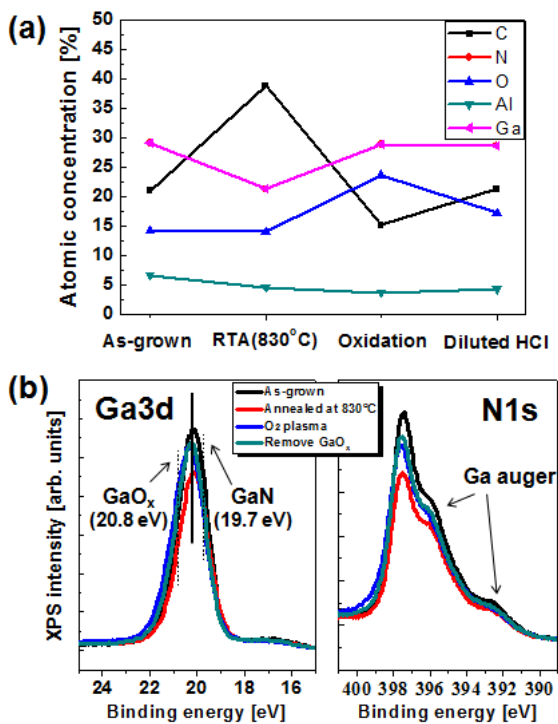


그림 5. 공정 순서에 따른 (a) 표면 상태 비교와 (b) Ga3d와 N1s binding energy 변화.

Fig. 5. Comparison of (a) surface conditions and (b) Ga3d and N1s binding energy at each process step.

- “AlGaIn/GaN HEMTs: an Overview of Device operation and Applications,” *proc. IEEE*, vol. 90, no. 6, pp.1021-1031, 2002.
- [5] W. Saito, I. Omura, T. Domon, and K. Tsuda, “High Voltage and High Switching Frequency Power-Supplies using a GaN-HEMT, ” *Compound Semiconductor Integrated Circuit Symposium*, pp. 253-256, Nov 2006.
- [6] J.-G. Lee, B.-R. Park, C.-H. Cho, K.-S. Seo, and H.-Y. Cha, “Low Turn-on Voltage AlGaIn/GaN-on-Si Rectifier With Gated Ohmic Anode,” *IEEE Electron Dev. Lett.*, vol. 34, no. 2, pp. 214-216, 2013.
- [7] Y. C. Choi, M. Pophristic, H.-Y. cha, B. Peres, M. G. Spencer, and L. F. Eastman, “The Effect of an Fe-doped GaN Buffer on off-State Breakdown Characteristics in AlGaIn/GaN HEMTs on Si Substrate,” *IEEE Trans. Electron Dev.*, vol. 53, no. 12, pp. 2926-2931, 2006.
- [8] C. Poblentz, P. Waltereit, S. Rajan, S. Heikman, U. K. Mishra, and J. S. Speck, “Effect of carbon doping on buffer leakage in AlGaIn/GaN high electron mobility transistors,” *J. Vac. Sci. Technol. B*, vol. 22, no. 3, pp. 1145-1149, 2004.
- [9] J.-C. Her, H.-J. Cho, C.-S. Yoo, H.-Y. Cha, J.-E. Oh, and K.-S. Seo, “SiN<sub>x</sub> Prepassivation of AlGaIn/GaN High-Electron-Mobility Transistors Using Remote-Mode-Enhanced Chemical Vapor Deposition,” *J. J. Appl. Phys.*, vol. 49, no. 4, p. 041002, 2010.
- [10] O. Seok, W. Ahn, Y.-S. Kim, M.-K. Han, and M.-W. Han, “3.2 kV AlGaIn/GaN MIS-HEMTs Employing RF Sputtered Ga<sub>2</sub>O<sub>3</sub> Films,” *24th Int. Symp. Power. Semicond. Dev. ICs, Bruges, Belgium, June 2012.*
- [11] K.-W. Kim, S.-D Jung, D.-S. Kim, H.-S. Kang, K.-S. Im, J.-J. Oh, J.-B. Ha, J.-K. Shin, and J.-H Lee, “Effects of TMAH Treatment on Device Performance of Normally Off Al<sub>2</sub>O<sub>3</sub>/GaN MOSFET,” *IEEE Electron Dev. Lett.*, vol. 32, no. 10, pp. 1376-1378, 2011.

저 자 소 개



이 재 길(학생회원)  
2010년 홍익대학교 전자전기  
공학부 학사 졸업.  
2012년 홍익대학교 전자정보통신  
공학과 석사 졸업.  
2012년~현재 홍익대학교 전자정  
보통신공학과 박사과정.

<주관심분야 : 반도체>



차 호 영(정회원)  
1996년 서울대학교 전기공학부  
학사 졸업.  
1999년 서울대학교 전자공학부  
석사 졸업.  
2004년 Cornell University,  
School of Electrical and  
Computer Engineering,  
Ph.D.

2004년~2005년 Post-doctoral Research,  
Associate at Cornell University, USA  
2005년~2007년 Research Scientist at GE Global  
Research Center, USA  
2007년~2012년 홍익대학교 전자전기공학부  
조교수  
2012년~현재 홍익대학교 전자전기공학부 부교수  
<주관심분야 : 반도체>