

새로운 고속의 NCL 셀 기반의 지연무관 비동기 회로 설계[†]

(Delay Insensitive Asynchronous Circuit Design Based
on New High-Speed NCL Cells)

김 경 기¹⁾
(Kyung Ki Kim)

요 약 지연 무관방식의 NCL 비동기 설계는 혁신적인 비동기 회로 설계 방식의 하나로써 견고성, 소비전력 그리고 용이한 설계의 재사용과 같은 많은 장점을 가지고 있다. 그러나, 기존의 NCL 게이트 셀들의 트랜지스터-레벨 구조들은 느린 스피드, 높은 영역 오버헤드, 높은 와이어(wire) 복잡도와 같은 약점 또한 가지고 있다. 따라서, 본 논문에서는 빠른 스피드, 낮은 영역 오버헤드, 낮은 와이어 복잡도를 위해서 트랜지스터 레벨에서 설계된 새로운 고속의 NCL 게이트 셀을 제안하고자 한다. 제안된 고속의 NCL 게이트 셀들은 회로 지연, 영역, 소모 전력에 의해서 기존의 다른 NCL 게이트 셀들과 비교되었다..

핵심주제어 : 지연 무관 비동기식 회로, NCL, Null convention logic

Abstract The delay-insensitive Null Convention Logic (NCL) asynchronous design as one of innovative asynchronous logic design methodologies has many advantages of inherent robustness, power consumption, and easy design reuses. However, transistor-level structures of conventional NCL gate cells have weakness of low speed, high area overhead or high wire complexity. Therefore, this paper proposes a new high-speed NCL gate cells designed at transistor level for high-speed, low area overhead, and low wire complexity. The proposed NCL gate cells have been compared to the conventional NCL gates in terms of circuit delay, area and power consumption.

Key Words : Delay insensitive asynchronous circuit, NCL, Null convention logic

1. 서 론

최근에 나노 공정 기술의 발전과 더불어 클럭 속도가 증가함에 따라서 배선의 지연(wire delay)과 클럭 스큐(skew)가 중요한 이슈가 되고 있다. 그리고, 고성능의 논리회로에서 만족할 수 있는 스큐를 가지기 위

해서는 큰 사이즈의 클럭 드라이버(driver)가 반드시 필요하게 되고, 이런 클럭 드라이버는 전력을 증가시키는 원인이 된다. 뿐만 아니라, 나노미터급 공정에서는 공정, 전압, 온도 변이(PVT variation)와 노화효과(aging effect) 의한 속도 및 전력의 변화가 매우 커서 동기회로의 오류가 발생할 수 있는 확률이 매우 높아진다. 특히, 저전력을 위한 저전압 동기 회로에서 야기되는 지수적으로 증가하는 전파지연과 PVT 변이와

[†] 이 논문은 2014년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2014R1A1A2058980).
1) 대구대학교 전자전기공학부, 제1 저자, 교신저자

노화효과에 의한 속도 및 전력의 변화는 동기 회로의 동작을 불가능하게 해서, 동기 회로를 신뢰할 수 없게 만든다 [1-2].

나노 공정에서의 동기회로가 가지는 이런 문제점들을 해결하는 방법으로 다시 비동기회로에 관심이 집중되고 있다. 비동기 회로는 최악의 경우(worst-case) 형태의 동기식 회로 설계 방식에 비해서 비동기 회로 설계 방식은 모듈 사이의 다양한 종료시점으로 인한 평균의 경우(average- case) 형태의 동작을 수행한다. 이것은 이론적으로 높은 성능의 특성을 가지며, 실제로 고속의 파이프라인 회로에 적용된다. 비동기식 회로 설계 시에 전역 클럭이 없으므로 이것으로 인한 문제점들, 예를 들면, 클럭 스쿠 문제, 다중 클럭 도메인 설계 문제, PVT 변이에 따른 전파지연 변화 문제 등에서 이점을 가지고 있다. 모바일 기기의 증가로 저전력 소모에 대한 요구가 증대됨. 특히 전력 소모가 문제가 되는 동기식 설계 방법에 비해 비동기 회로 설계는 회로의 동작이 필요할 때만 구동되므로 낮은 전력을 소비한다. 이러한 이유 때문에 저전력 소모와 고신뢰를 목적으로 센서 네트워크와 같은 특정 애플리케이션에 적용될 수 있음. 현재의 설계환경에서는 모든 동기식 회로를 비동기식 회로로 바꾸기보다는 핵심 블록만을 비동기 회로로 설계하는 것이 바람직할 것이다 [3-4].

비동기 회로 설계는 지연 모델에 따라서 구분할 수 있는데 회로의 소자, 도선의 지연유무에 따라 bounded delay(BD) 모델과 delay insensitive (DI) 모델이 가장 많이 사용된다 [5]. <Table 1>은 지연 모델을 보여주고 있다. BD 모델은 소자, 도선 모두 유한한 지연을 가정하고 있다. 동기식 회로 특성과 유사하게 입력이 인가된 후 회로가 안정화되고 출력이 발생할 때까지 다른 입력이 발생할 수 없다는 것을 기본으로 한다. 즉, 최악의 경우(worst case)의 성능 분석을 요구한다는 점에서 기존의 동기식 방식의 성능 분석과 흡사하며, 이는 실제로 DB기반 모델의 비동기 회로를 설계에서 확장된 타이밍 분석을 요구하게 된다 [6-10].

<Table 1> Delay Model based on device and wire

지연 모델	소자	도선
Bounded Delay(BD)	bounded	bounded
Delay Insensitive(DI)	unbounded	unbounded
Speed Independent(SI)	unbounded	zero delay

반면, DI 모델은 소자, 도선 모두 알려지지 않은 지연을 가정하므로 어떠한 시간 가정도 필요하지 않다. 따라서 타이밍 분석이 요구되지 않고, 최악의 경우의 성능이 아니라 평균적인 경우의 성능을 가져온다. 따라서 BD 모델에 비해서 공정, 전압, 온도 등의 변이에 영향을 받지 않으며, 설계한 회로를 재사용하는 것이 매우 용이하게 된다.

이런 점들에 의해서 DI 모델이 최근 활발히 연구되어지고 있으며, 그 중에서도 Null convention logic (NCL)에 관한 연구들이 많이 되고 있다 [6-10]. NCL은 타이밍 제한만을 용이하게 하는 다른 DI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 툴을 그대로 사용할 수 있는 이점이 있다.

그러나, 기존의 NCL 게이트 셀들의 트랜지스터-레벨 구조들은 느린 스피드, 높은 영역 오버헤드, 높은 와이어 복잡도와 같은 약점 또한 가지고 있다. 따라서, 본 논문에서는 빠른 스피드, 낮은 영역 오버헤드, 낮은 와이어 복잡도를 위해서 트랜지스터 레벨에서 설계된 새로운 고속의 NCL 게이트 셀을 제안하고자 한다.

2. NULLConvection Logic (NCL)

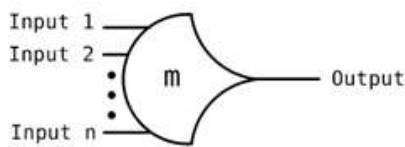
2.1 기본 개념

Null convention logic(이하 NCL) 은 비동기 회로 설계 방법 중 하나이다. NCL 회로는 self-timed 논리이므로 최악의 경우의 경로지연 분석과 제어신호의 지연을 맞추는 것을 요구하지 않는다. DATA와 DATA 사이에 NULL 신호가 포함되어 동작한다. NCL 회로의 장점은 전역 클럭이 없고, 노이즈에 강하며, 낮은 전자파 간섭을 가지고, 저전력을 가질 수 있는 장점이 있다.

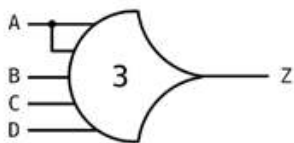
NCL 회로의 신호(signal)는 이중 회선 인코딩(dual rail encoding) 방법을 이용한 Dual-rail-logic을 사용한다. Dual-rail-logic 신호 D는 two wire (D^0 , D^1)로 구성되어 있다. 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 ($D^0=1$,

$D^1=0$), DATA1상태는 ($D^0=0, D^1=1$), NULL상태는 ($D^0=0, D^1=0$)을 나타낸다. NULL 상태는 D의 값이 아직 이용 가능하지 않은 상태임을 표현한다. Dual-rail-logic은 상호 배타적인 특성을 가지고 있으므로 동시에 ($D^0=1, D^1=1$)을 나타낼 수 없다. 따라서, 두 개의 와이어(wire)가 ($D^0=1, D^1=1$)일 때의 상태는 illegal state로 나타낸다.

NCL 회로의 설계는 기본적으로 설계된 27개의 NCL 게이트를 바탕으로 설계한다. 이 27개의 NCL 게이트는 자주 사용되는 boolean function을 기준으로 설계되었다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가진다. NCL 게이트의 심볼 표현은 <Fig. 1>과 같이 나타내고 TH mn 게이트라고 부른다. 여기서, n은 입력의 개수, m은 문턱(threshold) 값을 말한다. 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. 다른 표현으로 무게 가중치 문턱 (weighted threshold) 게이트로 불린다. 심볼 표현은 그림 2와 같이 나타내고, 여기서 w는 가중치 문턱 게이트를 나타낸다. <Fig. 2>의 TH34w2 게이트는 입력 $n=4$ 이고, $threshold=3$, $weighted\ threshold=2$ 이다. 게이트에 출력을 나타내려면 입력 B, C, D가 가해지거나, 입력 A가 가해지게 되어야 한다. 그 외에는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성이 나타난다.



<Fig. 1> TH mn threshold gate

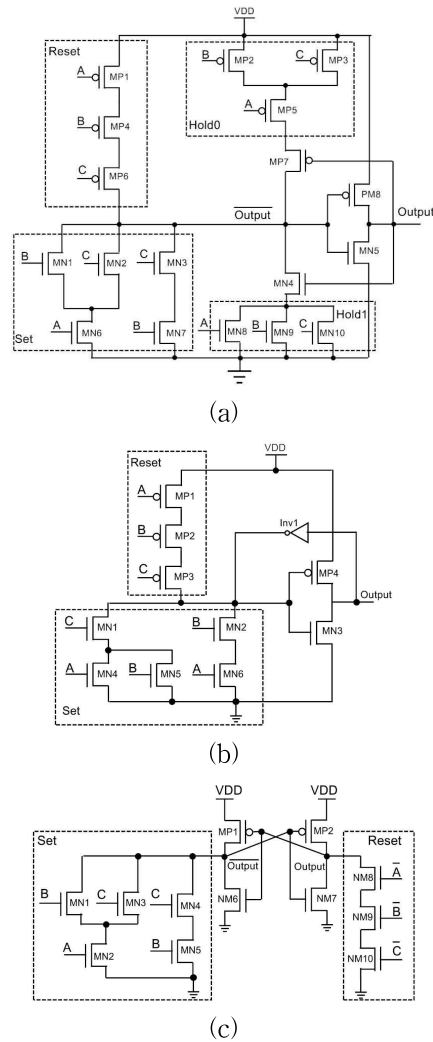


<Fig. 2> TH34w2 threshold gate

2.2 기존 NCL 게이트의 종류와 특징

기존에 존재하는 NCL 게이트는 크게 3가지로 나눌

수 있다. <Fig. 3>는 TH23w2을 Static, Semi-static, DNCL의 구조를 나타낸다. Static 구조는 다른 종류에 비하여 복잡한 구조를 가진다.



<Fig. 3> CMOS implementation of (a) Static TH23, (b) Semi-static TH23, (c) Differential TH23

앞단에 있는 PMOS의 직렬구조와 NMOS 병렬구조는 진리 값을 만족시키는 동작을 한다. 뒷단의 Z의 신호를 이용한 신호들은 이전의 값을 유지하는 Hold 역할을 한다. Semi-static의 구조는 복잡한 Static의 구조를 단순화 하고, Hold 역할을 하는 부분을 사이즈가 작은 인버터를 사용하여 유지 하는 구조이다. DNCL의 구조는 기존의 구조를 보면 PMOS가 많이 사용된다. 또한 NMOS에 비하여 큰 값을 가진다. 이러한 특성으로 인하여 전력을 많이 소모하는데 이를

줄이기 위한 방편으로 PMOS의 사용을 최소화 하여 사용하였다. PMOS는 Hold의 역할을 수행하는 인버터에만 사용하여 기존 구조에 비하여 전력 소모를 줄인다.

Static의 구조는 가장 안정적인 동작을 할 수 있는 반면 다른 NCL에 비하면 회로가 복잡하고 사용하는 Cell들의 사이즈가 크다. 또한 큰 사이즈로 인하여 전력소모가 높다는 단점이 있다.

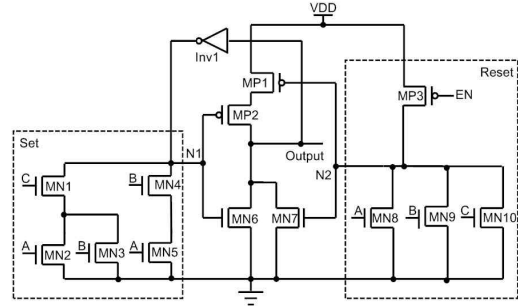
Semi-static는 기존 Static cell의 구조를 이용하여 줄인 구조이다. 앞서 설명한 바와 동일하게 Static의 구조를 절반만 사용한 구조로써 Static의 사이즈에 비해 줄어든다. 하지만 줄어든 사이즈로 인하여 높은 전력과 지연시간이 높다는 단점을 가진다.

DNCL의 구조는 전력을 줄이기 위한 방편중 하나로써 PMOS의 사용을 최소화한 구조를 지닌다. 이러한 구조로 인하여 Semi의 구조에 비하여 낮은 전력소모를 하며 시간 지연 또한 줄일 수 있다. 특히 다른 구조에 비하여 더 낮은 전력에서 동작이 가능한 장점을 지닌다. 하지만 이 구조는 입출력의 신호를 다른 구조의 2배를 사용한다. 이러한 입출력 신호의 개수가 증가함으로 인하여 설계 자체에 복잡도가 2배 이상 된다.

2.3 새로운 고속의 NCL 게이트

기존의 NCL 셀 방식은 공통적으로 증가하는 지연, 증가하는 전력, 큰 사이즈, 어려운 설계 등의 단점을 가지고 있다. 이런 공통의 문제를 해결하기 위해서 본 논문을 통해서 새로운 구조의 NCL 셀을 개발하고자 한다. 제안하고자 하는 새로운 NCL 셀은 초저전압에서의 최대 성능을 만족하면서, 동적 및 누설 전력을 최대한 줄일 수 있는 있도록 기존의 DNCL 구조처럼 NMOSFET의 pull-down 구조만으로 작동되도록 하고, 전체 MOSFET 사이즈 수를 줄이고자 pseudo-NMOS 논리 게이트 이용하였다. 일반적인 pseudo-NMOS 논리 게이트처럼 Enable 신호를 사용하여 Enable 신호가 있을 때에만 동작을 하고, 신호가 없을 때에는 Data 신호를 받더라도 동작 하지 않게 하는 회로이다. <Fig. 4>는 TH23의 NCL 셀을 제안한 방법으로 구현한 회로이다. 그림에서 보이듯이 사용하는 기존의 NCL 셀들과는 다르게 PMOS의 수가 최소한으로 구성되어진다. 기존의 NCL의 경우 직렬로 연결된 PMOS의 사용이 많아지게 되면서 회로의 지연과

면적이 증가하여서 저전압에서 NCL 설계에 어려움이 있었다. 하지만, 새롭게 제안된 회로는 PMOS의 수를 최소화함으로써 NCL 성능의 극대화를 가져올 수 있다.



<Fig. 4> CMOS implementation of the proposed high speed NCL gate

3. 실험결과

본 논문에서는 0.11um 공정을 사용하여 새롭게 제안된 NCL 회로와 기존의 NCL 회로를 칩으로 제작하여 전력, 누설 전류, 그리고 지연 등을 측정하였다. <Table 2>는 전력 감소부분을 기존의 NCL 게이트와 비교하기 위하여 측정한 결과이다. NCL의 27개의 모든 게이트 셀의 비교가 아닌 곱셈기에 사용하는 10개의 기본 게이트들의 전력을 측정한 결과이다. <Table 3>은 게이트 지연을 기존의 NCL 게이트와 비교하기 위하여 측정한 결과이다. 표를 보게 되면 새로운 NCL은 semi 구조에 비해 50%의 지연 감소를 가져온다.

제안된 NCL 셀은 Enable 신호의 변화에 따라 결과 값을 출력하기 때문에 동작을 해야 할 경우는 Enable 신호가 반드시 “0” 이어야 한다. 기존의 pseudo-NMOS 논리 게이트처럼, PMOS가 On 상태에서는 빠른 스위칭은 이루어지지만, PMOS와 NMOS가 동시에 ON이 되는 경우 매우 큰 정적 전류가 흐르게 되므로 기존 NCL에 비해 전력 소모가 많다는 단점이 있다. 반면, pseudo-NMOS 형태의 최대 장점인 빠른 스위칭의 장점으로 인해서 기존 NCL의 Semi구조에 비해서 지연이 1/2로 줄어들게 된다.

<Table 2> The Comparison of the power consumption with the conventional NCL gates.(VDD=1.1V)

NCL Cells	static(W)	semi(W)	DNCL (W)	New NCL(W)
th12	3.11E-08	3.11E-08	6.00E-08	3.43E-05
th22	3.89E-08	5.48E-08	6.78E-08	3.38E-05
th23	3.45E-08	4.93E-08	6.29E-08	3.92E-05
th23w2	6.13E-08	8.90E-08	7.50E-08	3.87E-05
th33	3.73E-08	5.17E-08	4.43E-08	3.89E-05
th33w2	3.23E-08	4.89E-08	4.19E-08	3.85E-05
th34w2	3.47E-08	3.98E-08	3.45E-08	4.17E-05
th34w22	4.09E-08	4.06E-08	3.28E-08	4.17E-05
th44	2.72E-08	3.12E-08	3.16E-08	4.15E-05
th44w2	3.65E-08	4.30E-08	4.17E-08	4.16E-05

<Table 3> The Comparison of the gate delay with the conventional NCL gates. (VDD=1.1V)

delay	static(s)	semi(s)	DNCL(s)	New NCL(s)
th12	5.54E-11	5.54E-11	9.12E-11	4.64E-11
th22	1.08E-10	1.22E-10	1.23E-10	8.02E-11
th23	1.08E-10	1.76E-10	1.10E-10	7.59E-11
th23w2	8.14E-11	1.59E-10	1.08E-10	7.52E-11
th33	1.25E-10	2.06E-10	1.48E-10	9.27E-11
th33w2	1.17E-10	1.93E-10	1.26E-10	8.50E-11
th34w2	1.23E-10	1.26E-10	1.12E-10	8.03E-11
th34w22	1.16E-10	1.21E-10	1.03E-10	7.61E-11
th44	1.45E-10	1.76E-10	1.60E-10	1.02E-10
th44w2	1.20E-10	1.44E-10	1.31E-10	8.78E-11

4. 결론

본 논문에서는 지연 무관 방식의 NCL 비동기 회로 설계 방법을 활용해서 저전력 고성능의 비동기 회로를 제안하였다. 기존의 static, semi-static, differential NCL (DNCL)와 같은 NCL 셀들은 공통적으로 증가하는 지연, 증가하는 전력, 큰 사이즈, 어려운 설계 등의 단점을 가지고 있다. 이런 공통의 문제를 해결하기 위해서 본 논문에서는 pseudo-NMOS 논리 게이트 형태에 기반을 둔 새로운 구조의 NCL 셀을 개발하였다. 개발된 pseudo-NCL 셀은 성능에 있어서 기존의 semi-static NCL 셀에 비해서 2배 이상의 향상을 보였지만, 정적 전류의 증가로 인한 소비 전력의 증가를 보였다. 따라서, 제안된 NCL 게이트 셀들을 고속을 요구하는 임계경로에 사용한다면, 기존 NCL 게이트 셀들이 가지고 있는 단점을 보완해 줄 것으로 기대된다.

참고 문헌

- [1] Woo Hun Hong, Kyung Ki Kim, "Design of Ultra Low-Voltage NCL Circuits in Nanoscale MOSFET Technology," Journal of the Korea Industrial Information System Society , V.17, No.4, pp. 17-23, 2012.
- [2] Kyung Ki Kim, "Design and Implementation of low power ALU based on NCL (Null Convention Logic)," Journal of the Korea Industrial Information System Society , V.18, No.5, pp. 59-65, 2013.
- [3] 박영수, 박인학, "비동기회로 및 시스템 설계," 전자통신동향분석, 13권, pp 41-51, 1998
- [4] C.H. Kees and van Berkel, "Handshake circuits: an intermediary between communicating processes and VLSI," Ph.D.Thesis, Eindhoven University of Technology, 1992.
- [5] W. Hardt and B. Kleinjohan, "FLYSIG: dataflow oriented delay-insensitive processor for rapid prototyping of signal processing," Proceedings of the Ninth International Workshop on Rapid System Prototyping, pp. 41-136, 1998.
- [6] Scott C. Smith, Jia Di, "Designing Asynchronous Circuits using NULL Convention Logic (NCL)," Morgan & Claypool Publishers, 2009.
- [7] F. A. Parsan, W. K. Al-Assadi, S. C. Smith, "Gate Mapping Automation for Asynchronous NULL Convention Logic Circuits," IEEE Tran. On VLSI Systems, Vol. 22, Issue 1, pp.99-112, Jan. 2014.
- [8] S. Yancey and S. C. Smith, "A Differential Design for C-elements and NCL Gates," IEEE Int. Midwest Sym. on Circuits and Systems (MWSCAS), pp.632-635, Aug. 2010.
- [9] F. A. Parsan and S. C. Smith, "CMOS Implementation Comparison of NCL Gates," IEEE/IFIP Int. Conf. on VLSI and System-on-Chip (VLSI-SoC), pp.41-45, Oct. 2012.
- [10] F. A. Parsan and S. C. Smith, "CMOS Implementation of Static Threshold Gates with Hysteresis: A New Approach," IEEE Int.

Midwest Sym. on Circuits and Systems
(MWSCAS), pp.394-397, Aug. 2012.



김 경 기 (Kyung Ki Kim)

- 정회원
- 1995년 8월 영남대 전자공학과 공학사
- 1997년 8월 영남대 전자공학과 공학석사
- 2008년 1월 (미) Northeastern University 전기전자 공학과 공학박사
- 2008년 2월 ~ 2009년 1월 (미) SUN Microsystems 연구원 (Technical Staff)
- 2009년 1월 ~ 2010년 2월 (미) Illinois Institute of Technology 연구원
- 2010년 3월 ~ 현재 대구대학교 정보통신대학 전자 전기공학부 조교수
- 관심분야 : SoC 설계, Microprocessor, High performance and low power design methodology, Nanotechnology.

논 문 접 수 일 : 2014년 08월 23일

1차수정완료일 : 2014년 10월 04일

게 재 확 정 일 : 2014년 10월 06일